



BUDAPESTI MŰSZAKI ÉS GAZDASÁGTUDOMÁNYI EGYETEM
VILLAMOSMÉRNÖKI ÉS INFORMATIKAI KAR

Székely Vladimír - Zólmoy Imre

FÉLVEZETŐ MEMÓRIÁK



Műegyetemi Kiadó, 2008

Lektorálta:

Tarnay Kálmán

*a műszaki tudományok doktora
egyetemi tanár*

© Székely Vladimír, Zólogy Imre

(Hatodik utánnomás)

egyetemi jegyzet
oktatási célra

Azonosító: **55004**



**A Budapesti Műszaki és Gazdaságtudományi Egyetem
Villamosmérnöki és Informatikai Karának**
megrendelése alapján kiadja a

Műegyetemi Kiadó

www.kiado.bme.hu

Felelős vezető: Wintermantel Zsolt

Terjedelem: 5,2 (A/5) ív

Nyomdai munkák:

Műegyetemi Nyomda

Munkaszám: 6685/08

SOROZATUNK CÉLKITŰZÉSE

A "Magas szinten könnyedén" sorozat köteteinek kiadásával az önálló tanulásban, a vizsgákra való felkészülés megkönnyítésében, és nem utolsósorban a nyitott rendszerű oktatási formákban tanulóknak kívánunk segíteni.

Célunk, hogy az anyag megtanulását a tanuló önmaga ellenőrizhesse, és biztonsággal léphessen tovább – esetleg egészen egy diploma megszerzéséig.

A későbbiek során hang- képszalag és a begyakorlást segítő mágneslemez (diszk) hordozóra vitt tananyagok közreadásával, audio-vizuális oktatással egészítjük ki a tanulást megkönnyítő lehetőségeket. Amelyik tárgykör begyakorlásához arra van szükség, hogy a hardware építést gyakorolják, megfelelő eszközökkel egészítjük ki az oktatócsomagokat.

A sorozat írói, hazánk legkiválóbb szakemberei, egyetemi, főiskolai tanárai vállaltak garanciát arra, hogy a tudományos színvonal megtartásával, az angliai OPEN UNIVERSITY-n bevált didaktikai módszerekkel, könnyen érthető szakanyag áll majd a tanulni vágyók rendelkezésére.

A Kiadó

TARTALOMJEGYZÉK

1. Bevezető áttekintés	7
2. ROM (csak olvasható) memóriák	11
2.1. A ROM memóriák	11
2.2. A PROM memóriák	15
2.3. Az EPROM memóriák	16
2.4. Az EEPROM memóriák	20
3. A RAM (írható-olvasható) memóriák	25
3.1. Általános jellemzők	25
3.2. Sztatikus RAM memóriák (SRAM-ok)	28
3.2.1. Bipoláris RAM memória	28
3.2.2. Sztatikus RAM memória MOS tranzisztorokkal	30
3.2.3. BiCMOS sztatikus RAM memóriák	33
3.3. Dinamikus MOS memóriák (DRAM-ok)	35
3.3.1. A dinamikus információtárolás	35
3.3.2. Dinamikus RAM cellák	39
3.3.3. Érzékelő erősítők	46
3.3.4. DRAM-ok felépítése, architektúrája	51
3.3.5. Címzési módszerek, frissítési módok	54

TARTALOMJEGYZÉK

1. Bevezető áttekintés	7
2. ROM (csak olvasható) memóriák	11
2.1. A ROM memóriák	11
2.2. A PROM memóriák	15
2.3. Az EPROM memóriák	16
2.4. Az EEPROM memóriák	20
3. A RAM (írható-olvasható) memóriák	25
3.1. Általános jellemzők	25
3.2. Sztatikus RAM memóriák (SRAM-ok)	28
3.2.1. Bipoláris RAM memória	28
3.2.2. Sztatikus RAM memória MOS	30
tranzisztorokkal	30
3.2.3. BiCMOS sztatikus RAM memóriák	33
3.3. Dinamikus MOS memóriák (DRAM-ok)	35
3.3.1. A dinamikus információátvitel	35
3.3.2. Dinamikus RAM cellák	39
3.3.3. Érzékelő erősítők	46
3.3.4. DRAM-ok felépítése, architektúrája	51
3.3.5. Címzési módszerek, frissítési módok	54

1. BEVEZETŐ ÁTTEKINTÉS

A számítógépek és egyéb digitális nagyberendezések egyik legfontosabb funkcionális egysége a memória. A memória egységeket (tárakat) két nagy csoportba sorolhatjuk: operatív táruk és háttértárak.

Az operatív tár feladata a számítógép központi egysége által végrehajtandó program tárolása, valamint a feldolgozás alatt álló adatok tárolása. Nyilvánvaló ennek alapján, hogy az operatív tár sebessége összhangban kell legyen a processzor sebességével – vagyis bármely adat, utasítás tárolásának vagy visszaolvasásának $0,1-1 \mu\text{s}$ alatt meg kell történnie. Ez kizárólag elektronikus úton valósítható meg.

A háttértárat akkor használjuk, amikor egy-egy program-szegmens vagy adatállomány hosszabb-rövidebb ideig nem vesz részt a feldolgozásban, s a helyét más célra akarjuk felszabadítani az operatív memóriában. (E szempontból a néhány másodperces ideiglenes tárolás és az év nagyságrendű archiválás azonos kategória). A háttértárak általában mágneses elven rögzítenek igen nagy mennyiségű információt (mágneslemez, mágnesszalag). A sebesség a mechanikai mozgás által korlátozott, és az adatokhoz csak meghatározott sorrendben férünk hozzá. Ezért bármiféle feldolgozáshoz a háttértár tartalmát először át kell tölteni az operatív tárba.

Operatív tár céljára a számítástechnika első korszakában a ferritmemóriát használták általánosan. Ennél minden egyes bit információt egy-egy ferritgyűrű tárolt (a mágnesezettségi iránytól függően "0" vagy "1"). Bár a gyűrűk méretével a mm körüli kicsinységig mentek le, az így megvalósítható memóriakapacitás korlátozott volt, s az egy bitre számított költség nagy. Ezért a számítástechnika első évtizedeiben a "szűk keresztmetszet" a memória volt.

Az integrált áramköri technika megszületésével, már a hatvanas évek végén elkezdődött az aktív elemekkel: tranzisztorokkal megvalósított memória áramkörök fejlesztése. A néhány-száz alkatrészt tartalmazó IC-k korában talán kilátástalannak tűnhetett a verseny az akkor tömegesen gyártott, 100000 bit körüli kapacitású ferritblokkokkal. De az integrált áramköri technológia fejlődése, az egy chipen integrálható tranzisztorok számának rohamos emelkedése mégis oda vezetett, hogy a félvezetős memória először versenyképes, majd nemsokára sokkal előnyösebb lett. Itt a nagy tároló-

kapacitás mellett az olcsóság, a sokkal nagyobb megbízhatóság, a kis méret és súly: mind a félvezetős megoldás mellett szóltak. Érthető tehát, hogy miért vált egyeduralkodóvá a félvezetős memória, miért szorította ki a korábban alkalmazott megoldásokat. A fejlődés azóta is töretlen. Ma már léteznek 16 Mbit-es (több, mint 16 millió bites) memória chip-ek is. A memória ma már "nem probléma", és ez új helyzetet teremtett, a fejlődésnek új lendületet adott a számítástechnika egész területén.

A fentiek nyilvánvalóvá teszik a félvezetős memóriák jelentőségét. Ez indokolja, hogy könyvsorozatunkban külön kötetet szántunk e témának.

Mielőtt a memóriaáramkörök részleteivel foglalkoznánk, áttekintünk néhány, a memóriákkal kapcsolatos általános kérdést.

A memóriák felosztása. A memóriákat két nagy csoportra oszthatjuk:

- ROM memória (read-only memory),
- RAM memória (random-access memory).

Az előbbi, a ROM "csak olvasható" memóriát jelent. Ebbe az információ fixen beírásra került, s a memóriát használó elektronikai rendszer csak olvasni tudja ezt az információt. (A "fixen beírás" történhet a gyártás fázisában is, de történhet később, a felhasználást, beépítést megelőzően. Eszerint, a beírás, "programozás" módja szerint később még további alcsoportokat különböztetünk majd meg: PROM, EPROM, EEPROM). Az utóbbi, a RAM megjelölés olyan memóriát jelent, ami a befogadó elektronika által írható is, olvasható is. A "random-access" megjelölés tulajdonképpen nem erre utal. Egy másik jellegzetes vonást, a tetszőleges hozzáférést emeli ki (hogy tehát ezeknél a memóriáknál bármelyik elemi információ sorrendi megkötés nélkül hozzáférhető). Felosztásunkban helyesebb volna "írható-olvasható" memóriát, "writable memory"-t szerepeltetni – de tény, hogy ezt a fogalmat a köztudatban a RAM megjelölés fedi.

A memóriákat felosztjuk aszerint is, hogy az

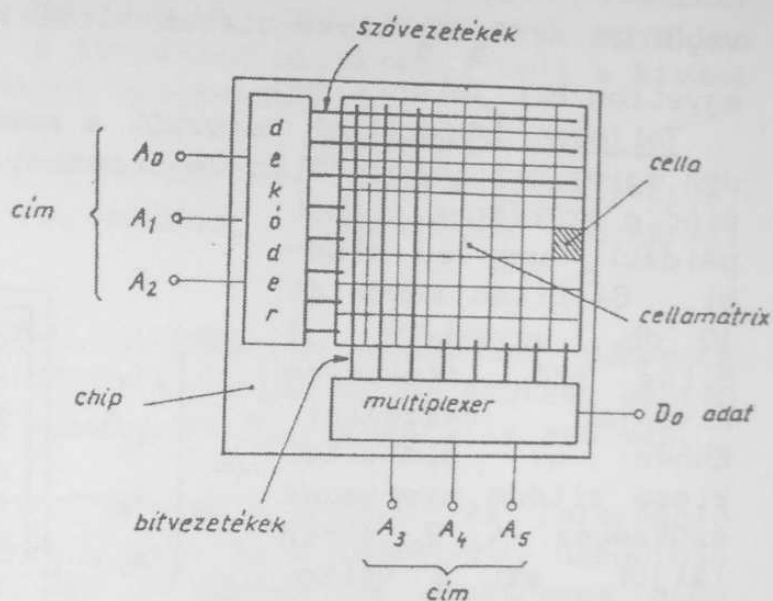
- illékony (volatile) vagy a
- nem-illékony (nonvolatile)

kategóriába esnek. Az illékony memória tápfeszültségét le-

kapcsolva, a beírt információ elvész, a nem illékonyanál megőrződik. A félvezetős RAM memóriák úgyszólván mindig illékonyak. A ROM memóriák viszont nyilvánvalóan nem illékonyak.

Szokásos még a destruktív/nemdestruktív memória megkülönböztetés is. Előbbinél a kiolvasás folyamata során az éppen olvasott információ elvész (azt tehát azonnal vissza kell írni), az utóbbinál érintetlenül marad. A félvezetős RAM memóriák jelentős részénél (dinamikus memóriák) még kiolvasás nélkül is elvész egy idő után az információ. Ezeknél gondoskodni kell arról, hogy meghatározott időnként minden bitet kiolvassunk és újból visszaírjunk. Ezt nevezzük frissítésnek.

A memóriák szervezése. A memória IC vázlatos felépítését az 1. ábrán látjuk. (Egyszerű esetben a chip tényleges layout elrendezése is megfelel ennek az ábrának.) A felület legnagyobb részét a cellamátrix teszi ki. Ebben, két dimenzióban ismétlődő, szabályos elrendezésben azonos áramköri részlet, a memóriacella ismétlődik. Minden memóriacella egy bit információt tárol. Az áramkör többi része az éppen megcímezett bit (bitcsoport) kiválasztását és kiolvasását vagy írását szolgálja.



1. ábra. Memória-IC vázlata

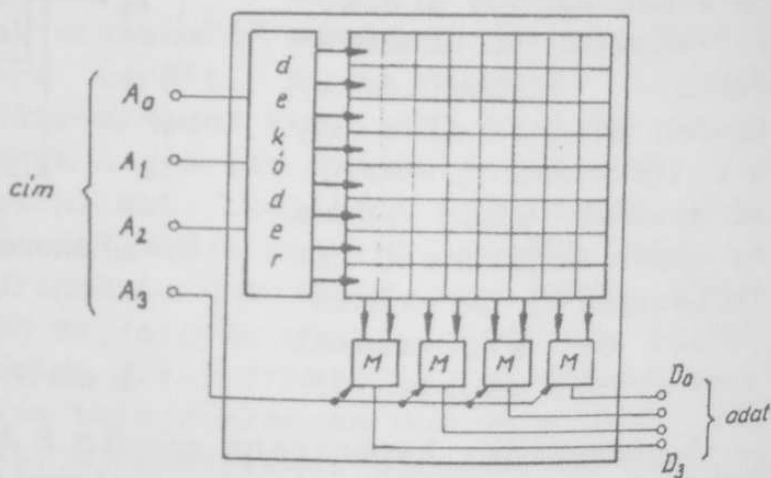
A memóriák kapacitása mindig 2 hatványával fejezhető ki. Például egy (mai szemmel meglehetősen kicsi) 4096 bites memóránál a cellamátrix 64 sorból és soronként 64 cellából állhat.

A cellákon soronként is, oszloponként is végigfut egy-egy vezeték. (Egyes esetekben a cellák áramköri felépítése által diktált okok miatt vezetékpár – ennek azonban jelen, rendszertechnikai áttekintésünkönél nincs jelentősége.) A sorokon végigfutó, az ábrán vízszintes vezetékét szóvezetékeknek, az oszlopokon végigfutó, függőleges vezetékét bitvezetékeknek nevezzük. (Használatos a sor, oszlop megjelölés is.) A szóvezetékek egyikének aktiválásával lehet a cellamátrix

valamelyik sorát kijelölni. Ezután a bitvezetékeken keresztül tudjuk a kijelölt sor celláit olvasni, vagy írni.

A címző áramkörök közül a szóvezetékét meghajtó mindig egy dekóder (1. ábra). A bitvezetékhez csatlakozó áramkör az író-olvasó erősítő, ami a kiolvasás folyamatában multiplexerként működik. Ha extrém egyszerű példaként egy 64 bites memóriát nézünk, akkor az egyes cellákat 6 bittel kell címez-nünk, hiszen $2^6=64$. E hat címvezetékéből hármat vezetünk a sordekóderre; ennyi szükséges a 8 szóvezeték kiválasztásához. A_0-A_2 állapota szerint tehát a szóvezeték egyike aktiváló-dik. Ennek hatására az illető sorban lévő 8 cella a 8 függő-leges bitvezetékre rákényszeríti a benne tárolt "0" vagy "1" szintet. Ebből a 8 bitből még ki kell választani az éppen szükségeset. Ezt végzi a cellamátrix alatt lévő multiplexer, a cím másik 3 bitje (az ábrán $A_3 - A_5$) alapján. A kimeneten végül is az A_0-A_5 címvezeték által kijelölt cella tartalma, egyetlen bit jelenik meg.

Teljesen dekódoltnak nevezzük a memóriaáramkört, ha minden egyes bit külön-külön megcímezhető. A gyakorlatban ez nem mindig szükséges. Lehet például, hogy az előb-bi, 64 bites memóriát 16 db., egyenként 4 bites szó tárolására kívánják használni. Ehhez az előbitől kissé eltérő szervezés szükséges. A 2. ábrán látjuk ezt a válto-zatot. A 16 szó megcí-mzéséhez szükséges négy címvezetékéből három (A_0-A_2) továbbra is a szóvezeték kijelölő dekóderre jut. A cím utolsó, A_3 bitje dönti



2. ábra. Nem teljesen dekódolt memória

el, hogy a cellamátrix éppen aktivált sorának 8 bitjéből melyik négy menjen a kimenetre: a 4 db. kettőből-egy típusú multiplexert (M) vezérli tehát. Az ilyen, bitcsoportonként (byte-onként, szavanként) hozzáférhető memória áramkört nevezzük nem teljesen dekódolt memóriának.

2. ROM (csak olvasható) MEMÓRIÁK

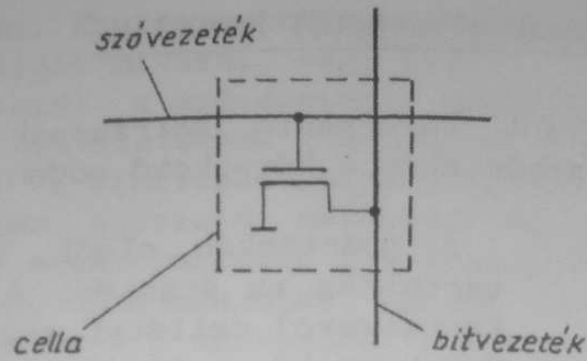
A kívánt információ beírásának módja szerint a csak olvasható memóriákat a következő módon osztályozhatjuk:

- ROM.** A gyártáskor eldől, hogy milyen információt tartalmaz az áramkör. A szükségtelen ("0" bitet tartalmazó) cellákat sokszor meg sem valósítják. Másik szokásos kivitelnél ugyan mindegyik cellát megvalósítják, de a "0" tartalmú cellákat valami módon kiiktatják (pl. egy vezetékdarab vagy egy kontaktus ablak elhagyásával, vagy MOS áramköröknél a gateoxid vastagságával). Ennek az értelme, hogy a gyártó cég ugyanazt az áramkör típust az egyes felhasználók igényei szerinti tartalommal gyárthatja, úgy, hogy csak egyetlen maszkot (pl. a kontaktus ablakokét) kell a kívánt tartalom szerint változtatni.
- PROM** (Programmable ROM). Az információ a gyártás után, a tokozott áramkörbe, elektromos módszerrel írható be.
- EPROM** (Erasable PROM). A PROM-hoz hasonlóan, tokozott eszközbe írható be a tartalom, de szükség esetén a tartalom törlésére és újraírására is mód van.
- EEPROM** (Electrically Erasable PROM). Az információ elektromos úton írható be a memóriába, hasonlóan az EPROM-hoz, de a törlés is elektromos úton történik. Egyes típusoknál mód van a cellánkénti törlésre, míg más típusoknál (Flash - EEPROM) a törlés elektromos úton egyszerre történik az egész tármátrixban.

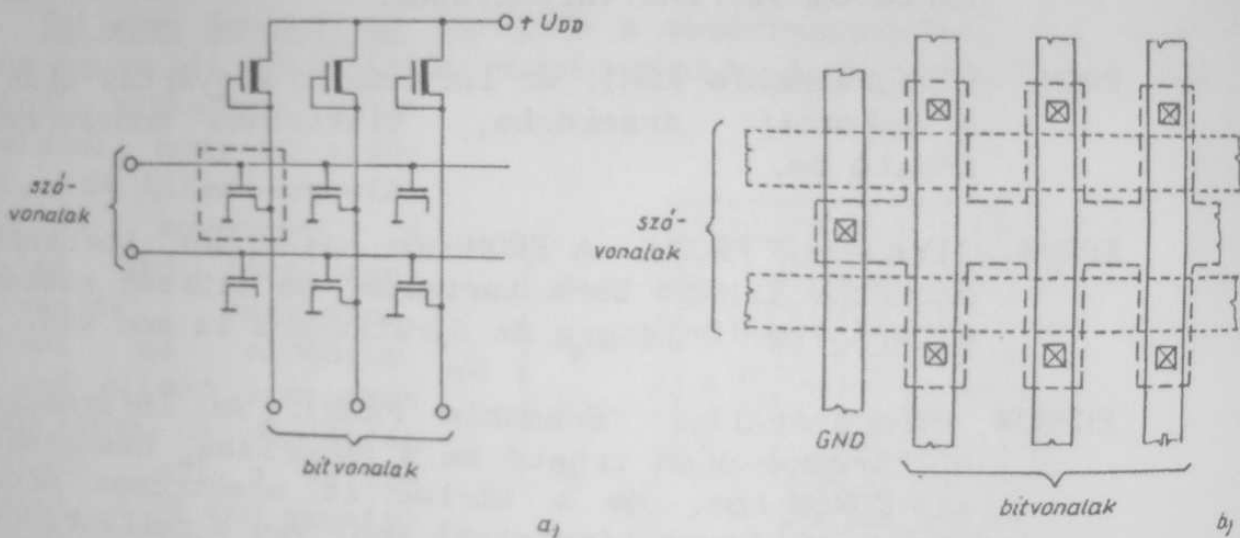
2.1. A ROM memóriák

A MOS tranzisztorokkal felépített ROM memóriák memóriacellája a 3. ábra szerinti. A cella egyetlen, növekményes MOS tranzisztort tartalmaz. A cellát vízszintesen egy szövezeték, függőlegesen egy bitvezeték keresztezi. A beírt információ "1" vagy "0" aszerint, hogy a cellában jelen van-e (be van-e kötve) a tranzisztor, vagy nincs.

3. ábra. ROM memória cellája



A memória egy részének áramköri felépítését vázoltuk a 4a. ábrán. Figyeljük meg, hogy a cellák minden egyes oszlopához egy terhelés-tranzisztor csatlakozik. Ezzel minden oszlop egy sokbemenetes NOR kapuvá egészült ki. Ha minden szóvezetéken logikai "0" szint van, a cellamátrix minden tranzisztora lezárt állapotban van, s a bitvezetékek mindegyikén az U_{DD} tápfeszültség jelenik meg a terhelés-tranzisztorokon ke-



4. ábra. MOS ROM memória áramköri és layout vázlata

resztül. Ha most a szóvezetékek egyikét logikai "1"-be helyezzük, az illető sorban levő tranzisztorok nyitnak, s mindazon cellákban, ahol be vannak kötve ezek a tranzisztorok, a megfelelő bitvezeték logikai "0" szintre húzzák le. A kijelölt sor azon celláinál, ahol nincs bekötve a tranzisztor, a megfelelő bitvezeték "1"-ben marad. Vagyis: bármelyik szóvezeték aktiválásával az illető sorba írt bit-kombináció megjelenik a bitvezetékeken.

A 4b. ábrán e memória cellamátrixa egy részletének layoutját látjuk. Az ábra polyszilícium gate-es technológiá-

ra vonatkozik. A szaggatott vonal az aktív zóna, a pontvonal a poliszilícium, a fémezést folytonos vonallal jelöltük. Figyeljük meg az elvi kapcsolási rajzon: a szövezetékek a cella-tranzisztorok gate-jeihez csatlakoznak. Ezt a tényleges kivitelnél úgy oldják meg, hogy a szövezeték egy vízszintes futó poliszilícium csík, s mindazon helyeken, ahol ez a fésűs kiképzésű aktív zónát átmetszi, egy-egy cella-tranzisztor van. A 4b. ábrán két ilyen szövezetékét látunk végigfutni, s mindegyik 3-3 helyen metszi az aktív zónát; hat memóriacellát látunk tehát. A baloldalon húzódó föld-fémezés az aktív zóna közvetítésével csatlakozik a cella tranzisztorok source-aira. A függőleges bitvezetékek fémcsíkja kontaktusablakokon keresztül csatlakozik a drain-ekre. (Az ábrázolt 6 cella mindegyikében be van kötve a tranzisztor.) A memória-áramköröknél tipikus az ábrán is megfigyelhető tükrözött iker-elrendezés: az egyik cellasor tranzisztorai drainnel fölfelé állnak, a következő sorban drainnel lefelé, stb. Így volt lehetséges, hogy e két sor az aktív zónából kialakított közös föld-sínre csatlakozzon, ami nyilvánvaló felület megtakarítás. Bonyolultabb áramköröknél, például RAM celláknál, ahol a tápfeszültséget is el kell vinni minden cellához, hasonló okokból mind vízszintes, mind függőleges tengely körül tükrözött elrendezéssel, cella-négyesekkel is találkozunk.

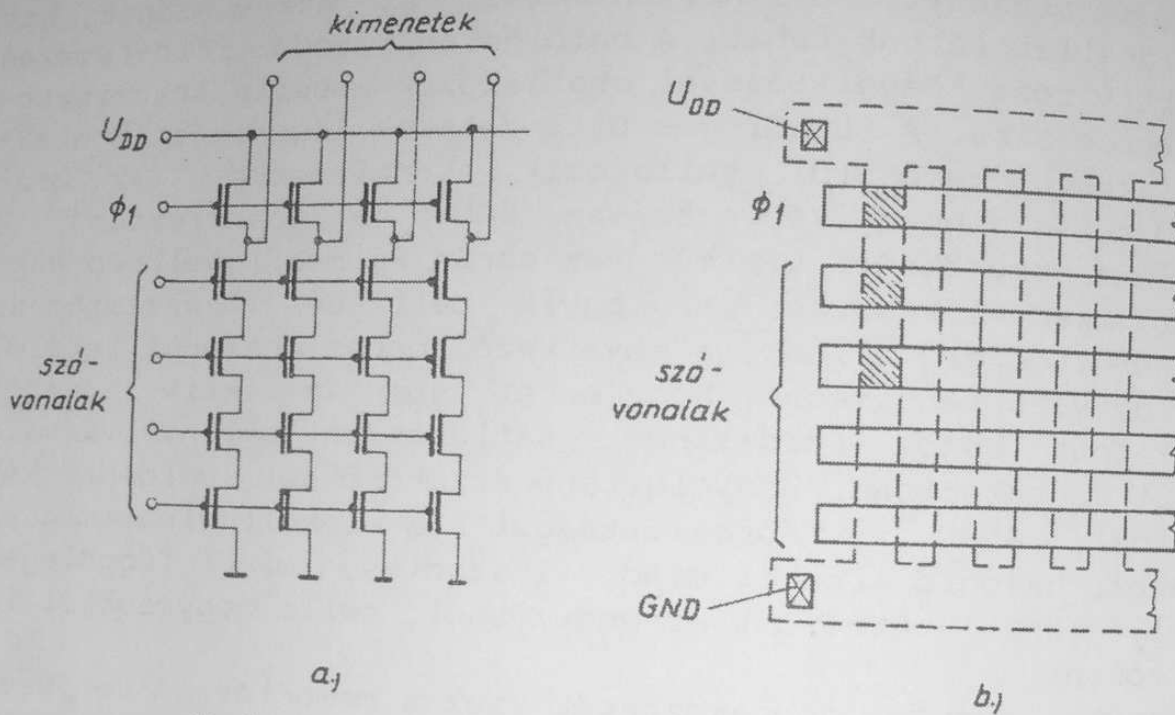
Nézzük, hogyan programozhatók ezek a memóriák. A teljesen fix kivitelnél azokból a cellákból, ahová "1"-et írunk, egyszerűen elhagyjuk a tranzisztor: már az aktív zóna maszkja sem tartalmazza az illető tranzisztor rajzolatát. Ezzel a megoldással találkozunk például egy-egy mikroprocesszor belsejében, az utasításdekóder áramkörében. A processzor rögzített utasításkészlete azt jelenti, hogy a dekódoló ROM tartalmát soha nem kell megváltoztatni; az "1"-es bitek tranzisztorai mindenképpen szükségtelenek.

A maszkkal programozott ROM memóriáknál mindegyik tranzisztor megvalósítják, de a szükségtelen drain vezeték nem kötik be. Erre a legegyszerűbb mód a drain kontaktusablak elhagyása. Ez azt jelenti, hogy a gyártási maszkok (egy kivételével) függetlenek a memóriába írt információtól, s csak a kontaktusablakok maszkját kell "programozni", a kontaktusablakok egy részének a beírandó információtól függő elhagyásával.

Becsüljük meg végül e ROM memória felületigényét. Számoljunk $4\ \mu\text{m}$ csík szélességű technológiával. Egy cella így kb. $12\ \mu\text{m} \times 20\ \mu\text{m}$ felületet igényel. Ez $1\ \text{mm}^2$ -en kb. 4000 cellát jelent; egy 8 Kbyte-os, vagyis 64 kbites PROM memória

cellamátrixa 16 mm^2 -et foglal el. A kiszolgáló áramkörök helyigénye ennek töredéke; így a teljes chip felülete $18\text{-}20 \text{ mm}^2$ -re adódik.

A MOS ROM memóriák körében a 4. ábrán látottól eltérő struktúra is használatos: a soros felépítésű ROM. Ennek elvi kapcsolását és layout vázlatát az 5. ábrán látjuk. A cellamátrixban itt egy-egy oszlopban sorosan kapcsolva foglalnak helyet az egyforma méretű MOS tranzisztorok. Az információt



5. ábra. Soros felépítésű MOS ROM memória

itt az tárolja, hogy növekményes-e vagy kiürítéses a tranzisztor: növekményes = "1", kiürítéses = "0". A kiolvasás során először a Φ_1 fázisjellel előtöltjük az összes kimenetet. Ez után amelyik sorból olvasni akarunk, azon sor szóvezetékét "0"-ban hagyjuk, az összes többi sorét "1"-be tesszük. Az "1" állapotú szóvezetékek alatt a tranzisztor mindenképpen vezet - akár növekményes, akár kiürítéses. A megcímzett sorban, a "0" szintű szóvezeték alatti tranzisztor viszont csak akkor vezet, ha kiürítéses. Így a teljes sorba-kapcsolt tranzisztor-lánc is csak ez esetben vezet és húzza a kimenetet "0"-ba, egyébként az előtöltött "1"-ben hagyja.

A sok sorbakapcsolt tranzisztor miatt ez az áramkör feltétlenül lassúbb, mint a 4. ábrán látható. Határozott előnye viszont az extrém egyszerűségű layout (5b. ábra). A tranzisztorok a merőleges aktív-zóna és polyszilícium csíkok keresztesítésében vannak. A beírandó információt a küszöb-feszültség beállító implantáció maszkja hordozza. A 4b. ábrával összevetve nyilvánvaló a sokkal kisebb helyszükséglet.

2.2. A PROM memóriák

Ez az ún. "beégethető" ROM memóriák kategóriája. A beégetés a következőket jelenti. Minden memóriacellában van egy egyedileg, címzetten kiégethető vezetékdarab, "biztosíték", aminek eltávolítása a cellát "0"-ból "1"-be írja át. A biztosíték égetéséhez meglehetősen erős áram kell és ez szükségképpen átfolyik a cellában lévő aktív eszközön is. Ezért ezt a megoldást a nagyobb áramokat elviselő bipoláris eszközökkel kombinálva alkalmazzák.

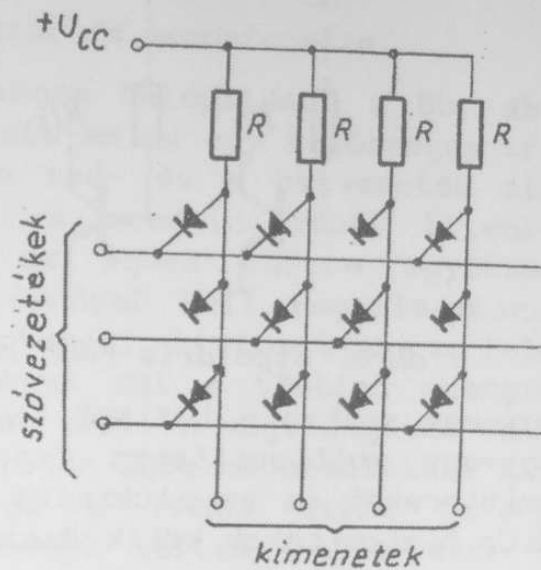
A 6. ábrán a legegyszerűbb kivitel elvi vázlatát látjuk.

A szóvezetékek nyugalmi helyzetben "1"-ben vannak. Minden dióda zár, s az R ellenállások "1"-be húzzák fel a kimeneteket. Ha most valamelyik szóvezetéket "0"-ba húzzuk, mindazon kimenetek, ahol ebben a sorban a dióda be van kötve, szintén "0"-ba kerülnek. Az illető sorba írott bitmintázat tehát megjelenik a kimeneteken.

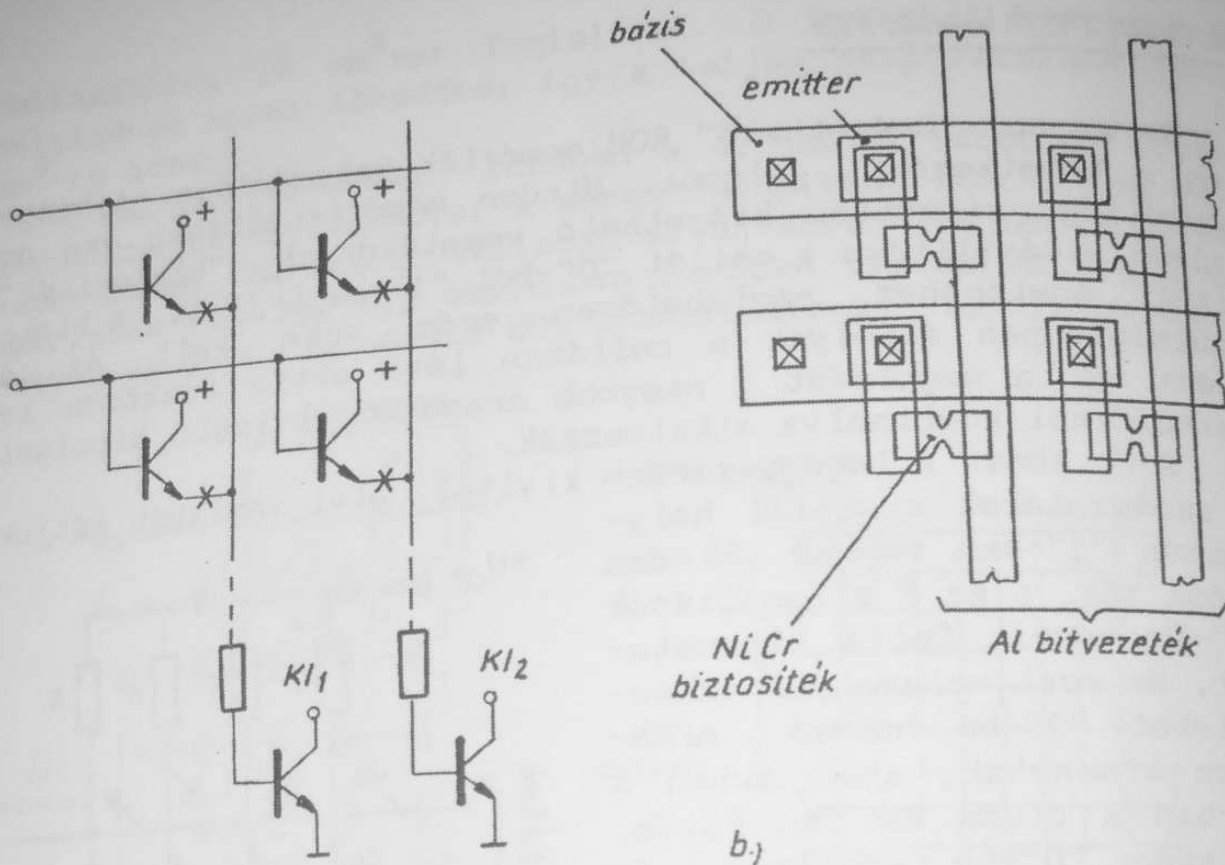
A diódák kiiktatására a velük sorba kötött "biztosíték": egy elkeskenyített NiCr csík ad lehetőséget. Ezt egy 100 mA nagyságrendű, néhány-tized ms tartamú impulzus kiégeti.

A 6. ábra szerinti kivitelnél a beégető áram sajnos átfolyik mind a szó- mind a bitvezetékeken – ami a címzőáramkörök felé jelent kellemetlen követelményt. Segíthetünk ezen (legalábbis a szóvezeték dekódere szempontjából), ha az áramkörben diódák helyett bipoláris tranzisztorokat használunk. Az áramkör kapcsolási rajzát a 7a. ábrán látjuk. A szóvezetékek nyugalmi feszültsége most zérus. Az aktivált szóvezetéket megemeljük. Ezáltal, ha az X-el jelölt biztosíték nincs kiégetve, a kimenet open-kollektoros tranzisztora bázisáramot kap, nyit. Az áramkör beégetésekor a szóvezetékeket vezérlő dekódernek csak az égetőáram β -ad részét kell szolgáltatnia.

A 7b. ábrán az áramkör layout vázlatát is bemutatjuk. A cellamátrix összes tranzisztorának közös a kollektora, s



6. ábra. "Biztosítékos" ROM memória

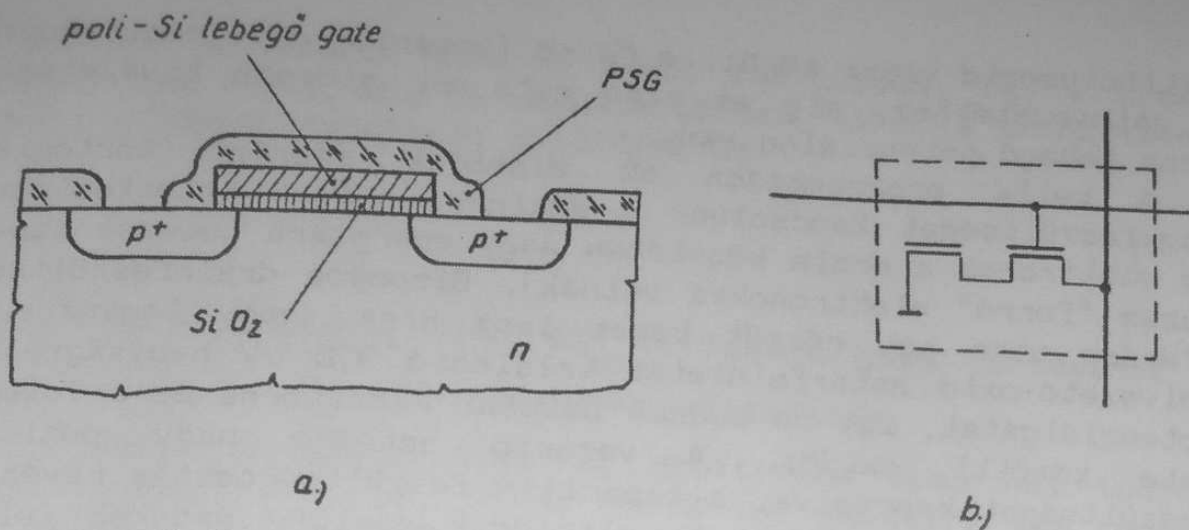


a) b)
7. ábra. Bipoláris PROM memória tranzisztoros cellával

egy-egy sorban a bázisok is közösek. Így a mátrix soronként egy-egy multiemitteres tranzisztortal valósítható meg. Az emittereket és az alumínium bitvezetéseket az elkeskenyített NiCr biztosítékok kötik össze.

2.3. Az EPROM memóriák

A FAMOS memória. (Floating-gate, Avalanche MOS). E memóriatípus konstrukciója egy különleges MOS tranzisztor struktúráján alapul. Ez a lebegő-gate-es (floating-gate) tranzisztor. Metszeti rajzát a 8a. ábrán látjuk. A közönséges MOS struktúrához képest eltérés az, hogy a gate elektróda nincsen kivezelve; minden irányban SiO_2 ill. foszfor-szilikát üveg (PSG) határolja. Ezért a gate potenciálja a külső áramkör által közvetlenül nem befolyásolható; azt csak a rajta lévő töltések határozzák meg. E töltést a drain és a bulk között előidézett lavinaletörés viszont meg tudja változtatni! A lavinaletörés (avalanche) során ugyanis a gate-oxid környezetében olyan erősen felgyorsult elektronok vannak jelen, amelyek képesek az oxid-felvezető határán lévő potenciálgátat legyőzni és a gate-re jutva a lebegő gate potenciálját negatív irányban eltolni. Ezzel a p-vezetési eszköz nyitó állapotba hozható.



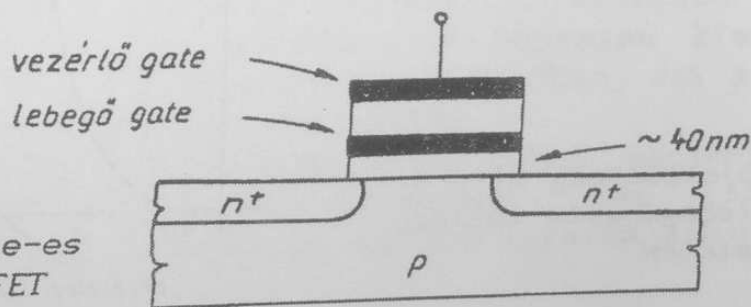
8. ábra. FAMOS tranzisztor és memóriacella

A memóriacella egy lehetséges felépítését a 8b. ábrán látjuk. A cellában egy lebegő gate-es és egy közönséges tranzisztor van. A lavinaletörés a szó- és a bitvezeték által címzett helyen hozható létre, a memória tehát bitenként írható. Törlés viszont csak az egész chipre együttesen lehetséges. Ehhez ultraibolya fénnel kell megvilágítani a chipet. Ennek nagyenergiájú fotonjai biztosítják a lebegő gate elektródán lévő elektronoknak azt a többlet energiát, ami a bulk-ba való visszatéréshez kell. A megvilágítás céljából az ilyen chippek tokjának tetején ablakot alakítanak ki.

Figyelemre méltó tény, hogy a FAMOS cella gate-jén tulajdonképpen igen kis mennyiségű töltés: néhány száz 10^7 elektron tárolja az információt. Ennek dacára az információ a memóriákban tartósan megmarad, amit a SiO_2 szinte ideális szigetelő tulajdonságának köszönhetünk. A töltés-fogyás időállandói 100 év nagyságrendűek - ami azt jelenti, hogy a gate-ről naponta kevesebb, mint 1000 elektron távozik.

Az EPROM céljára a mai gyakorlatban a hasonló elven alapuló, de két gate-tel rendelkező tranzisztort használják. Ennek felépítése a 9. ábrán látható. A két gate-t

EPROM



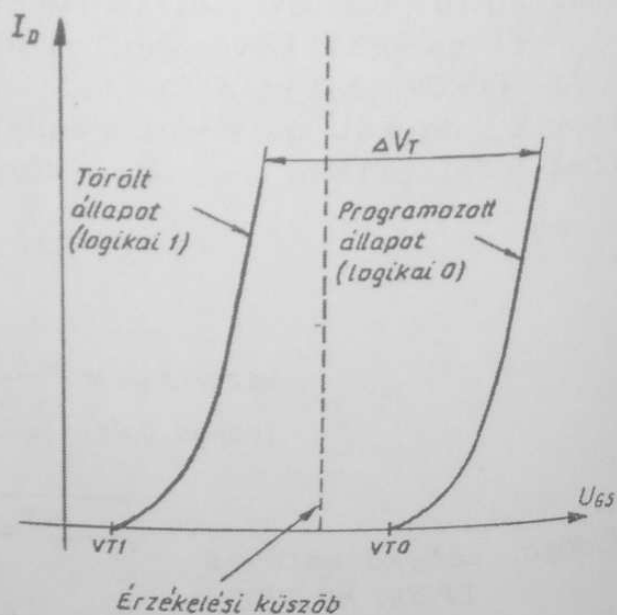
9. ábra. Lebegő gate-es EPROM MOSFET

szilíciumoxid veszi körül. A felső (vezérlő) gate csatlakozik a gatevezetékhez, míg az alsó gate-nek nincsen kivezetése, azaz lebegő potenciálon van.

A cella programozása az alábbiak szerint történik. Nagyfeszültséget kapcsolunk a drainre, aminek következtében az elektronok a drain közelében nagy energiára tesznek szert (azaz "forró" elektronokká válnak). Bizonyos drainfeszültség elérése után egy részük képes lesz arra, hogy legyőzze a félvezető-oxid határfelületén található 3,2 eV nagyságrendű potenciálgátat, így be tudnak hatolni a csatorna és a lebegő gate közötti oxidba. A vezérlő gate-re nagy pozitív feszültséget kapcsolva, a kapacitív feszültségosztás révén a lebegő gate potenciálja is eltolódik pozitív értékek felé, így az oxidba bejutott elektronok a lebegő gate-re sodródnak és ott elkezdnek felhalmozódni. Tovább nem haladnak, mivel a gate-be belépve ütközések révén fokozatosan "lehűlnek" és ezért nem tudnak az oxidba újra belépni a két gate között. Ahogy nő a lebegő gate negatív töltése, úgy csökken a potenciálja, így egyre kevésbé vonzza az oxidba belépő elektronokat, azaz a gate feltöltése egy önmagát korlátozó folyamat.

Kiolvasáskor a drainfeszültség kicsi, így normál üzem közben az oxidba és a lebegő gate-re nem jutnak forró elektronok, azaz a lebegő gate töltése állandó marad. Ezen töltés értéke befolyásolja a vezérlő gate-re vonatkoztatott küszöbfeszültséget, amikor a tranzisztort normális MOS FET-ként használjuk. A tranzisztor $I_D - U_{GS}$ karakterisztikája vázlatosan a 10. ábrán látható törölt állapotban (nincsen töltés a lebegő gate-en) valamint beírt állapotban (a lebegő gate-en negatív töltés van).

A negatív töltés hatására a tranzisztor küszöbfeszültsége nagyobb lesz, mint a ki-



10. ábra.

A küszöbfeszültség eltolódása a lebegő gate töltése következtében

olvasáskor a vezérlő gate-re adott feszültség, így a tranzisztor nem vezet, míg ha zérus a töltés, akkor a tranzisztor vezet. A küszöbfeszültség eltolódás az

$$U_T = - \frac{\Delta Q_{FG}}{C_G} \quad (1)$$

képlettel számolható, ahol ΔQ_{FG} a lebegő gate töltésének a megváltozása és C_G a két gate közti kapacitás.

Törléskor a lebegő gate-ről elektromos úton nem tudjuk eltávolítani a töltést, mivel külső tér hatására sem tudnak ott mozogni az elektronok (nem folyik áram a gate-en), így nem lesznek forrók és nem lépnek be az oxidba. Ezért ultraibolya fénnel világítják meg az eszközt (általában $hf > 3,2$ eV fénykvantum szükséges, és $\lambda = 253,7$ nm higanygőz kvarclámpával állítják elő a fényt), így az elektronok elegendő energiára szert téve belépnek az oxidba és azon keresztül a szubsztrátba illetve a vezérlő gate-re vándorolnak, míg a vezérlő gate töltése zérus nem lesz. (Az oxidban az áramlás a Coulomb-erő hatására folyik). A folyamat megint csak önhatároló, tehát a gate töltése nem fog átmenni pozitívba.

Ez a tranzisztor-struktúra nagy bitsűrűséget tesz lehetővé, hiszen cellánként csak egy tranzisztorra van így szükség.

A korábbi EPROM-ok megbízhatóságával kapcsolatban több probléma is felvetődött. Több átprogramozás után az elektronok egy része "beragadt" az oxidba, azaz az ottlevő csapdák megfogták azokat. A csapdába esett elektronok egyrészt a keltett fékező tér miatt akadályozták programozáskor az elektronok áramlását a lebegő gate-re, másrészt nem távolíthatók el ultraibolya fénnel való törléskor. Ez megemeli a cella küszöbfeszültségét törölt állapotban is, míg végül a cella használhatatlan lesz (azaz törölt állapotban sem fog a tranzisztoron kiolvasáskor áram folyni). Ennek elkerülésére igen jó minőségű, csapdamentes oxidot kell növesztetni gateoxid céljára. A félvezető felület érdekessége szintén bajokat okozhat. A hegyesen kiemelkedő helyeken helyileg megnő a térerősség az oxidban, ami a lebegő gate töltésének elszivárgását okozhatja.

A technológia fejlődése ezen problémákat nagymértékben csökkentette. Az EPROM-ok tipikusan pár százszor programozhatóak át. Ez az érték a legtöbb alkalmazásban bőven elegendő.

A Toshiba cég olyan cellát fejlesztett ki a 4 Mbit-es típusához, ahol a vezérlő gate nem a lebegő gate felett, hanem mellette található.

Az általános tendenciának megfelelően az új EPROM-oknál is CMOS technológiát használnak. A cellatranzisztorok n-csatornásak míg a periféria áramkörök CMOS technológiával készülnek.

Az EPROM-ok bitkapacitása a ROM-okhoz hasonlóan, 2 hatványai szerint növekszik, ahogy a címbitek száma egy-egy bittel növekszik. Példaképpen felsoroljuk két 1 Mbit-es EPROM memória főbb paramétereit.

1 Mbit-es EPROM-ok		
Gyártó cég:	Toshiba	Hitachi
Technológia:	CMOS, n-zsebes	CMOS
Csíkszélesség, μm :	0,9	1
Hozzáférési idő, ns:	80	140
Disszipáció üzemi, mW:	50	25
nyugalmi, μW :	1	5

A két gate poliszilíciumból készült. Az alsó (lebegő) gate-tel egyszerre készülnek a periféria áramkörök tranzisztorainak gate-jei is.

Az EPROM-ok sűrűsége 1989-re elérte a 4 Mbitet. Ilyen áramköre van az Intelnek, a NEC-nek, a Toshibának és a Wafer Scale cégeknek. Ezen utóbbi cég EPROM-ja 90 ns hozzáférési idővel rendelkezik, ami ebben a memóriefajtában nagyon gyorsnak számít, annak ellenére, hogy a technológia aránylag konzervatív, 1,2 μm -es CMOS. A cella mérete 9,5 μm^2 .

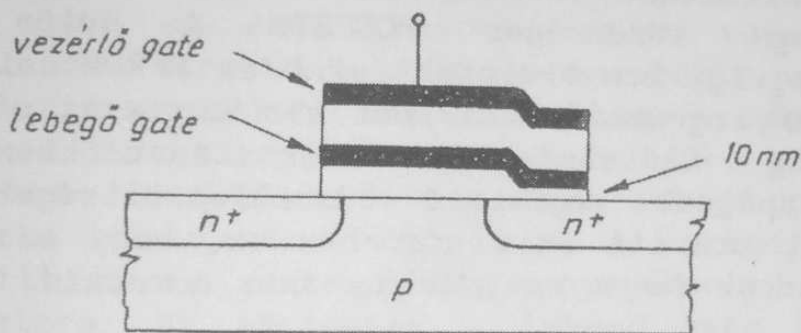
2.4. Az EEPROM memóriák

Az EEPROM (Electrically Erasable PROM) elnevezés arra utal, hogy ez a PROM-fajta elektromosan törölhető. Az alapcellát alkotó tranzisztor felépítése hasonló a két gate-es EPROM tranzisztorhoz, de itt a lebegő gate és félvezető közt levő oxidot egy helyen nagymértékben elvékonyították, az oxid vastagsága mindössze 6-10 nm. A lebegő gate feltöltése és kisütése is a kvantummechanikából

ismert alagúthatás (tunneleffektus) révén megy végbe.

Az alagúthatás lényege, hogy ha egy részecske áthatolhat rajta abban az esetben is, ha az energiája nem elegendő a potenciálgát legyőzéséhez, tehát mintegy "alagutat" fúr a potenciálfalba. Az átjutás valószínűsége, így az alagút (tunnel) áram is exponenciálisan csökken a potenciálgát vastagságának növekedésével, továbbá csökken akkor is, ha nő a potenciálgát magassága. Az oxid alkotta potenciálgát effektív magassága és (bizonyos körülmények mellett) szélessége is csökken az oxidban levő térerősség növekedésével, így a tunneláram közel exponenciálisan nő a térerősséggel. A gateoxid vastagságát úgy kell megválasztani, hogy térerő nélkül, vagy kis térerősségeknél a rajta átfolyó tunneláram még elhanyagolható legyen, ugyanakkor nagy térerősségeknél, beírás vagy törlés közben, jelentős tunneláramok folyjanak.

EEPROM



11. ábra. EEPROM MOS tranzisztor

Az oxid tunnelexid részét általában a drain felett van, tehát a két gate rányúlik a drainre is. Vannak azonban más megoldások is. A cellatranzisztor vázlatos felépítése a 11. ábrán látható. A kis tunnelexid felületnek az a célja, hogy a két gate közti oxidban akkor is aránylag kicsi legyen a térerősség a letörés megakadályozása érdekében, amikor a tunnelexidban nagy térerősség keletkezik a beírás vagy a törlés folyamán. A kis tunnelexid terület miatt a lebegő gate és a szubsztrát közti kapacitás alig nagyobb, mint a két gate közti kapacitás, így feszültségosztás következtében a két gate közötti feszültség kb. azonos lesz a lebegő gate és a drain közti feszültséggel, ezért a tunnelexidban a térerősség (lévén itt az oxid igen vékony) sokkal nagyobb lesz, mint az oxid többi helyén. A logikai "1" esetén a legpozitívabb a tranzisztor küszöbfeszültsége, ekkor normál kiolvasó gate

feszültség hatására nem nyit ki a tranzisztor, így nem süti ki a bitvonalat sem, azaz annak feszültsége megmarad. Ennek elérésére a lebegő gate-en negatív töltést kell felhalmozni. Ehhez a source-ot, a draint és a szubsztrátot leföldelik, a felső gate-re pedig nagy pozitív feszültséget adnak (12-20 V). Az elektronok ennek következtében áttunneleznek a tunneloxidon és feltöltik a lebegő gate-et.

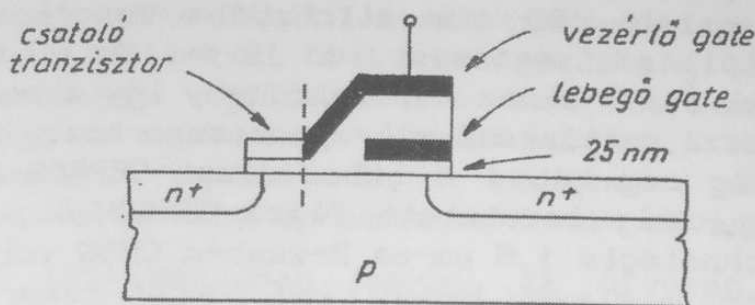
A logikai "0" állapot esetén a tranzisztor küszöbfeszültsége eltolódik negatív értékre is. Ennek az az oka, hogy az EPROM-okkal ellentétben, törléskor az elektronok eltávolodása a lebegő gate-ről nem szűnik meg magától, ha a gate töltése nullára csökken, hanem tovább folytatódik és végül a töltés pozitív lesz. A "0" állapot beírására a vezérlő gate-et leföldelik és a drain kap nagy pozitív feszültséget. Mivel "0" állapotban a küszöbfeszültség negatív is lehet, így akkor is vezethet a tranzisztor, ha a vezérlő gate-en nincsen feszültség, azaz ha a cella nincsen kiválasztva. Ekkor a cella kisütné a bitvonalat, hibás működést eredményezve. Ezért ezen tranzisztor elé még egy kiválasztó tranzisztorot kötnek. A cella ezen második tranzisztorra egy közöséges MOSFET. A cella tehát kéttranzisztoros, így bonyolultabb, mint az EPROM cellája. A cella kb. 10^5 - 10^7 programozási ciklust bír ki, azaz ennyiszer változtatható meg a tartalma. Ezen érték után csökken az "1" és a "0" állapotnak megfelelő küszöbfeszültségek közti különbség. Ennek oka itt is elsősorban az, hogy az oxidban elektronok ragadnak be a csapdába, azaz az oxid töltötté válik.

A küszöbfeszültség megváltoztatásához, azaz a cellák programozásához olyan tranzisztorokra van szükség, melyek kibírják ezen magasabb feszültségeket. Ezen tranzisztorok gate-oxidja vastagabb, a source és drain diffúziók pedig mélyebbek.

Az utóbbi időben jelentek meg az ún. flash-EEPROM-ok. Ezek az EPROM-ok és EEPROM-ok "keresztelésének" tekinthetők. Az EEPROM-ok bonyolultabb cellájuk miatt lényegesen kisebb sűrűségben valósíthatók meg, mint az EPROM-ok. A flash-EEPROM-ok sűrűsége viszont megközelíti az EPROM-okét. A beírás a flash-EEPROM-okba hasonló módon történik, mint az EPROM-okba, azaz a drainfeszültséggel felgyorsított forró elektronok segítségével. A törlés viszont elektromos úton történik, hasonlóan, mint az EEPROM-oknál, de egyszerre történik minden cella (innen ered az elnevezés: flash → villanás). A törlés kb. 60-szor gyorsabban történik, mint az EPROM-okban, és nem kell az IC-t kiemelni a tokjából, helyben

átprogramozható. Egy perc alatt a teljes memória törölhető és átprogramozható. Ezért a Seeg cég flash-EEROM-ját QPROM-nak hívja, ahol a Q a quick (gyors) szóból származik.

QPROM



12. ábra. QPROM cellatranzisztor

A QPROM cellatranzisztorának keresztmetszete a 12. ábrán látható. Az eszköz két polyszilíciumos technológiával készül. Az első polyszilícium réteggel készül a lebegő gate, a második polyszilícium réteggel pedig a vezérlő gate. A vezérlő gate az ábrán látható módon túlnyúlik a lebegő gate-en. Ez a struktúra lényegében a kéttranzisztoros EEPROM cellából származtatható oly módon, hogy a lebegő gate-es és a kiválasztó tranzisztort összenövesztjük. A vezérlő gate alatti azon terület, ahol nincsen lebegő gate, alkotja a kiválasztó tranzisztort, míg azon a részen, ahol a lebegő gate is található, valósul meg lényegében a cella kétgate-es tranzisztora. Ha törléskor a lebegő gate pozitív töltést nyer, kiválasztó gate-feszültség nélkül akkor sem vezet a cella, mivel inverziós réteg csak a lebegő gate alatt képződik, a csatorna előtte lévő szakaszán nem.

A technológia önillesztő, a két gate maszkolja a source és drain diffúziókat. Ha a vezérlő gate-re kiolvasáskor pozitív feszültség kerül, akkor a csatorna első részén (ahol nincsen lebegő gate) kialakul az inverziós réteg, a hátsó részén pedig attól függően alakul ki, vagy nem, hogy milyen töltés van a lebegő gaten. A cella tehát helyesen működik, miközben mindössze egy (kissé hosszú csatornájú) MOS FET található benne.

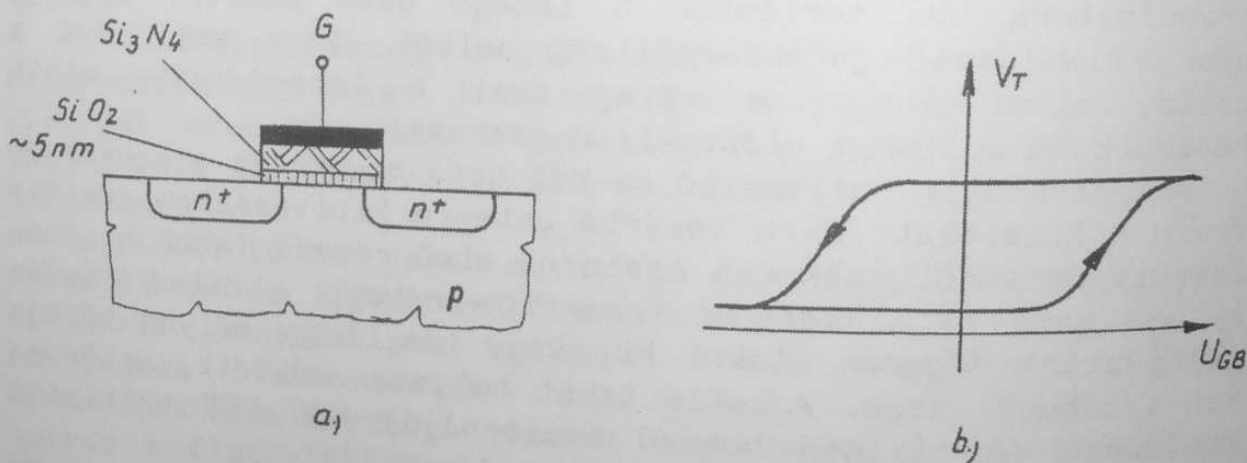
A vékony oxidot itt is általában a drain felett hozzák létre. Ezen oxid vastagságát igen pontosan kell tartani. Ha a vastagsága nagyobb az optimálisnál, akkor túl kicsi tunneláram folyik rajta, tehát a törlés túlságosan sokáig tart és aránylag nagy feszültségekre van szükség hozzá. Ha az oxid túlságosan vékony, akkor egyrészt a lebegő gate-en

tárolt töltés gyorsabban elszivárog, másrészt megnő a veszélye egy rövidzárlatnak az oxidon keresztül, ami természetesen működésképtelenné teszi a cellát.

A Seeg cég 1988-ban mutatta be 512 k-s flash-EEPROM-ját. A programozáshoz mindössze 12 V feszültségre van szükség. A technológia 1,5 μm -es CMOS. Szervezése 64kx8. A cella mérete 20 μm^2 . A tár legalább 100-szor átírható a memória sérülése nélkül. A garantált adatmegőrzési idő 10 év. Az adat, cím és vezérlő bemenetek latch-ekhez kapcsolódnak, így a memória jól illeszthető a hozzá csatlakozó mikroprocesszorhoz.

1989-re a Seeg cég két 1 M bites flash-EEPROM-ot hozott ki. A másik cég, mely bemutatott flash-EEPROM-ot, az Intel volt. A Seeg technológia 1,5 μm -es 2-zsebes CMOS volt. A cella struktúrája azonos a kisebb kapacitású IC-nél ismerttével. A cella mérete 5,6 $\mu\text{m} \times 4,4 \mu\text{m}$. A cellák tartalma 1000-szer törölhető. Ez az EEPROM 128x8 szervezésű, és 32 kivezetéses tokkal rendelkezik. A tármatrix törléséhez kb. 5 s-ra van szükség. A törlés lehetséges szektoronként is, 128 db. 1 kbyte-os szektor külön-külön törölhető. Egy szektor törléséhez 500 ns szükséges. A beírási idő 100-150 μs byte-onként.

Az MNOS memória. (Metal-Nitrid-Oxide-Silicon). Az EEPROM memóriáknak ez a másik jellegzetes megvalósítása. Itt is egy különleges MOS struktúra játssza a főszerepet. A 13. ábrán vázolt tranzisztor gate dielektrikumuk két rétegből áll. Az alsó egy igen vékony, kb. 5 nm-es oxidréteg, a fölötte lévő egy 50-100 nm-es Si_3N_4 réteg. A köztük határán olyan csapda



13. ábra. Az MNOS tranzisztor és V_T karakterisztikája állapotok alakulnak ki, amelyek üresek is, elektronnal betöltöttek is lehetnek. Ezek betöltöttsége természetesen befolyásolja az eszköz küszöbfeszültségét (mint minden, a dielektrikumában lévő töltés).

A csapdaállapotokban lévő elektronmennyiség az alagúthatás segítségével változtatható meg. Ha a gate-ra nagy (~ 50 V) pozitív feszültséget adunk a bulkhoz képest, a bulk elektronjai alagúthatás folytán átjuthatnak a vékony oxidrétegen és negatív töltésréteget hoznak létre a csatorna fölött. Ez megnöveli az n-vezetéses eszköz küszöbfeszültségét. Fordított feszültségpolaritással a csapdaállapotok kiüríthetők, a küszöbfeszültség lecsökkenthető. A küszöbfeszültség végülis a 13b. ábra szerinti, hiszterézises módon függ a gate-bulk feszültségtől. Ezzel egy olyan tranzisztorhoz jutottunk, amelynek küszöbfeszültsége elektromos úton átprogramozható. Az olvasás során U_{GS} a néhány V tartományában mozog, az olvasás tehát a beírt információt nem befolyásolja.

3. A RAM (írható-olvasható) MEMÓRIÁK

3.1. Általános jellemzők

A RAM memóriákat működési elvük szerint két nagy csoportra oszthatjuk:

- A. / Sztatikus memóriák. Ezeknél minden egyes memóriacella egy-egy kétállapotú áramkör; ez tárolja a cellára jutó egy bit információt.
- B. / Dinamikus memóriák. Ezeknél a memóriacella információtároló eleme egy kondenzátor; ennek töltött vagy kisütött volta jelenti az "1" vagy "0" bit tárolását. Tekintve, hogy a kondenzátor a különböző veszteségi áramok miatt önmagától kisül, a dinamikus memóriáknál mindig gondoskodni kell a memóriatartalom rendszeres frissítéséről.

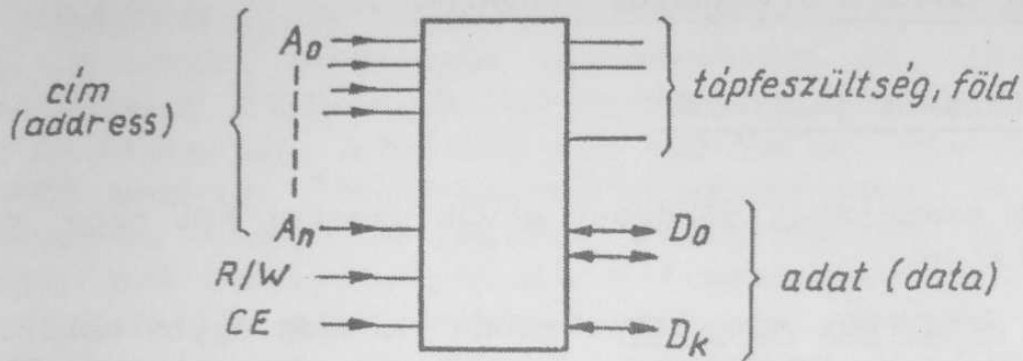
A felhasznált aktív elem típusa szerint megkülönböztethetünk bipoláris és MOS memóriákat. Általában a bipoláris megvalósítás a gyorsabb, de integrálási sűrűség szempontjából a MOS kedvezőbb. A dinamikus memóriák MOS kivitelben készülnek.

Egy memóriachip fő jellemzői:

- sztatikus vagy dinamikus működés,
- a tárolt bitek száma,
- a szóhosszúság,
- a sebesség.

A sebességre vonatkozóan leggyakrabban megadott adat a memória hozzáférési ideje. Értelmezése a következő. A chip cím-bemeneteire ráadjuk a kiolvasandó bitnek (szónak) megfelelő címet, és mérjük azt az időt, ami ezután az illető bit (szó) tartalmának az adatkimeneten való megjelenéséig eltelik. Ez a hozzáférési idő. Néha használják a ciklusidő fogalmát is. Ez az a legrövidebb idő, ami alatt egy-egy címzett bit vagy szó kiolvasható, ha az olvasást folytonosan, ciklikusan végezzük. Valamivel hosszabb, mint a hozzáférési idő, mert egy-egy szó kiolvasását követően a következő cím fogadása előtt a memóriának alapállapotba keli kerülnie. A hozzáférési idő a MOS memóriáknál a 10-200 ns tartományban van, bipoláris memóriáknál egy nagyságrenddel is kisebb lehet.

A memória-IC kivezetéseit a 14. ábra szerint csoportosíthatjuk. Az első csoport a címvezetékeké. Ezek száma annál



14. ábra. Memória-chip kivezetései

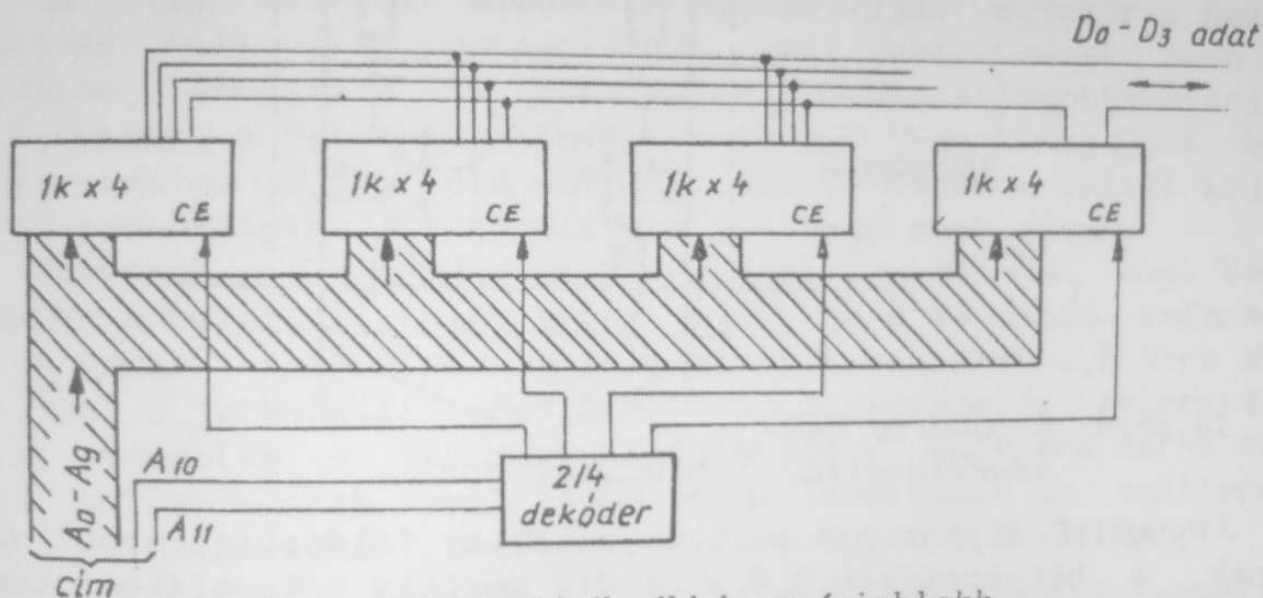
nagyobb, minél nagyobb a memória kapacitása. Egy 16 kbit-es memóriánál (ha teljesen dekódolt) ez 14 címvezeték jelent; egy 256 kbit-es memóriachipnél 18 kivezetést. Gondot jelent, hogy a nagy kivezetésszámú chip csak nagyobb tokban, sokkal költségesebben szerelhető. Ezért egyes esetekben (elsősorban a dinamikus RAM-oknál) csak a címbitek számának felével egyenlő számú cím-kivezetése van az IC-nek, és a teljes címet két ütemben kell a memóriachippel közölni. Ennek részleteivel a 3.3.5. pontban foglalkozunk, a címzési módok tárgyalása kapcsán.

A következő lényeges kivezetés a R/W (read/write) vonal. Ennek logikai szintje dönti el, hogy írni akarunk-e a memóriába vagy olvasni belőle. A lábak további csoportja az adatvonalaké. Ezekből annyi van, ahány bites szavakat tárol a memória (byte szervezésnél 8, teljesen dekódolt memóriánál 1). A korai memóriachipeknél külön bemeneti és külön kimeneti adatvonalakat alkalmaztak. Ma a közös be- és kimenet használata az általános. Az adatvonalak a chipen belül há-

romállapotú input/output kapuhoz csatlakoznak. Ha az adat befelé megy a chipbe, (write üzem), az output kapu nagyimpedanciájú állapotban van, s az input áramkör érzékeli az adatvonalon lévő szintet. Ha olvasunk, az output kapu a kiolvasott "0" vagy "1" tartalmat kényszeríti az adatvonalra.

A mai memóriachipeken mindig megtaláljuk a CE (chip-enable, engedélyezés) bemenetet is. Ha ez logikai "0" állapotban van, a chip működését letiltottuk. Ez annyit jelent, hogy a chipbe írni nem lehet (a R/W vezeték állapotától független), és az adatvonalak "elengedett", nagyimpedanciájú állapotban vannak.

Az engedélyező bemenet léte és a háromállapotú adatvonal jellemző és igen lényeges vonása a mai memória IC konstrukcióknak. Ezek teszik ugyanis lehetővé, hogy a memória IC-kből könnyűszerrel köthessünk nagyobb kapacitású memóriablokkokat. Erre látunk példát a 15. ábrán, ahol 4 darab $1k \times 4$



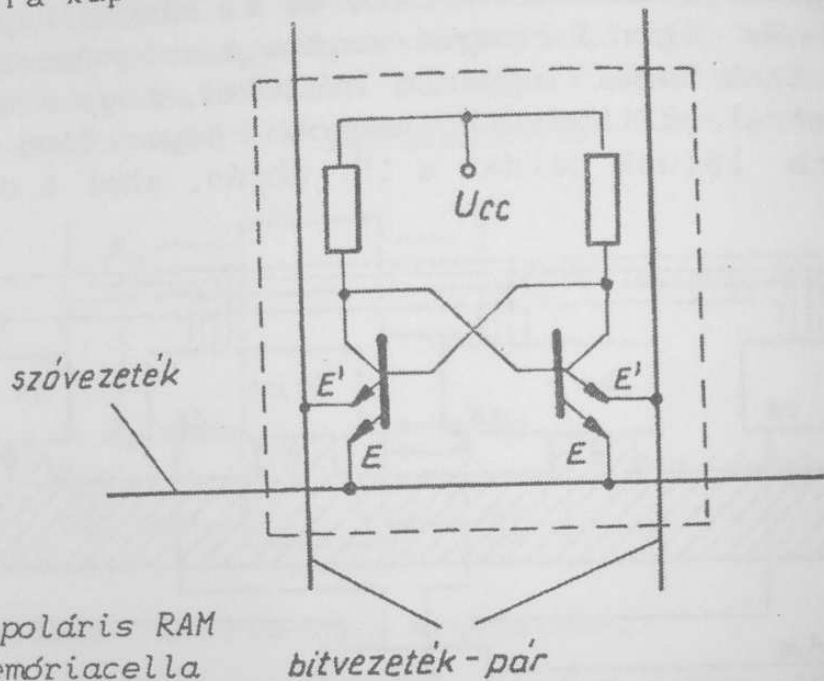
15. ábra. Több tokból álló memóriablokk

bités memória IC-ből egy $4k \times 4$ bites memóriablokkot kötöttünk. Figyeljük meg, hogy a 12 címvezetékéből az alsó tizet mind a négy IC címvezetékeire rákötöttük. A cím felső két bitjét viszont egy dekóderre vezettük, amelynek a négy kimenete közül mindig csak egy aktív. E négy kimenetet kötöttük a négy IC tok CE bemeneteire; ezzel elértük, hogy a négy IC közül mindig csak egy aktív. A cím legfelső két bitje tehát a négy IC tok valamelyikét választja ki. A háromállapotú adatvonalak viszont lehetőséget adnak arra, hogy azokat egyszerűen párhuzamosan kössük – hiszen inaktív állapotban lévő chipek kimenete nagyimpedanciájú állapotban van, a ki nem választott chipek tehát mintegy leválasztják magukat az adatvonalakról.

3.2. Sztatikus RAM memóriák (SRAM-ok)

3.2.1. Bipoláris RAM memória

Bipoláris tranzisztorokkal megvalósított memória celláját látjuk a 16. ábrán. A cella két darab keresztbekapcsolt ellenállás-tranzisztor invertekből áll. A tranzisztorok a címlenállás-tranzisztor invertekből áll. A tranzisztorok a címlenállás-tranzisztor invertekből áll. Mindkét írás és olvasás céljából két emitteres kivitelűek. Mindkét tranzisztor egyik emittere a szóvezetékre csatlakozik. Másik emitterükkel a tranzisztorok az ellenütemben működő bitvezeték-párra kapcsolódnak.



16. ábra. Bipoláris RAM memóriacella

bitvezeték-pár

Nyugalmi állapotban a szóvezetékek földpotenciálra vannak, a bitvezetékek 0,5 V körüli pozitív potenciálra. Ennek folytán a cella vezető állapotban levő tranzisztorának árama a szóvezetéken keresztül záródik. A bitvezetékre kötött emitter gyakorlatilag nem vezet, mert rajta a nyitó feszültség 0,5 V-tal kisebb, mint a másik E-B átmeneten. Így a bitvezetékek egyikén sem folyik áram.

Ha olvasni akarunk a memóriából, a megcímezett sornak megfelelő szóvezetékét 1 V fölé emeljük. Ezzel most a szóvezetékre kötött E-B átmenet nyitófeszültsége lesz kisebb a másikénál. A bistabil áramkör állapota változatlan marad (tehát ha a két tranzisztor közül eddig a baloldali vezetett, továbbra is az marad vezető állapotban), csak éppen az emitteráramot veszi át az E jelűtől az E' jelű emitter. A cella emitterárama tehát most a bitvezetéken keresztül záródik. Aszerint, hogy melyik állapotban volt a cella, a bal- vagy a jobboldali bitvezetéken folyik áram. A cellák alatti

érzékelőerősítő feladata tehát:

- érzékelni, hogy a két bitvezeték közül melyiken jelentkezik áram,
- közben továbbra is biztosítani a bitvezetékek 0,5 V körüli potenciálját.

Ezen a módon természetesen egyszerre kiolvassuk az egy sorba eső összes cella tartalmát. Az érzékelőerősítők által szolgáltatott kimenetekből multiplexerrel kell még kiválasztanunk a kívánt bitet vagy bitcsoportot.

A szóvezeték potenciálját 0 V-ra visszaállítva, a vezető tranzisztor áramát ismét a szóvezeték veszi át. A bistabil áramkör állapota változatlan marad; a kiolvasás nem destruktív.

Ha írni akarjuk a memória egy celláját, először a hozzá tartozó bitvonalak potenciálját kell beállítanunk. Azon az oldalon, amelyiken a tranzisztort vezető állapotba akarjuk billenteni, a bitvonalat továbbra is 0,5 V-on tartjuk, a másik oldalon 2,5 V fölé emeljük. Ezt követően a cellát kijelölő szóvezetésekre 2 V körüli pozitív impulzust adunk.

Kövessük a folyamatot a 16. ábrán. Tegyük fel, hogy kezdetben a baloldali tranzisztor vezet, és a beírandó információ ezzel ellentétes. A baloldali bitvezetékét 2,5 V-ra állítjuk, a jobboldali marad 0,5 V-on. A szóvezeték potenciálját megemelve a baloldali tranzisztor E' emittere zárva marad, kollektorának feszültsége együtt emelkedik az emitterével. (e tranzisztor telítésben van; $U_{CE} \cong 0,1$ V). Emiatt a jobboldali tranzisztor bázisa és E' emittere közötti feszültség jóval 0,7 V fölé emelkedne. A tranzisztor erősen nyit és a bistabil áramkör átbillen.

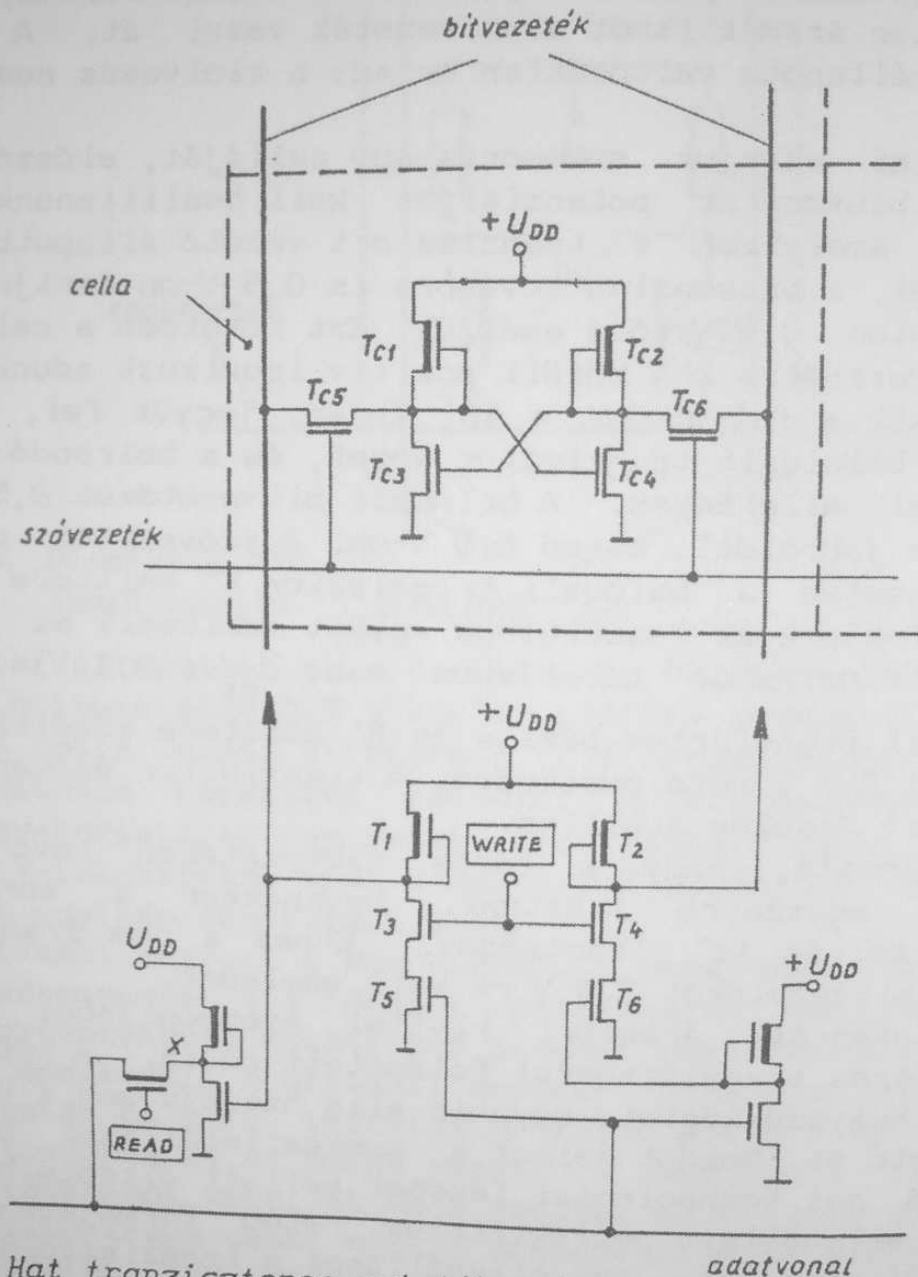
Nyilvánvaló, hogy a közös szóvezetéken levő cellasor celláiba egyszerre írhatunk. Ugyanakkor a soron belül címzett beírás is lehetséges. Ehhez a nem írandó cellák mindkét bitvezetékét 2,5 V-ra kell emelnünk.

Az integrált áramköri kivitel szempontjából előnyös a kétemitteres tranzisztorral felépített cella. A kétemitteres eszköz helyszükséglete ugyanis alig haladja meg a közönséges tranzisztorét. Gondot jelent a munkaellenállások helyfoglalása. A mai technológiai lépések mellett elképzelhető ezeknek nagyellenállású poliszilícium réteg formájában történő megvalósítása. Így az ellenállások a tranzisztorok fölött helyezhetők el – ami tovább csökkenti a cellaméretet.

Összefoglalva: a vázolt bipoláris memória előnye, hogy sztatikus működésű és így frissítést nem igényel, valamint hogy gyorsabb a MOS memóriáknál. Hátrány a nagy cellaméret, tehát viszonylag kis bitkapacitás és a jelentős teljesítményfogyasztás.

3.2.2. Sztatikus RAM memória MOS tranzisztorokkal

A 17. ábrán a legjellegzetesebb kivitel egy celláját és író/olvasó erősítőjét látjuk. Ez az úgynevezett hat tranzisztoros memóriacella. Az információ tárolását kétállapotú áramkör végzi: két, keresztbe kapcsolt MOS inverter. Az írás



17. ábra. Hat tranzisztoros sztatikus MOS memóriacella és író-olvasó áramköre

és olvasás célját szolgálja további két tranzisztor, amelyek transzfer kapuként csatlakoznak a bistabil áramkörökhöz. A transzfer tranzisztorok gate-je a szóvezetékekhez van kötve, drain-jeik a két ellenütemben működő bitvezetékekhez.

Nézzük először az olvasás folyamatát. A sordekóder által kijelölt cellasorban a szóvezeték nyitja a transzfer kapukat. Ennek hatására a sor minden cellájának állapota és azok negáltja kikerül az ellenütemben használt bitvonalakra. Az író/olvasó erősítő baloldali része egy inverterrel regenerálja az információt, és az negálva megjelenik az X-el jelölt ponton. Az olvasás az azonos sorban lévő cellák mindegyikéből megtörténik, a cellasorban levő bitek megjelennek az olvasóerősítő X kimenetein. Ezek közül viszont csak egy kerül ki az adatvonalra: az, amelyik oszlopának olvasóáramkörében a READ jellel a transzfer kaput nyitjuk. Kézenfekvő, hogy az oszlopdekóder kimenetei az olvasóerősítő READ pontjait vezérlik; így jelölődik ki a valóban kiolvasandó bit.

Még két megjegyzés az olvasás folyamatához. Az egyik az, hogy a kiolvasás láthatóan nem destruktív. A másik: jól megfigyelhető az előtöltési elv kihasználása. A bitvezetékeket az íróerősítő két terhelőtranzisztor (T_1 és T_2) a tápfeszültség értékén tartja; a cellában levő T_{C5} és T_{C6} transzfer kapuknak csak az egyik bitvezeték kisütését kell elvégeznie.

Beírásakor az írandó bit az adatvonalon érkezik. Ez és egy inverterrel előálló negáltja jut az író kapu T_5 és T_6 tranzisztoraira. Ha a WRITE bemenetet aktíváljuk, a beírandó bit "0" vagy "1" voltától függően a bal- vagy jobboldali bitvezeték alacsony szintre kerül. Most a szóvezetékekkel nyitva a T_{C5} és T_{C6} transzfer kapukat, a cella bistabil áramkörének bal- vagy jobboldali kimenetét lehúzzuk. Ennek hatására a cella a kívánt állapotba billen. Az írandó cella sorát a szóvezeték címzi, oszlopát az, hogy melyik oszlop íróerősítője kapott WRITE jelet. Vagyis: a WRITE pontokat az oszlopdekóder kimenete kell vezérelje.

A hat-tranzisztoros MOS memóriacella előnye, hogy — sztatikus lévén — frissítést nem igényel. Hátránya a viszonylag nagy helyfoglalás, ami miatt egy adott technológiával csak kb. negyedakkora memóriakapacitás megvalósítására ad lehetőséget, mint a később tárgyalandó dinamikus memória. Hátrány továbbá az állandó teljesítményfogyasztás. Ezt egyes esetekben úgy csökkentik, hogy nyugalmi állapotban a cellák tápfeszültségét egyenáram helyett kis kitöltésű impulzusokkal biztosítják. Az áramkör szórt kapacitásai az impulzusszünet-

ben (ha az elegendően rövid) képesek biztosítani az információ megőrzését. A teljesítmény-igényben gyökeres javulást jelenthet a CMOS technika alkalmazása, hasonló áramköri elrendezés mellett. A passzív terhelésű változatok helyszükségletét egyes esetekben azzal csökkentik, hogy terhelőtranzisztor helyett poliszilíciumból készült ellenállást alkalmaznak. Ez feltétlenül két poli-réteges technológiát igényel, mivel az ellenállások céljára nagyellenállású réteget kell létrehozni ($R_{\square} \approx 10 \text{ Mohm}$), ami nem lehet azonos a gate elektródák anyagával, továbbá mert az ellenállásokat a tranzisztorok felett hozták létre.

A 17. ábrára nézve megállapíthatjuk, hogy az író/olvasó erősítő összetettebb; majdnem kétszerannyi tranzisztorból áll, mint maga a memóriacella. Lényeges átgondolni, hogy ez nem jelent különösebb helypazarlást, mert N bit kapacitású memóriában N memóriacellára, de csak \sqrt{N} író/olvasó erősítőre van szükség. Elsődleges ezért a cella-áramkör egyszerű volta és kis mérete. Ha emiatt az író/olvasó áramkörök bonyolultabbá válnak, annak jelentősége sokkal (számszerűen \sqrt{N} -szer) kisebb. Érdekes példa erre az egytranzisztoros dinamikus memória, ahol a cella extrém egyszerűsítésének ára a kényes és bonyolult frissítőerősítő.

1987-ben a Hitachi és a Sony cégek mutattak be egy-egy 1 M bites SRAM-ot, míg 1988-ban ezt további öt 1 M-es SRAM követte a Hitachi, a Mitsubishi, a Fujitsu, az IBM és a Philips részéről. Az áramkörök jellemző paraméterei a túloldali táblázatban találhatóak. Az alkalmazott technológia kizárólag CMOS, esetenként annak legfejlettebb formája, az iker-zsebes azaz n és p zsebekkel is rendelkező CMOS technológia. Sok esetben egynél több poliszilícium illetve fém réteg található az áramkörökben (a fémezés anyagaként alumínium mellett wolfram is előfordul), továbbá az ún. polycid, ami poliszilícium és fém szilicid kettős réteget jelent. A cellák zöme a hagyományos hat tranzisztoros cella. Ez nagyobb sebességet, de kisebb sűrűséget biztosít a négytranzisztoros cellákhoz képest, amelyeknél a flip-flop-ok terhelése nem tranzisztorokból, hanem poliszilícium ellenállásokból áll.

A chip mérete aránylag nagy. A hozzáférési idők rendkívül kicsik, összevethetők a néhány évvel ezelőtti, igen kis sűrűségű, speciális nagysebességű SRAM-okéval, és jóval kisebbek, mint a 64 k-s vagy 256 k-s SRAM-oké volt.

1 Mbit-es sztatikus RAM-ok

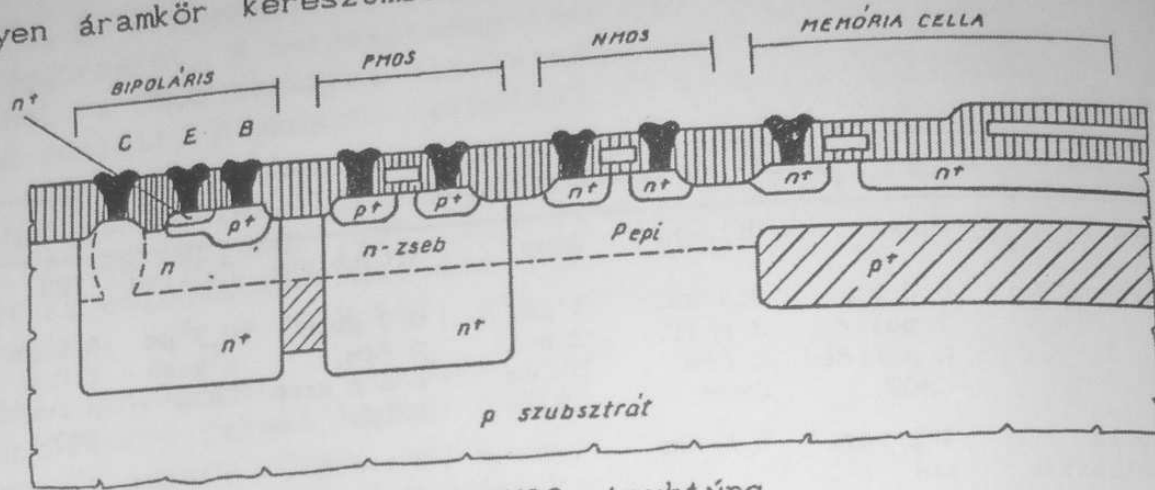
cég	Hitachi	Hitachi	Sony	Mitsubishi	Fujitsu	IBM
technológia	0,8 μm , 3 poli/ 2 polid CMOS	0,8 μm , 2 poli, 2 fém CMOS	1 μm , 2 poli, 2 fém CMOS	0,7 μm , 2 fém, n & p zseb CMOS	0,7 μm n zseb CMOS	0,9 μm 2 fém n zseb CMOS
cella felépítés	4 tranz. poli ell.	6 tranz.	4 tranz. poli ell.	6 tranz. árok szig.	4 tranz. poli ell.	6 tranz.
cella méret	-	44 μm^2	-	41,6 μm^2	-	58 μm^2
chip méret	-	90 mm^2	-	-	-	92 mm^2
hozzáférési idő	42 ns	15 ns	35 ns	14 ns	18 ns	24-34 ns
memória-szervezés	128kx8	256kx4	128kx8	1Mx1 256kx4	256kx4	128kx8 256kx4 1Mx1
disszipáció						
aktív	200 mW	250 mW	100 mW	-	350 mW	225 mW
nyugalmi	-	10 mW	-	-	10 mW	-
bemutató év	1987	1988	1987	1988	1988	1988

Az 1989-es ISSCC konferencián a Sony cég bemutatta a 4 M bites statikus RAM-ot, ami 25 ns hozzáférési idővel rendelkezik. A technológia 0,5 μm -es CMOS. A Hitachi cég ugyanitt bemutatott egy rendkívül gyors, 9 ns hozzáférési idővel rendelkező 1 M bites SRAM-ot. Szintén 0,5 μm -es CMOS technológiával készül, három poliszilícium és két fémréteggel.

3.2.3. BiCMOS sztatikus RAM memóriák

Az utóbbi időben bekövetkezett technológiai fejlődés lehetővé tette ugyanazon a chipen bipoláris és CMOS áramkörök egyszerre történő készítését. Az IC-n ilyen módon sikerül kombinálni a bipoláris áramkörök nagy sebességét és áramát a CMOS áramkörök nagy sűrűségével és kis disszipációjával. Egy

ilyen áramkör keresztmetszte a 18. ábrán látható. A CMOS



18. ábra. BiCMOS struktúra

áramkör n-zsebeivel együtt készül a bipoláris tranzisztor kollektor része. A bázis külön diffúzió, míg az emitter egyszerre készülhet az n-csatornás MOS FET source és drain diffúzióval. 1988-ban mutatta be a Hitachi, Fujitsu, Texas és a National Semiconductor cég 256k-s BiCMOS SRAM-ját. A gyors ECL bipoláris RAM-ok maximális sűrűsége a nagy disszipáció miatt 64 k, így ezeket tudják pótolni nagysebességű alkalmazásokban a BiCMOS SRAM-ok. A BiCMOS-oknál a periféria áramkörök általában bipolárisak a nagyobb sebesség és a nagyobb áramok érdekében, esetleg bipoláris és CMOS áramkörök vegyesen, míg a cellák általában CMOS áramkörök, esetleg n-MOS is lehet. A négy típus főbb jellemzői az alábbi táblázatban találhatóak.

256 k-s BiCMOS SRAM-ok				
cég	Hitachi	Texas Instruments	Fujitsu	National
technológia	1 μm	0,8 μm , 2 fém	1,2 μm	-
cella	4 tranz. CMOS	6 tranz. CMOS	6 tranz. n-MOS	-
chip ter.	66 mm^2	117 mm^2	40 mm^2	-
periféria	bip.	bip.	bip + CMOS	-
hozzáférési idő	8 ns	8 ns	10 ns	12 ns
disszipáció	490 mW	-	700 mW	-
szervezés	256k x 1	256k x 1	256k x 1	256k x 1

3.3. Dinamikus MOS memóriák (DRAM-ok)

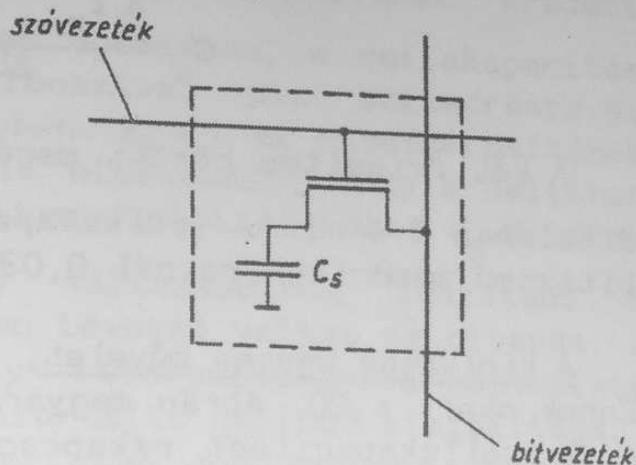
3.3.1. A dinamikus információ tárolás

A dinamikus memóriák köréből a ma általánosan alkalmazott, ún. egytranzisztoros megoldást ismertetjük. Ennek celláját a 19. ábrán látjuk. A cella egy C_s tárolókapacitást és egyetlen tranzisztort tartalmaz. Utóbbi gate elektródája a szóvonatra csatlakozik. A tranzisztor nyitásával a tárolókapacitás a bitvonalra kapcsolható.

Mint minden dinamikus memóriában, az információt itt is a cellakapacitásban tárolt töltés őrzi. A kondenzátor 0 V körüli feszültsége a "0" állapotnak, tápfeszültséghez közeli értéke az "1" állapotnak felel meg. A tárolás

e végtelen egyszerű módja igen nagy bitsűrűségre ad lehetőséget. Felvet ugyanakkor néhány olyan problémát, amelyekkel az eddigi memóriaáramkörökben nem találkoztunk. Ezek az alábbiak:

"Frissítésről" kell gondoskodnunk. A cellakapacitásban tárolt töltés ugyanis lassan elszivárog. A frissítés a cellák rendszeres kiolvasását és tartalmuk újbóli visszairását jelenti. A töltés elszivárgását elsődlegesen az okozza, hogy a kondenzátor a cella tranzisztor source elektródájára van kötve. Utóbbihoz elkerülhetetlen módon hozzátartozik egy parazita pn átmenet a szubsztrát felé, ennek záróárama kisüti a cellakapacitást. A kisütő áram annál nagyobb, minél nagyobb a chip hőmérséklete. A szivárgás másik forrása a cellatranzisztor ún. küszöb alatti szivárgása. Ha a gate-source feszültség kisebb a küszöbfeszültségnél, akkor az egyszerűsített elmélet szerint a MOS tranzisztoron zérus áram folyik. Valójában ekkor is folyik áram (ami a gatefeszültség exponenciális függvénye), habár ez az áram sok nagyságrenddel kisebb a nyitott állapotban folyó áramnál. Ennek ellenére, a rendszerint kis tároló kapacitást ez is ki tudja sütni. Ez a probléma súlyosbodik a csatornahossz csökkenésével, mivel ekkor nő a küszöb alatti szivárgás. Ennek alapján



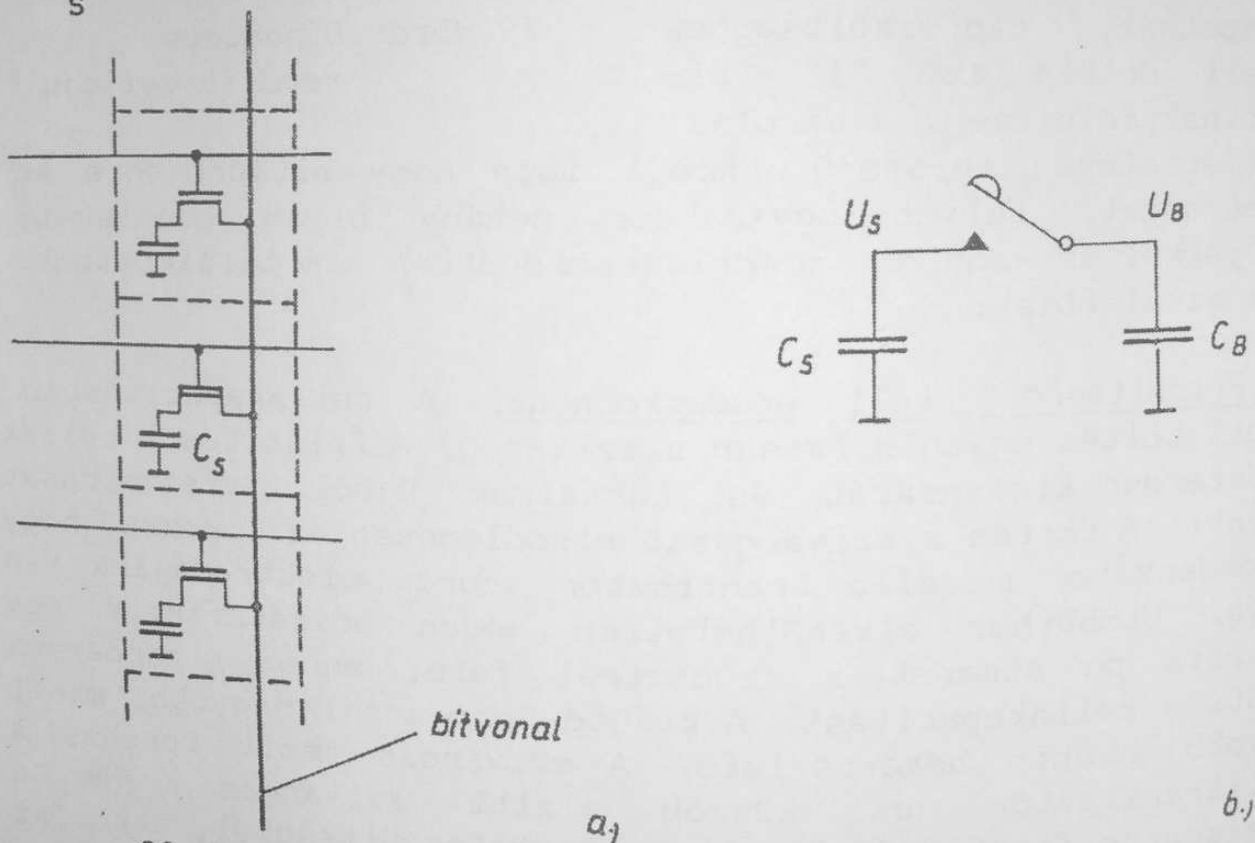
19. ábra. Dinamikus memória cellája

állapíthatjuk meg a cellakapacitás C_s értékét. Ezt a helykímélés céljából a lehető legkisebbre igyekszünk tervezni - de biztosítanunk kell, hogy még a legnagyobb chip-hőmérséklet mellett I_{Rmax} szivárgási áram se változtassa meg a két frissítés közötti t_{refr} idő alatt egy megengedhető ΔU -nál jobban a kondenzátor feszültségét. E feltételből:

$$C_s = \frac{I_{Rmax} t_{refr}}{\Delta U} \quad (2)$$

A két frissítés között megengedett maximális idő, t_{refr} ma általában 2-4 ms. A cellakapacitás értéke a mai legnagyobb bitszámú memóriachipeknél 0,035-0,06 pF körüli.

A kiolvasás kényes művelet, precíziós áramköröket igényel. Ennek okait a 20. ábrán magyarázzuk. A szóvonal aktiválásával a C_s cellakapacitást rákapcsoljuk a bitvonalra. Utóbbi egy



20. ábra. A dinamikus memóriacella kiolvasásához

hosszú vezeték: 32, 64 vagy akár 128 cellán halad át, C_b szórt kapacitása sokszorososan, akár két nagyságrenddel is meghaladja C_s -t. A kiolvasás folyamatát a 20b. ábra elvi vázlatán követhetjük. Ha az U_s feszültségű cellakapacitást

rákapcsoljuk az U_B feszültségű bitvonalra, a töltésmegmaradás alapján így adódik az eredő feszültség:

$$U = \frac{C_B}{C_S + C_B} U_B + \frac{C_S}{C_S + C_B} U_S \quad (3)$$

Vagyis, tekintve, hogy $C_S \ll C_B$, a bitvonal eredeti feszültsége gyakorlatilag teljes egészében, a cellakapacitás feszültsége viszont erősen leosztva, pl. századrészával jelentkezik a kimenő feszültségben. Ezért az olvasóerősítőnek 50-100 mV különbség alapján kell eldöntenie, hogy a cellában "0" vagy "1" volt tárolva. A bitvezetékét előtöltő U_B értéket pontosan kell tartani, vagy változásaihoz igazítani a komparálási szintet, máskülönben tévessé válhat az olvasás. A probléma szokásos megoldása egy "referencia-cella" használata és az olvasóerősítő differenciálerősítő jellegű kialakítása.

Az olvasás folyamatát áttekintve nyilvánvaló, hogy az egytranzisztoros cellát csak destruktív módon lehet kiolvasni. A kiolvasást tehát mindig frissítési ciklussal egybekötve végezzük.

Az α -részecskék hatása. Már a 16 Kbit-es memóriák kifejlesztése során különös új hibajelenség jelentkezett, az ún. "soft error". Abban állt, hogy a tesztelés során időről-időre egy-egy cella hibásnak bizonyult, elvesztette a beleírt bitet. Tovább folytatva a mérést, a cella hibája nem ismétlődött, de előbb-utóbb egy másik cella mutatott hasonló hibát. A kutatás kiderítette, hogy a jelenséget az α -részecskék becsapódása okozza. Alfa-részecskék a környezetben, leginkább a tokozásban megtalálható radioaktív nyomelemek bomlásából származhatnak; energiájuk néhány MeV körüli. Ez azt jelenti, hogy a szilíciumba behatolva, kis környezetben millió nagyságrendű elektron-lyuk párt generálhatnak. (Egy hordozó-pár keltéséhez a tiltott sáv szélesség $W_g = 1,12$ eV energiája szükséges.) Láttuk, hogy a memóriáknál a C_S cellakapacitás 0,05 pF körüli. Ez azt jelenti, hogy (5 V tápfeszültséggel számolva) a cellában az információt mindössze

$$\frac{C_S U_S}{q} = \frac{5 \times 10^{-14} \cdot 5}{1,6 \times 10^{-19}} = 1,56 \cdot 10^6 \quad (4)$$

elektron őrzi. Ha tehát egy cellát, annak tranzisztorát, vagy az olvasás pillanatában akár a diffúziós bitvezetékét eltalálja egy α -részecske, az információ elvész. A kisebb bitszámú memóriákban nagyobb a cellakapacitás, ezért az α -részecskék hatása korábban nem mutatkozott. Az α -részecskék által okozott hibák ellen úgy védekezünk, hogy a chip felületét egy speciális védőlakkal (poliimid) borítjuk. Ez elnyeli az α -részecskéket és önmagában nem tartalmaz nyomelemeket.

Az α -részecskék becsapódásukkor 20-30 μm hosszú utat futnak be, s ezen út mentén elektron-lyuk párokat keltenek. Ha a részecske teljes energiája elektron-lyuk pár keltésre fordítódik, $E=1$ MeV energiájú részecske kb.

$$\frac{E_L}{W_g} \approx 10^6$$

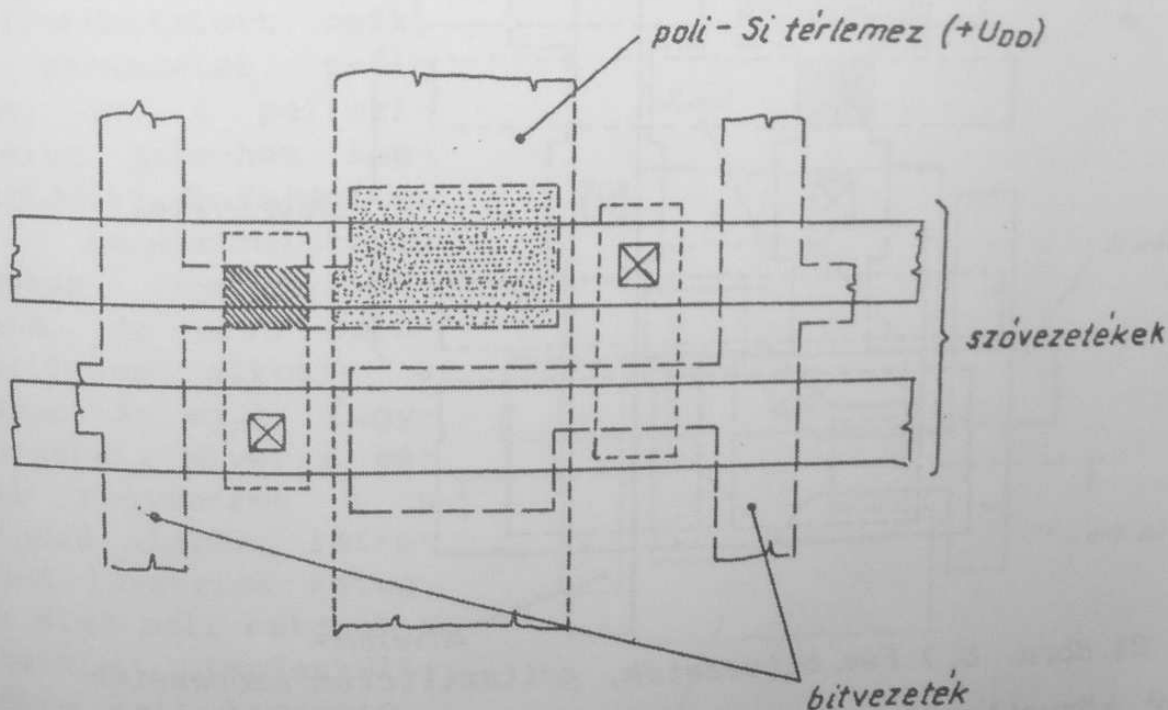
elektron-lyuk párt hozna létre. Valójában az energia másra is fordítódik, másrészt viszont az α -részecske energiája több MeV is lehet. Végreddményben tehát a két hatás ellensúlyozza egymást, és végülis 10^6 körüli számban jönnek létre elektron-lyuk párok. Ezek nem mind a cella kisütésére fordítódnak, de kedvezőtlen esetben kisüthetik a cellát. Probléma tehát akkor léphet fel, ha a fenti számítás alapján a cella kapacitása kb. 50 fF alá süllyed. (1 fF = 1 femto-Farad = 0,001 pF.)

Első pillanatban azt gondolhatnánk, hogy az α -részecskék hatására csak olyan hiba fordulhat elő, hogy egy "1"-et hibásan "0"-nak olvasunk, mert a feltöltött kapacitást a generált elektronok kisütötték. "0" szint esetén ugyanis eleve ki van sűtve a kapacitás, és az nem változik meg. A "0" tartalmat mégis hibásan "1"-nek olvashatjuk, ha az α -részecske a másik (a referencia) bitvezetékét találja el, és annak úgy lecsökkenti a feszültségét, hogy az kisebb lesz a kiolvasott cellához tartozó bitvezeték feszültségénél.

3.3.2. Dinamikus RAM cellák

Az elvileg egyszerű alapcellák konkrét formája igen különböző lehet. Igen nagyjelentőségű a minél kisebb cellafelület megvalósítása, hiszen a cella nagy számban fordul elő a chipen, így minden cellaterület csökkentési lehetőség növeli a memória nagyságát. Ezért a mikroelektronikában itt vetik be a legfejlettebb technológiát, és itt valósítják meg a legkisebb vonalszélességet. A cellaméret csökkent, ahogy az egypoliszilíciumos technológiáról áttértek a kétpoliszilíciumosra. A méret további csökkenését eredményezte a háromdimenziós struktúrák felhasználása a legutóbbi időben. A szó- és bitvezetékek is különböző rétegek felhasználásával készülhetnek (diffundáltatott csík, poliszilícium, fém), ami további variációkra ad lehetőséget. A továbbiakban áttekintjük néhány cella felépítését.

Az első DRAM-ok az egyszerűbb, egy poliszilíciumos technológiával készültek. Két ilyen cella felépítését mutatja a 21. ábra, melyek a 4k - 16k szinten voltak tipikusak. A 21a. ábrán fém szóvezetékes, diffúziós bitvezetékes, ön-illesztő technológiával készülő kivitel látunk (az aktív zónát szaggatott, a fémezést folytonos, a poliszilíciumot pontvonallal jelöltük). A poliszilícium gate elektródás cella-tranzisztorok gate területét vonalkázással emeltük ki,

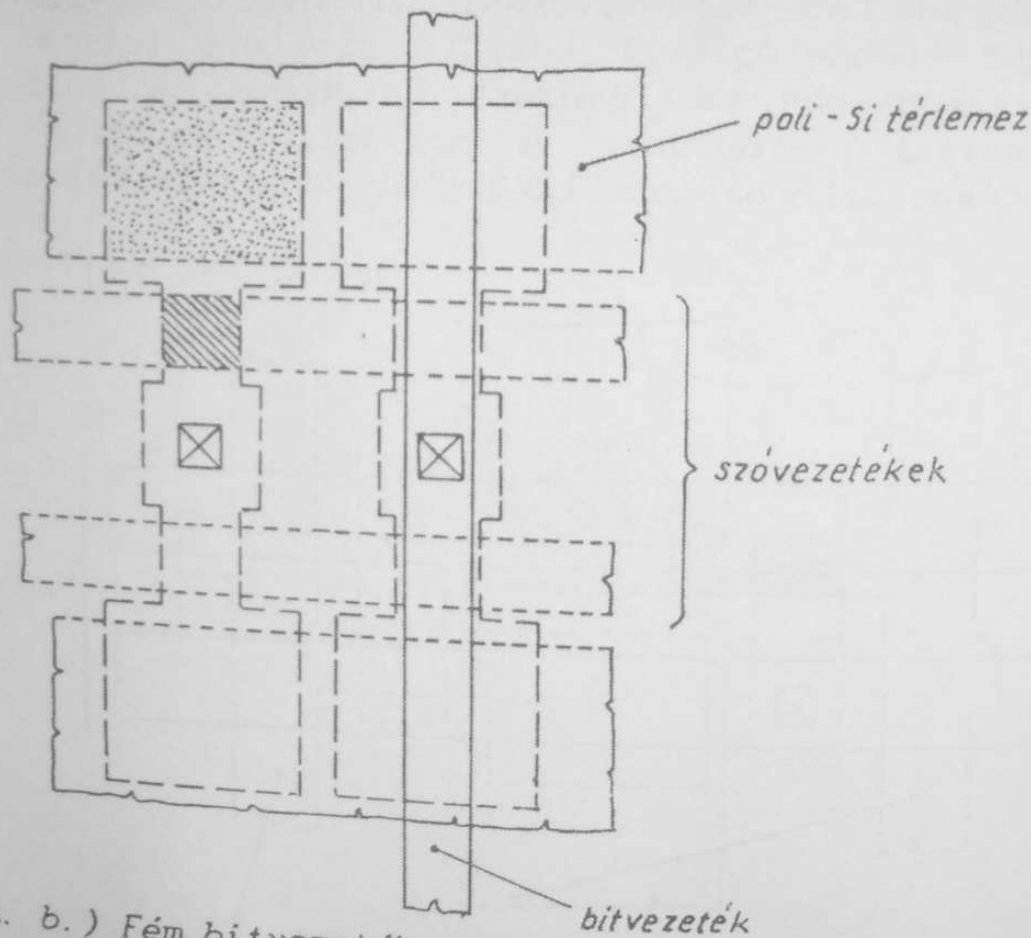


21. ábra. Az egytranzisztoros memóriacella layout változatai
a.) fém szóvezeték, diffúziós bitvezeték

a poli-oxid-félvezető kapacitások felületét pontozással jelöltük. Az utóbbiak fölött végigfutó széles poliszilícium csík az un. térelektroda vagy térlemez, ami itt konstans pozitív potenciálon van. Ez felel meg a tárolókapacitások 19. ábra szerint földelt elektródájának. A pozitív potenciál azért szükséges, mert az önillesztő technológiával megvalósított poli-oxid-félvezető kapacitás működéséhez mindenképpen a küszöbfeszültségnél nagyobb feszültség szükséges (lásd "A monolitikus integrált áramkörök alkatrészei", 1.3. szakasz). Figyeljük meg a két cella iker-elrendezését, ami a célszerű helykihasználást segíti.

Célszerűtlen tulajdonsága a 21a. ábra szerinti kivitelnek, hogy a bitvezeték a nagy szórt kapacitással rendelkező diffúziós csík. Ugyanez az elrendezés poliszilícium bitvezetékkel is megvalósítható. Ennek szórt kapacitása fele-harmadakkora, így a kiolvasási viszonyok előnyösebbek. A cellatranzisztor drainje és a bitvezeték között ez esetben bújtatott kontaktus teremt kapcsolatot.

Egy másik lehetséges elrendezést látunk a 21b. ábrán. Most a bitvezeték fém, és a szóvezeték poliszilícium. Az utóbbi

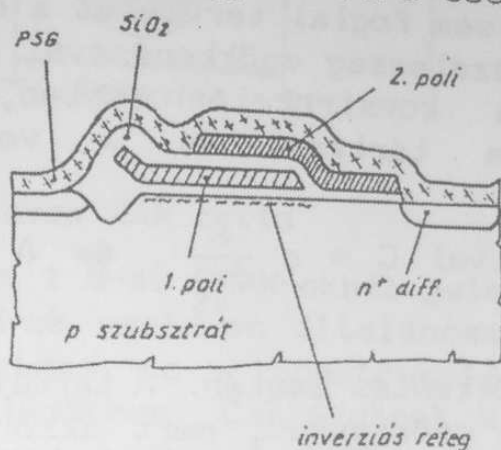


21. ábra. b.) Fém bitvezeték, poliszilícium szóvezeték
 így közvetlenül szolgálhat a cellatranzisztor gate-jeként; ezzel egy kontaktushelyet megtakarítunk. A layout most is iker-cellás elrendezésű.

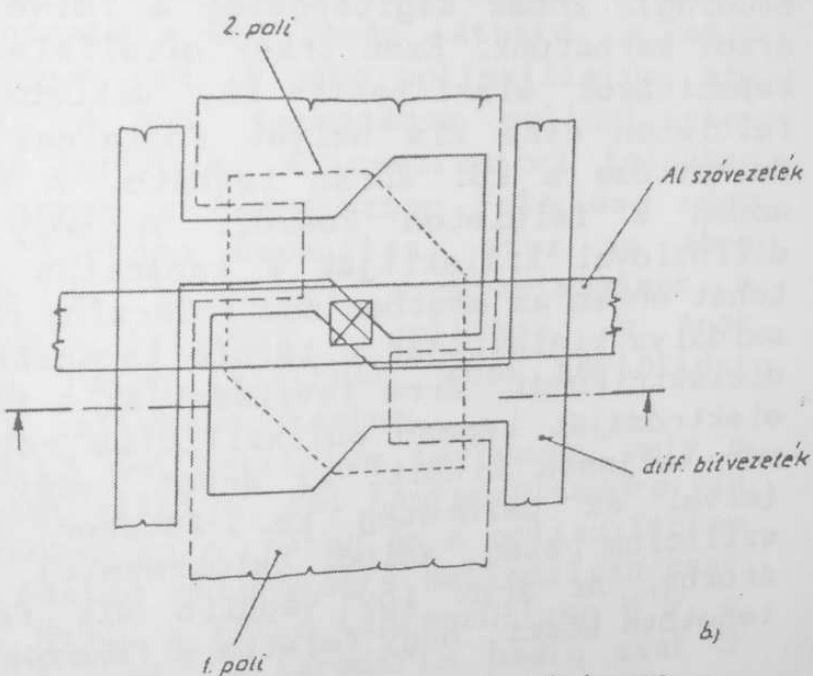
A rajzolatoknak még igen sok lehetséges variációja lehet. Kialakításuknál a legfontosabb szempont, hogy egy-egy cella szokták kiszámolni, hogy az egy cella által igényelt hely hányszorosa a minimális csíkszélességgel rajzolt négyzet tartozik: kb. 10 négyzetes. De konstruáltak már 6-négyzetes layout-ot is.

A bit- és a szóvezeték sajnos nem lehet egyszerre fémből (hiszen kereszteződnek). Az egyikük például poliszilícium. Ezen számítani kell jel-késleltetésre, hiszen a nagyméretű cellamatrixon e vezetékek hossza több mm. E szempontból is előnyös a 21b. ábra elrendezése, ahol a kényesebb bitvezeték fém, s a poliszilícium szóvezeték egy cellára eső hosszúsága viszonylag kicsi.

A 16k-s memóriáknál tipikussá vált a két poliszilícium réteggel készített cella, melynek keresztmetszete a 22a. ábrán, felülnézete pedig a 22b. ábrán látható a legegyszerűbb kivitel esetén. Itt a bitvezeték diffundáltatott csík, a szóvezeték pedig fém, ami a poliszilícium gate-hez kapcsolódik. A felépítés a keresztmetszeten jobban nyomonkövethető. Az első poliszilícium alkotja a kapacitás egyik fegyverzetét. Mivel a másik fegyverzet a p típusú alapon létrejövő inverziós réteg, az első poli réteget a pozitív tápfeszültségre kell kapcsolni. A második poliszilícium réteg alkotja a kapcsoló tranzisztor



a)



b)

22. ábra. Két poliszilíciumos RAM cella

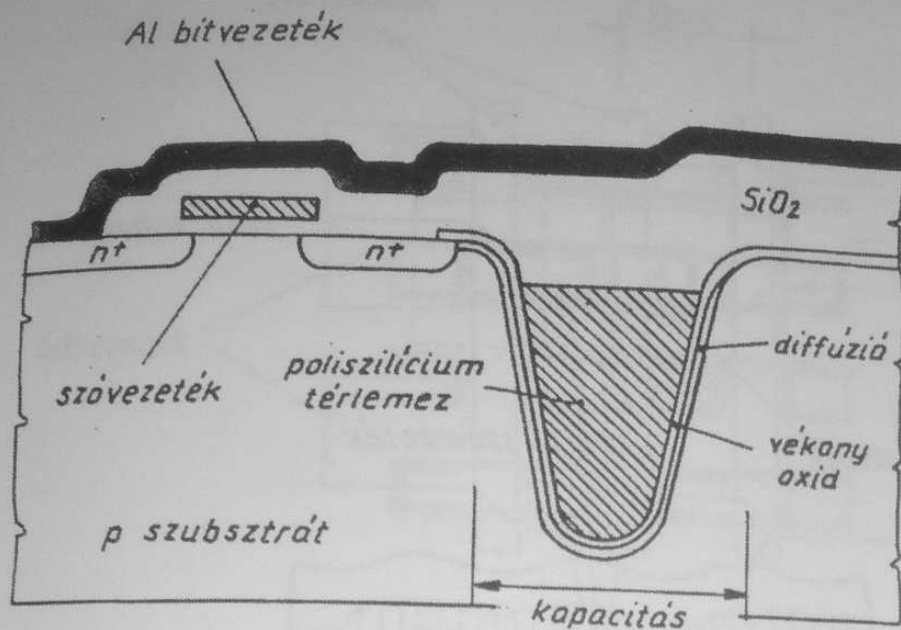
gate-jét, és részben átfedi az első réteget is. Ennek következtében, ha a gate-re nyitófeszültség jut, a két poliszilícium réteg alatti inverziós rétegek összeérnek, így nincsen szükség külön source-ra, ami területmegtakarítást jelent.

Felülnézetben egy ikercellát láthatunk. A két lapát alakú alakzat adja a tároló kapacitásokat, a hozzá csatlakozó diffundáltatott bitvezetékekkel. A középső felületet majdnem teljesen befedi az első poliszilícium réteg, kivéve a tároló területet a bitvezetékekkel összekötő részt, ahol a tranzisztor csatornája található. A második poliszilícium réteg a hatszögletű alakzat. Látható, hogy ez befedi a csatorna feletti területet. A gate és a fém szövezeték közti kontaktus mind a két cellához vezet, azaz cellánként csak 1/2 kontaktus van, és ez sem foglal területet a cellából.

A vonalszélesség csökkenésével új utakat kellett keresni. Változatlan konstrukció esetén, arányos méretcsökkenés mellett, a tárcapacitás a vonalszélességgel arányosan

csökken, mivel $C = \epsilon \frac{A}{d_{ox}}$, és $A \sim d_{min}^2$ valamint $d_{ox} \sim d_{min}$

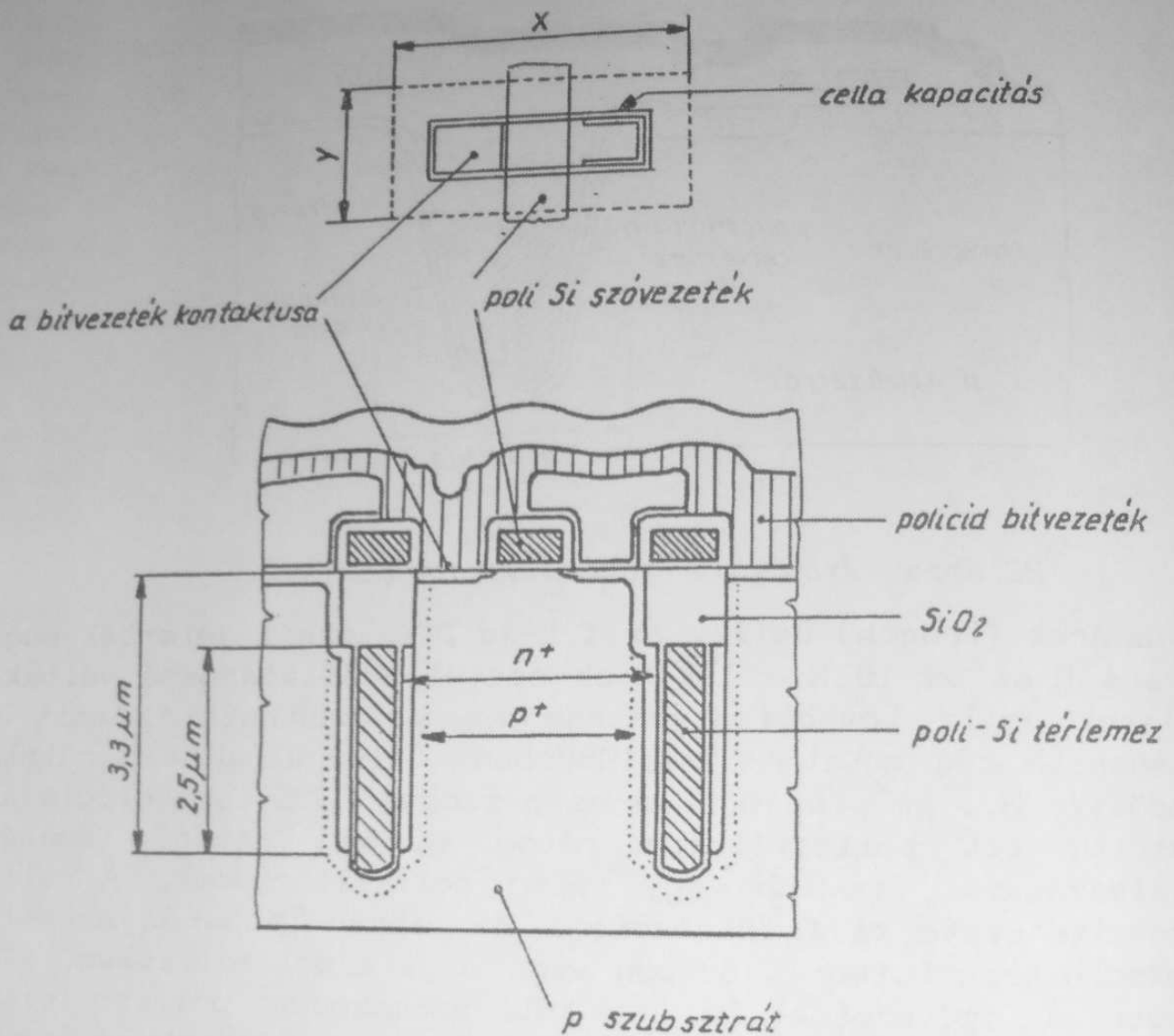
arányos csökkentés esetén. A tárolókapacitás ugyanakkor 40-50 fF alá nem csökkenhet, mert akkor az alfa részecskék miatt eltűnhet a cella információtartalma. A megoldást a száraz ionmarásos modern technológia adta (RIE = Reactive Ion Etching). Ennek segítségével a félvezetőbe keskeny és mély árkot marhatunk. Ezen árkok oldalfalán viszonylag nagyértékű kapacitások alakíthatók ki, miközben ezen kapacitások a felületen csak kis helyet foglalnak el. A cella vázlatos felépítése a 23. ábrán látható. A tranzisztor hagyományos módon a felületen készül. A mély árkok falán először diffúzióval kialakítják a kapacitás egyik elektródáját (ez tehát ebben az esetben nem inverziós réteg), majd a felületet oxidálva kialakítják a tároló kapacitás vékony (10-15 nm-es) dielektrikumát. Erre leválasztják a tároló kapacitás második elektródáját képező poliszilícium réteget. Ez a réteg vagy már teljesen kitölti az árkot, vagy annak oxidálása után, (mivel az oxidréteg kb. kétszer vastagabb, mint az a szilícium réteg, amiből keletkezett), az oxid "beledagad" az árokba. Az árok így végülis sík felülettel záródik, ami lehetővé teszi, hogy felette a fémezés elhaladhasson.



23. ábra. Árokkapacitásos RAM cella

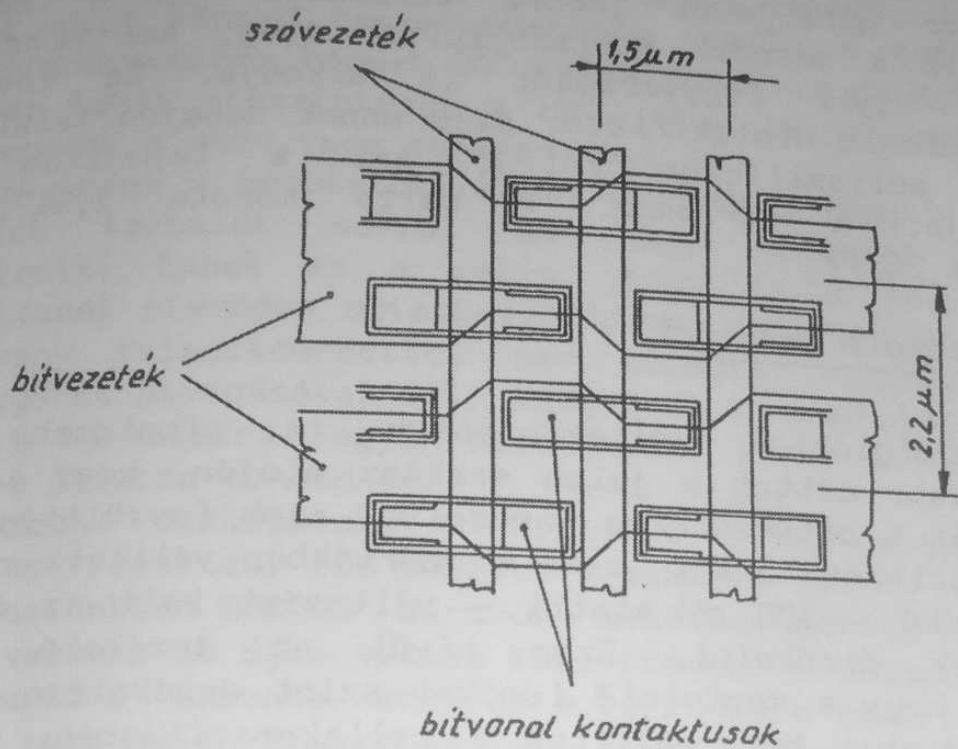
Az árok (trench) cellák az 1 M-ás DRAM-oknál jelentek meg, és a 4 M-es és 16 M-es DRAM-ok esetében általánossá váltak. Az árok cella továbbfejlesztése az a konstrukció, amit a Matsushita cég mutatott be 1988-ban. Cellájuknak a területe mindössze $3,3 \mu\text{m}^2$, és $0,5 \mu\text{m}$ -es n-zsebes CMOS technológiával készült, két poliszilícium réteg és két rétegű fémezés alkalmazásával, továbbá egy réteg polisziliciddel. A cella keresztmetszete és felülnézete a 24. ábrán látható. A cella kapcsoló tranzisztora középen van. A gate poliszilícium, ami egyben a szóvezeték is. A két szomszédos poliszilícium vezeték már más cellákhoz tartozik. A tranzisztort teljesen körülveszi az árok, és annak a tranzisztor felé eső négy oldalán van a cellához tartozó kapacitás, azaz az ábra metszeti rajzán a jobb és baloldali árok-metszetnek a tranzisztor felé eső oldala tartozik a cellához. Az árok falán implantált p^+ és n^+ réteg található, ezek tértöltési kapacitása is hozzájárul a cellakapacitáshoz.

Az árkot középen kitöltő poliszilícium térlemez, mely a kapacitás másik fegyverzetét alkotja, fél tápfeszültségre van kapcsolva. Ennek következtében az n^+ réteg és a poliszilícium közötti, mindössze 10 nm vastag oxidrétegre maximálisan csak a tápfeszültség fele jut. Habár a külső tápfeszültség 5 V, a periféria áramkörök csak 4 V-ot, a tármátrix pedig csak 3 V-ot kap, így tehát a tároló kapacitás dielektrikumát max. 1,5 V terheli.



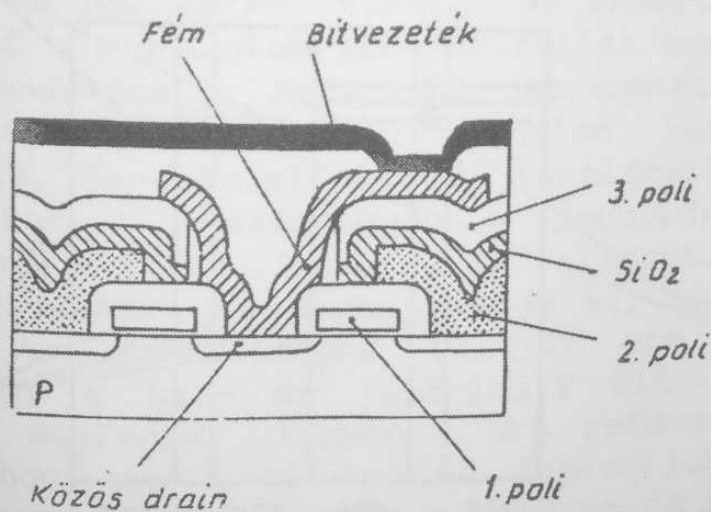
24. ábra. 16 Mbit DRAM árokkapacitásos cellája

A kapacitás az árok aljára nem terjed ki. Ez egyrészt azért szükséges, mert el kell választani az árok másik oldalán levő kapacitástól, hiszen az már a következő cellához tartozik, másrészt az árok aljánál lévő sarok fokozott szivárgás helye lenne. A cellakapacitás értéke 63 fF. Az egyes cellák elhelyezkedése egymás mellett felülnézetben a 25. ábrán látható. A függőleges vonalak a szövezetékek, a széles, változó szélességű vízszintes vezetőcsíkok a bitvezetékek. A kiszélesített részekon található a két szomszédos cellát szolgáló két drainkontaktus.



25. ábra. A 24. ábra celláinak elrendezése felülnézetben

A háromdimenziós cellák másik típusára jellemző a Hitachi cég 16 Mbit-es DRAM-jának cellája, mely a 26. ábrán látható. Ennek elnevezése a "stacked" kapacitású cella (rakott kapacitású cella). Megvalósításához három poliszilícium rétegre van szükség. Az első rétegből készül a cellatranzisztor gate-je. Az ábrán két cellatranzisztor is látható, ezek közös drain-nel és drainkontaktussal rendelkeznek. A drainhez csatlakozó fémvezeték köti a draint össze a legfelül futó bitvezetékkel. Egy-egy cellakapacitás a baloldali tranzisztor gate-jétől balra, illetve a jobboldali



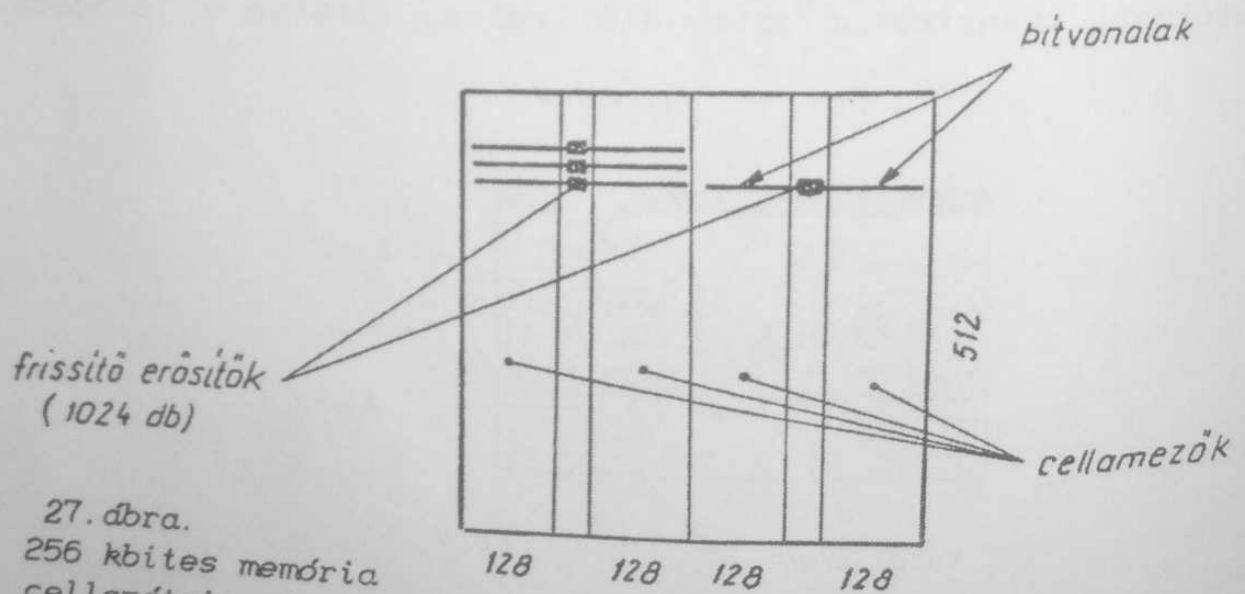
26. ábra. "Rakott" DRAM cella

tranzisztor gate-jétől jobbra található. Az n^+ réteghez csatlakozik a második poliszilícium réteg, ami mindjárt a kapacitás egyik fegyverzetét is alkotja. Ez követi a szilíciumdioxid dielektrikum, majd ennek tetején található a harmadik poliszilícium réteg, ami a kapacitás másik elektródája, a térlemez. A cella mérete $1,3 \times 3,2 \mu\text{m}$, kapacitása 33 fF.

3.3.3. Érzékelő erősítők

Az eddigiekben áttekintettük a fontosabb DRAM alapcellákat. Láttuk a jelen szakasz elején, hogy a cellák kapacitását a bitvezetésekre kapcsolva, azok feszültsége, nagy szórt kapacitásuk miatt, csak kismértékben változik meg. Ezt a kismértékű – 100 mV alatti – változást kell az érzékelő erősítőknek érzékelni. Ezen kívül az érzékelő erősítő feladata, hogy a megfelelő logikai szint érzékelése után az eredeti szintet helyreállítsa a cellakapacitásban, mivel a kiolvasás destruktív. Feltétel továbbá (mivel minden bitvezetékhez külön érzékelő erősítő tartozik), hogy az érzékelő erősítő csak néhány tranzisztort tartalmazhat és kis disszipációjú kell legyen.

Példaként vizsgáljuk meg egy 256 k-s DRAM érzékelő erősítőjének működését a hozzá csatlakozó bitvezetékekkel és memória cellákkal. A bemutatott típust $1 \mu\text{m}$ csíkszélességgel gyártják. Egy bitvonalon 128 cella helyezkedik el, a 27. ábra szerint. Két oszlopban helyezkednek el a frissítő-erősítők, összesen 1024 db. Ezek mindegyike a tőle balra ill. jobbra



27. ábra.
256 kbites memória
cellamátrix elrendezése

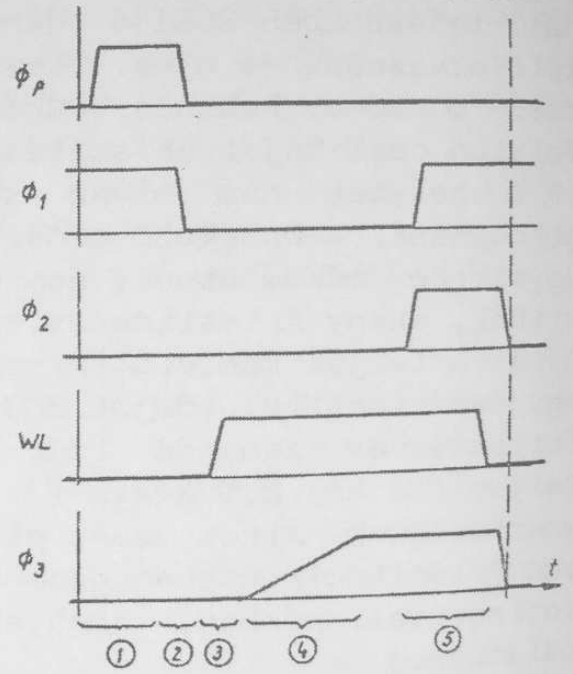
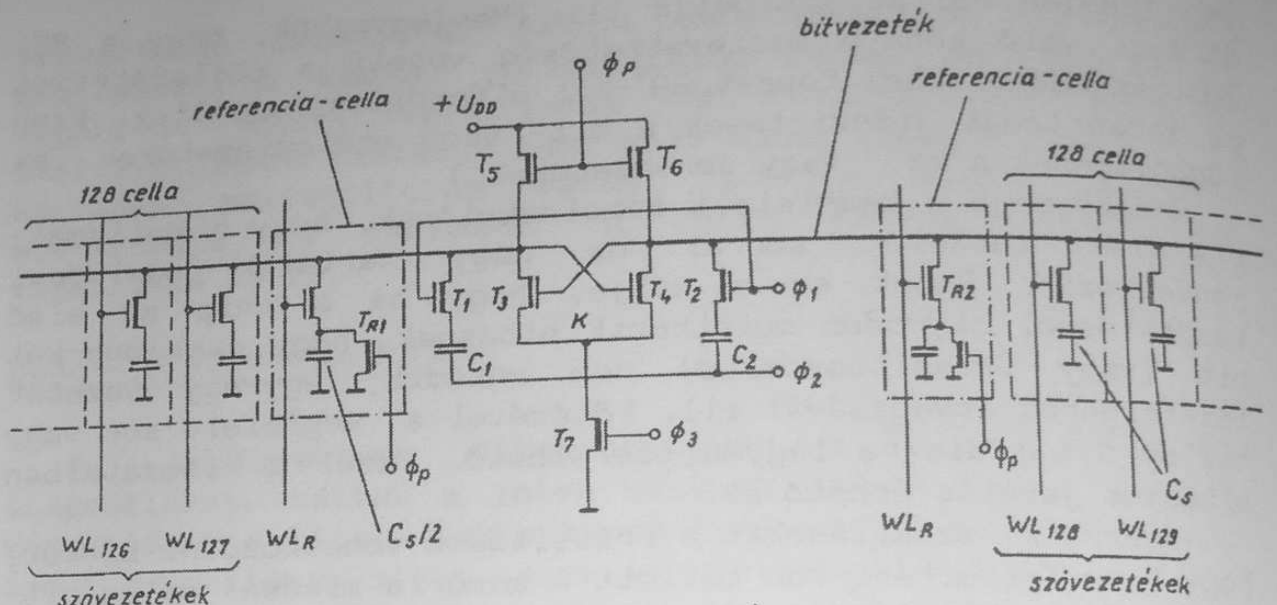
eső 128-128 cellát szolgálja ki. (Megjegyezzük, hogy a 28. ábrával való könnyű összevethetőség végett a cellamatrixot most az eddigiéhez képest 90° -kal elfordítva rajzoltuk. Ezen az ábrán tehát vízszintesek a bit- vagy oszlopvezetékek és függőlegesek a szó- vagy sorvezetékek.)

Érdekessége a bemutatott konstrukciónak, hogy a cellamatrix két tartalék sorral és négy tartalék oszloppal rendelkezik. Ennek az a célja, hogy ha a chip az első tesztelésnél oly módon mutatkozik hibásnak, hogy csak egy-két bit (vagy frissítőerősítő) nem működik, egy-egy vezetékek lézersugaras átvágásával ill. kötésével a megfelelő sor vagy oszlop a tartalékokra legyen cserélhető. Ezzel a kihozatalban bizonyos javulás érhető el.

Végezzünk számításokat a frissítésre vonatkozóan. Láttuk, hogy 2 ms frissítési idő mellett a memória minden egyes bit-jét (esetünkben 262144 darabot) másodpercenként 500-szor ki kell olvasnunk és újra vissza kell írunk. Felmerül a kérdés: marad-e hasznos működésre is ideje a memóriának, vagy folyton csak saját frissítésével lesz-e elfoglalva?

A helyzet nem olyan súlyos, mint ahogy első ránézésre gondolnánk. A érzékelő erősítők ugyanis egymástól függetlenül, egyszerre működhetnek; egy ciklusban tehát annyi bitet frissítünk, ahány frissítőerősítőnk van. Esetünkben ez 1024, vagyis a teljes memória frissítéséhez 256 ciklus szükséges. Ha egy memóriaciklus idejét 200 ns-ra becsüljük, ez $51,2 \mu\text{s}$ frissítésre szánandó időt jelent minden 2 ms-ban - vagyis a teljes idő kb. 2,5 %-át. (A valóságban általában még ekkora veszteségünk sincs, mert pl. sok mikroprocesszor automatikusan frissítőciklusokat generál a memória felé azokban az időintervallumokban, amelyekben a memória egyébként kihasználatlan.)

Az áramkör a 28. ábrán látható. Az erősítő a tőle jobbra ill. balra eső bitvonalakon 128-128 cellát szolgál ki (lásd a 27. ábra elrendezését). Az áramkör szimmetrikus felépítésű, differenciál-működésű. Mindkét oldalon van egy-egy ún. referenciacella. Ha a baloldali 128 tárolócella valamelyikét olvassuk, akkor a feszültségét a jobboldali referenciacelláéval hasonlítjuk össze, és viszont. Ily módon az érzékelés biztonságát nem befolyásolja az, hogy a bitvonalat pontosan milyen feszültségre töltjük elő - az csak a lényeges, hogy a bal- és jobboldali bitvonal előtöltési feszültsége egyforma legyen. A referenciacella úgy tervezendő, hogy ha a bitvonalra kapcsoljuk, a kialakuló feszültség éppen félúton legyen a bitvonalra kapcsolt normál cella "0" és "1" állapotának esetéhez képest. (Ha a bitvonal



28. ábra. Dinamikus memória frissítőerősítője és fázisjelei

előtöltési feszültsége megegyezik a cellák "1" állapotának feszültségével, akkor ehhez elegendő a referenciacellát $C_s/2$ kapacitással megvalósítani és alapállapotban kisütni.)

Kövessük most a működést a 28. ábrán feltüntetett fázisjelek nyomán. A frissítési ciklus az 1 időintervallumban a ϕ_p előtöltő impulzussal kezdődik. Ez a T_5 és T_6 tranzisztorok nyitásával tápfeszültségre előtölti mindkét bitvonalat, a T_{R1} és T_{R2} tranzisztorok nyitásával nullázza a referenciacellákat. Figyeljük meg, hogy közben a C_1 és C_2 segédkapacitások is tápfeszültségre töltődnek: alsó elektródájuk a ϕ_2 fázisjelen van, ami most zérus, felső elektródájukat a ϕ_1

által nyitva tartott T_1 és T_2 tranzisztor a bitvonalra kapcsolja.

A 2 -vel jelölt időszakban Φ_P és Φ_1 megszűnik. Ezzel C_1 és C_2 leválasztódott, a bitvonalak lebegnek.

A 3 intervallumban aktiváljuk a WL szövezeteket: az egyik oldalon a frissítendő vagy kiolvasandó celláét, a másikon a rákapcsoljuk a megfelelő bitvonalakra. A két bitvonal között néhány-szor-tíz mV feszültségkülönbség áll elő. Tegyük fel, hogy baloldalon volt a frissítendő cella és tartalma "1" volt. Ekkor a baloldali bitvonal lesz pozitívabb.

A működés következő, 4 -el jelölt fázisában a Φ_3 fázis-jellel "lassan, óvatosan" elkezdjük lehúzni a K pont potenciálját, vagyis a T_3 és T_4 source elektródáját. A két tranzisztor közül nyilvánvalóan az nyit előbb, amelynek gate elektródája magasabb potenciálon van. Ha feltételezésünk szerint a baloldali bitvonal pozitívabb, akkor T_4 nyit előbb és elkezd kiűzni a jobboldali bitvonalat. Emiatt T_3 gate feszültsége csökken, így T_3 végülis ki sem nyit, hiába megy a K pont feszültsége egyre lejjebb. A folyamat eredményeként a baloldali (tehát kiinduláskor egy kicsit pozitívabb) bitvonalon megmarad az eredeti, néhány V-os feszültség, a jobboldali bitvonal zérusra sül ki. (Ha a kiolvasandó cellában "0" állt volna, a folyamat fordítva zajlott volna le.)

Érdemes néhány szót az a megjegyzés, hogy "óvatosan" kell csökkenteni K pont feszültségét. Ugyanis ha e feszültséget hirtelen zérusra rántanánk, T_3 és T_4 egyszerre kinyitna.

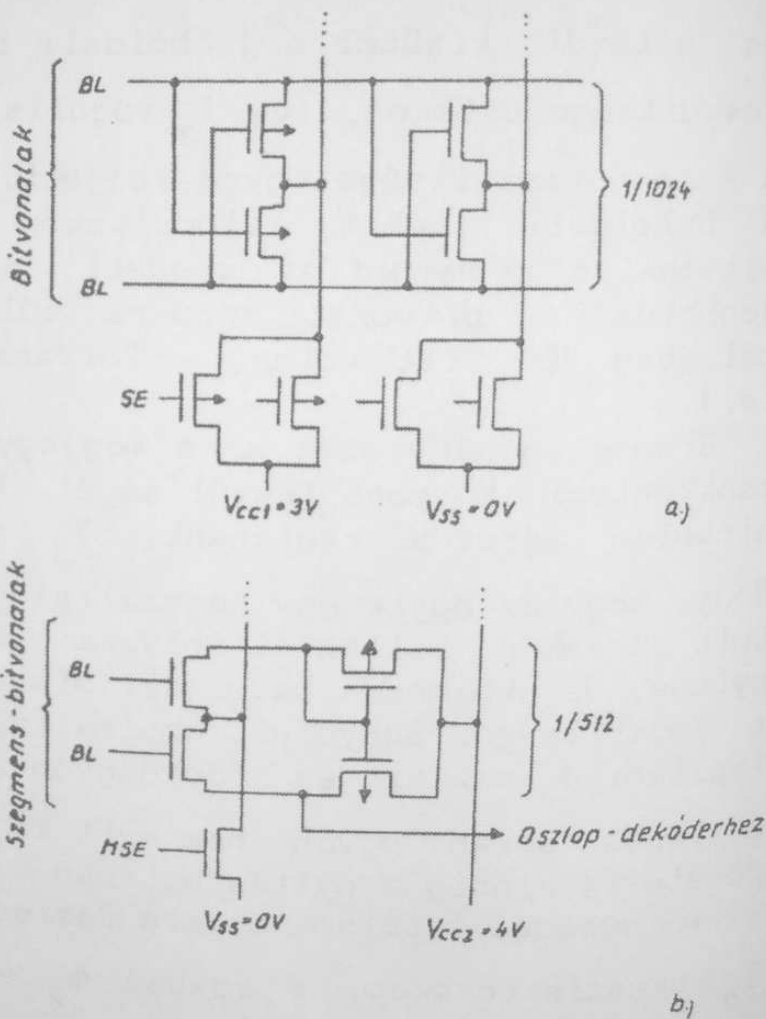
Tény, hogy az egyik egy hajszállal jobban és a keresztbecsartolt áramkör billenési folyamata következtében egyre jobban nyitna, de közben a baloldali bitvonalnak is erősen leesne a feszültsége. Bonyolult optimalizálási feladat tehát megállapítani Φ_3 -nak azt az időfüggvényét, amely mellett T_3 a billenés során ugyan nem nyit ki, de (mert a gyorsaság ezt követeli) mindig a nyitás határán van.

A működés utolsó, 5 jelű fázisában Φ_1 -el nyitjuk a T_1 és T_2 tranzisztorokat, s közben Φ_2 -vel "megemeljük" a tápfeszültségre töltött C_1 és C_2 kondenzátor alsó fegyverzetének potenciálját. Ezzel a két kondenzátor töltését mintegy rá-

töltjük a bitvonalakra. Mivel T_4 és T_7 továbbra is nyitva vannak, a jobboldalon ez a töltés elfolyik a föld felé, a bitvonal potenciálja zérus marad. A baloldali bitvonal potenciálja viszont (mivel T_3 zárva van) megemelkedik. Vegyük észre, hogy ez a megemelkedett feszültség visszakerül a kiolvasott cellakapacitásba is, hiszen a szövezeték még aktív, tehát a cellakapacitás még a bitvonalhoz kapcsolódik. Ezzel a kiolvasott "1" bit megemelt feszültségű visszaírása, tehát a frissítése megtörtént.

A 29. ábrán a Matsushita 16 M-ás DRAM-jának érzékelő erősítői láthatók. Ebben a memóriában a bitvezetéseket szakaszokra osztották, szakaszonként egy-egy érzékelő erősítővel. Ezen erősítők kimenetét kapcsolják, a szükségeset kiválasztva, egy közös főerősítő bemenetére csatlakozó bitvezetésekre. Négy ilyen érzékelő erősítő tartozik egy főerősítőhöz. Az érzékelő erősítő az a.) ábrán látható.

Lényegében egy CMOS flip-flop, azaz két inverter pozitívan visszacsatolva egymásra. A földet és a tápegységet az SE órajellel kapja meg a flip-flop, és ezután a két bitvezetéken levő feszültség függvényében az egyik vagy másik irányba átbillen. Az átbillenés végén megtörténik az eredeti feszültség szint visszaállítása is a cellában, hiszen a CMOS inverterek kimenetei, és így a bitvonalak is, vagy földpotenciálra, vagy tápfeszültségre kerülnek. Látható, hogy a CMOS technológiában ugyanaz a feladat egyszerűbb áramkörrel és kevesebb vezérlőjellel valósítható meg, mint az n-MOS technikában.



29. ábra. CMOS DRAM érzékelő erősítő

A főerősítő a b.) ábrán látható. Ez lényegében egy áramtükör kapcsolású erősítő, mely a két memóriaszegmens bitvezetékeiről jövő jelet erősíti és aszimmetrikussá alakítja. Az erősítő akkor működik, ha az MSE bemenetre feszültséget adva, az erősítő földet és az erősítő lényegében két inverter, a felső inverter kimenetével vezéreljük ellenütemben az alsó inverter kimenetével tranzisztorát, ami az erősítésnövekedését eredményezi. A főerősítő erősítése következtében annak kimenetén a jel előbb eléri a tápfeszültséget vagy a földet, mint az érzékelő erősítő kimenetén, ami a kiolvasás gyorsaságát növeli.

A CMOS áramkörökben elhagyták a dummy cellákat is. Ez a következő módon vált lehetővé: a bitvezeték előtöltése nem a tápfeszültségre, hanem annak felére történik. Ezután az egyik bitvezeték feszültsége változatlan marad, míg a másik bitvezetékre rákapcsolják a kiolvasandó cellát. Mivel a cella kapacitásán vagy zérus feszültség van, vagy tápfeszültség, a hozzá tartozó bitvezeték feszültsége vagy csökkenni vagy nőni fog, és így előáll a szükséges differenciális feszültség az érzékelő erősítő bemenetén.

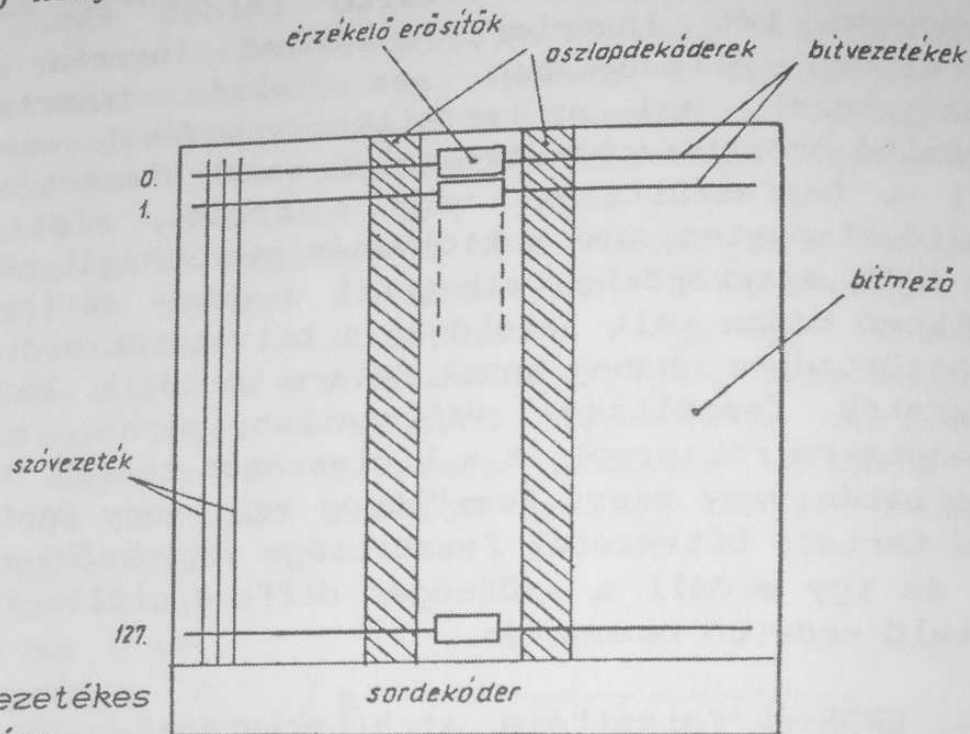
3.3.4. DRAM-ok felépítése, architektúrája

A cellamátrix, továbbá a cellák és érzékelő erősítők elrendezésének sok változata használatos. A kisebb memóriákban (a 16 k szintig) kézenfekvőnek látszott a négyzetes elrendezés. Itt a mátrix annyi sorból áll, ahány oszlopból, azaz a szóvezetékek száma megegyezett a bitvezetékek számával. 16 k esetén ez 128 címvezeték és 128 bitvezeték jelent. A bitvezetéseket középen megosztják, és ott helyezik el az érzékelő erősítőket.

64 k szinten több cég még ezt a felépítést alkalmazta, míg más cégek már több blokkból, mátrixból szervezték a memóriát. Ennél nagyobb kapacitású memóriák esetén a tármátrixot már mindenképpen több blokkra osztják és/vagy a mátrixok már nem négyzetes felépítésűek. Ennek oka az, hogy minél több cella csatlakozik egy érzékelő erősítőhöz, annál hosszabb a bitvezeték, annál nagyobb a cellához viszonyított kapacitása, és ezért annál kisebb a rajta megjelenő hasznos jel.

Négyzetes 64 k-s memóriáknál 256×256 a felépítés, azaz az érzékelő erősítő egy-egy bemenetére 128-128 cella csatlakozik a bitvezetéken keresztül. A memória vázlatos felépítése a 30. ábrán látható. Egymás felett 128 bitvezeték található, középen az érzékelő erősítővel. A bitvezetékek ill. érzékelő

erősítők jelét az oszlopdekóder csatolja a kimenetre. Az oszlopdekóder az érzékelő erősítők két oldalán található. A megfelelő szövezeték a sordekóder választja ki, ez alul (vagy felül) helyezkedik el.



30. ábra.
Nyitott bitvezetékes
DRAM felépítése

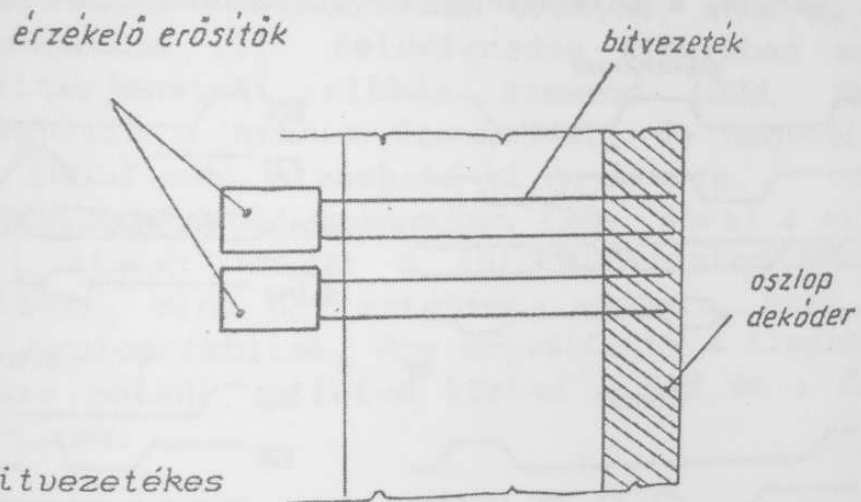
Láttuk már, hogy frissítéskor az egy szövezeték mentén levő cellák tartalmát egyszerre frissítjük, így a fenti példánkban a frissítés 256 ciklusban zajlik le. A kis jelszinten túl az egy érzékelő erősítőre jutó cellák, azaz a szövezetékek számát azért sem lehet növelni, mert az a frissítési ciklusok számának növelésével járna, ami a memória-chip foglalt, nem hozzáférhető állapotának részarányát növelné. A fenti okok miatt a nagyobb memóriákat blokkokból állítják össze (ahogyan ezt már a 27. ábrán is láttuk).

A megabites kapacitású memóriák között már megjelentek egynél nagyobb bitszámú adatvonallal rendelkező memóriák is (ún. szószervezésű memóriák). Ezek általában 4 kimeneti bittel rendelkeznek, így két chippel összeállítható a byte szélességű kimenet. Ez azért célszerű, mert a mikrogépek memóriaigénye sok esetben nem haladja meg az egy-két chipen levő memóriakapacitást, így felesleges lenne nyolc memória IC alkalmazása.

Az egészen nagy memóriák szervezésére tekintsük példaként a Matsushita cég 16 Mbit-es RAM-ját. Mind 16Mx1 bites, mind 4Mx4 bites változata létezik. A chipen 32 darab 512 k-s blokk található, mindegyik blokkban 2048 szegmentált bitvezeték

(tehát ennyi érzékelő erősítő) és 256 szövezeték van. Az érzékelő erősítők és a szegmensek kapcsolói az egyes blokkok közepén foglalnak helyet. Egyszerre négy 512 k-s blokkot választanak ki egy-egy kiolvasáskor (így van mód a négybites kimenetre).

A 27. és 30. ábrákon feltüntetett, klasszikus bitvezeték elrendezési mód az ún. nyitott bitvezetékes konstrukció. Ezen konstrukciónál később jelent meg az ún. összehajtott bitvezetékes konstrukció, ennek vázlata a 31. ábrán látható. Itt az érzékelő erősítőhöz tartozó két bitvezeték nem az erősítő két oldalán található, hanem az egyik oldalán két párhuzamos vonal formájában. Ez a konstrukció több előnnyel is rendelkezik. Legfontosabb előnye, hogy sokkal kisebb a zavarérzékenysége, mint a nyitott bitvezetékes konstrukciónak (kapacitív csatolások, alfa-részecskék stb.). Mivel a két vezeték szorosan egymás mellett fut, a fellépő zavarok mindkét vezetéken közel azonos feszültséget keltenek. Az érzékelő erősítő differenciális típusú, így az azonos fázisban jelentkező zavarjeleket kiszűri.



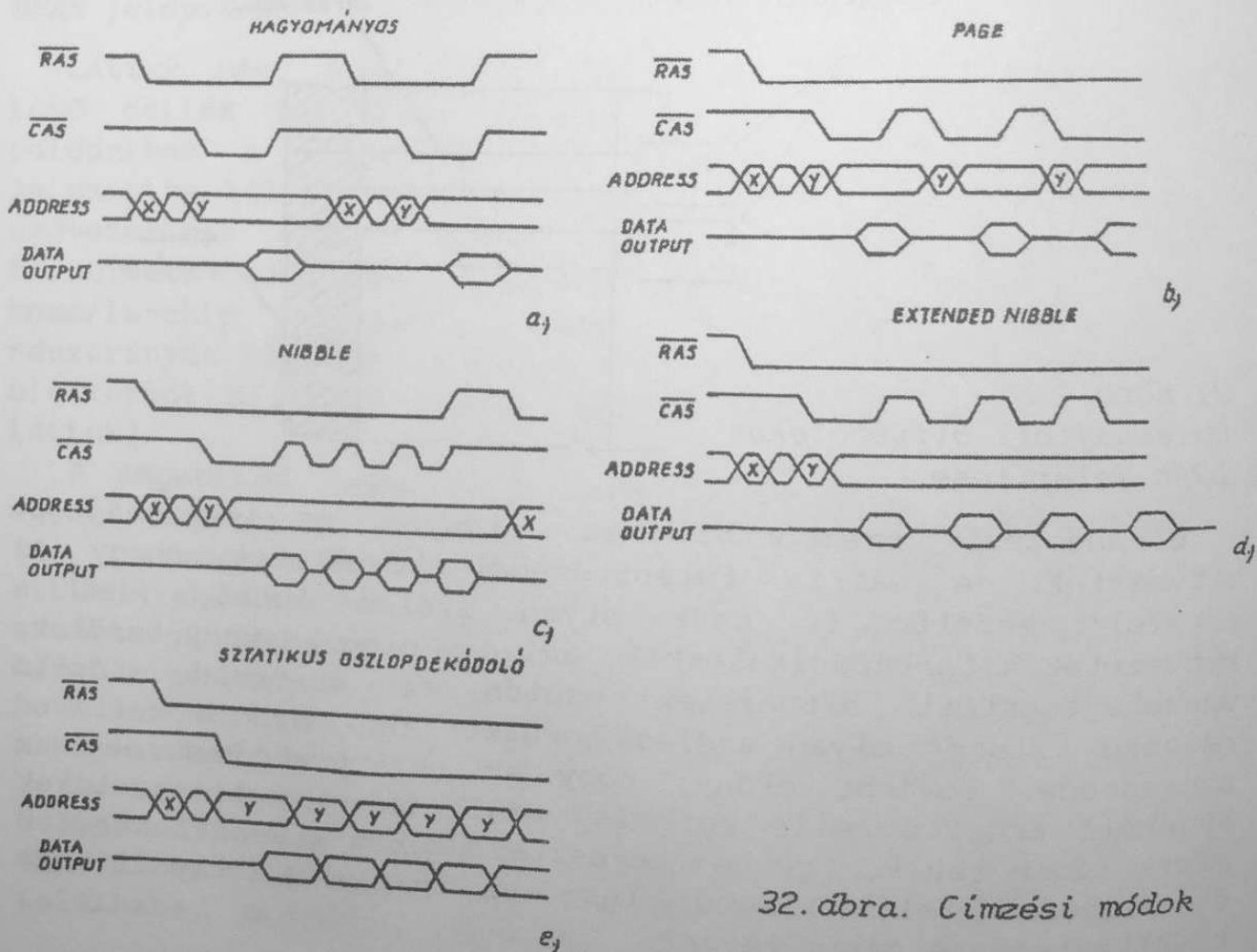
31. ábra.
Összehajtott bitvezetékes
DRAM felépítése

Elrendezési szempontból is előnyös az összehajtott bitvezeték. A mátrix felépítéséből következik, hogy az érzékelő erősítő is csak olyan széles lehet, mint a bitvezeték a tárcapacitásokkal, ami egy elég keskeny terület. Összehajtogatott bitvezeték esetén az érzékelő erősítő részére kétszer olyan széles terület jut, mint a cellasor szélessége. További előny, hogy az oszlopdekódert nem az érzékelő erősítő mellé kell helyezni, hanem a bitvezetékek másik végén lehet, így nem kereszteződnek a kimeneti vonalak a bitvezetékekkel, kisebb lesz a parazita kapacitások következtében előálló zavar.

3.3.5. Címzési módszerek, frissítési módok

A DRAM-ok előzőekben vázolt felépítéséből következik, hogy a kiolvasás művelete során nincsen azonnal szükség az összes címbitre. A kiolvasás megkezdésekor elegendő a szükséges szövezetékek (sorok) kijelölése, és a cellák tartalmának kiolvasása után használjuk csak fel a címbitek másik felét, a megfelelő bitvezeték (oszlop) kijelölésére. Ezért lehetséges a címbitek két ütemben történő közlése a memóriával, a hozzáférési idő romlása nélkül. Így csak a címbitek számának felével egyenlő címbemenetre van szükség, ami kisebb lábszámú, tehát olcsóbb tokot, továbbá egyszerűbb nyomtatott áramköri elrendezést tesz lehetővé. Ezzel is magyarázható, hogy az egyes DRAM nemzedékek között bitkapacitásban egy 4-es szorzó van (4 k - 16 k - 64 k - 256 k - 1 M - 4 M - 16M): ha eggyel bővítjük a címvezetékek számát, a címbitek száma kettővel növekszik.

A hagyományos címzés (bitenkénti ill. szavankénti véletlenszerű elérés) ennek megfelelően a 32a. ábrán látható módon történik. A CPU először egy jellel jelzi, hogy a sorcím bitjei vannak a címbemeneten. Ez a RAS (Row Address Strobe)



32. ábra. Címzési módok

jel: a jel zérusra váltása jelzi az érvényes sorcímbytek jelenlétét a címbuszon és ezzel indítja is a kiolvasás vagy beírás folyamatát. A harmadik sorban az x jel jelenti a sorcímbyteket. Ezután jön a CAS jel (Column Address Strobe), aminek zérusra csökkenésekor olvassa ki a memória az y oszlopcímbyteket. Ezt követően jelenik meg az adatbit a kimeneten.

A page (lapozó) címzés mód azt használja ki, hogy egy bit olvasásakor az illető szóvezeték mentén levő összes cella tartalma kiolvasásra kerül, így az a bitvezetékeken elérhető. Ezt az üzemmódot a 32b. ábra mutatja. A RAS jellel kijelölve a szóvezeték, a CAS jel ismételt működtetésével (miközben a RAS alacsony szinten van) és újabb oszlopcímek megadásával ezek a bitek tetszés szerinti sorrendben kiolvashatók, így csökken az egy bitre jutó hozzáférési idő.

A nibble üzemmódban (32c. ábra) az előbbiekhöz hasonló módon négy bit érhető el a CAS ismételt működtetésével, de ez csak négy egymás után következő című (azaz szomszédos) bit lehet, viszont nem kell megadni a 2. ... 4. bit címét, ami szintén rövidíti a kiolvasási időt. Ez a mód különösen képfeldolgozó és video rendszerekben előnyös, ahol az egyes képpontok letapogatása ill. feldolgozása általában sorosan történik. A kiterjesztett nibble üzemmód (32d. ábra) lényegében megegyezik a nibble üzemmóddal, de négynél több (nyolc vagy még több) adat olvasható ki egyszerre.

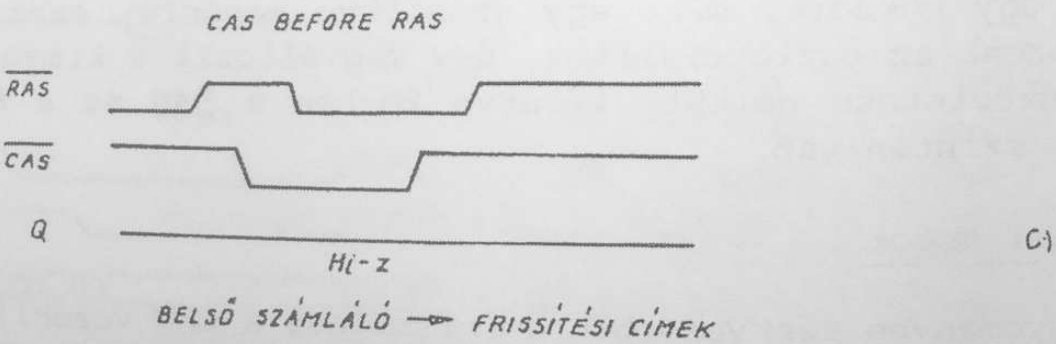
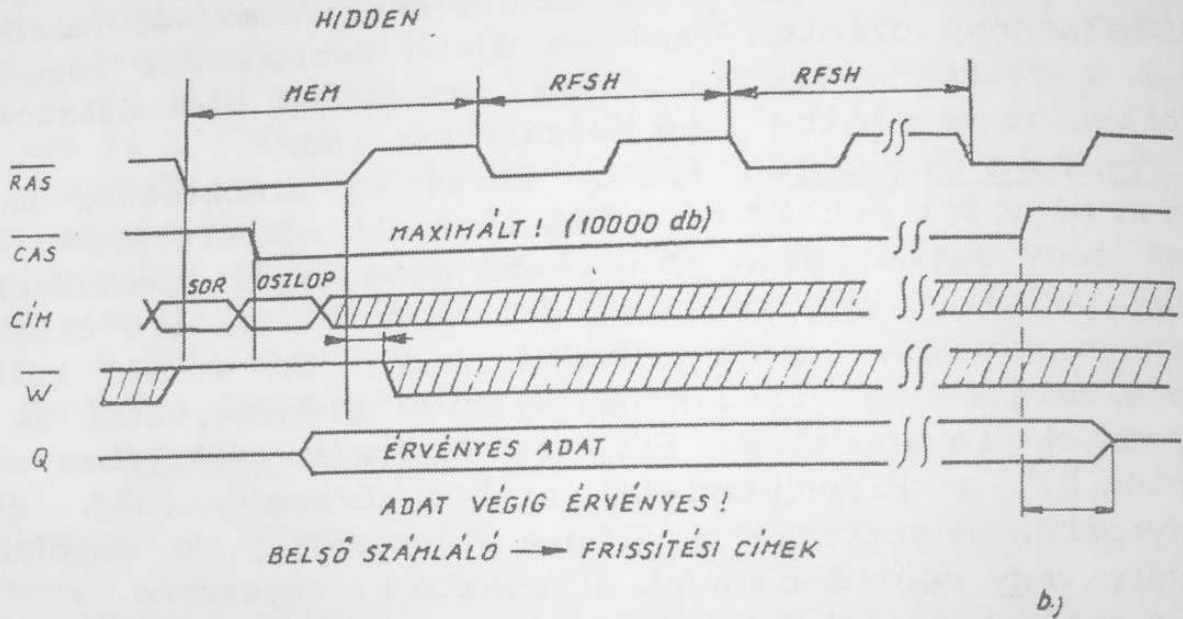
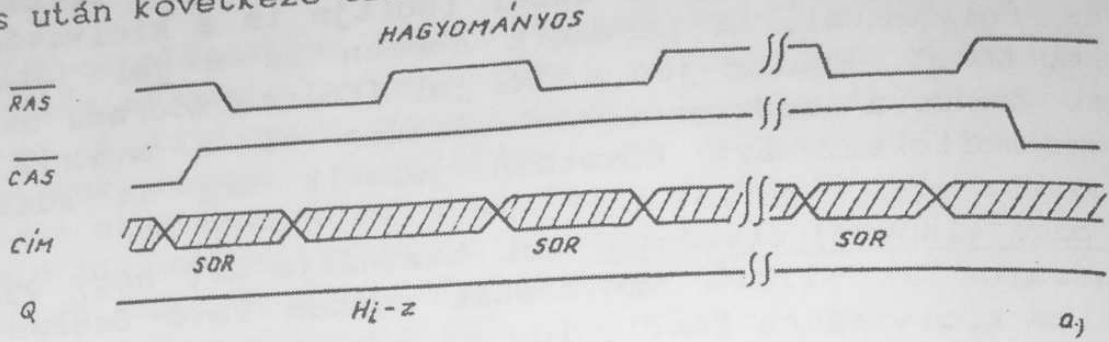
A sztatikus oszlopdekódoló üzemmódban (32e. ábra) a ciklus CAS ideje alatt (tehát amikor a chip az oszlopcímbyteket várja), úgy működik, mint egy sztatikus memória, azaz ahogy megváltoznak az oszlopcímbytek, úgy megváltozik a kimenet is, a CAS működtetése nélkül, illetve közben a RAS és a CAS is alacsony szinten van.

Frissítési módok

A hagyományos szervezésben a frissítést a CPU vezérli, és az adja a címet is hozzá. Mivel frissítéskor csak a sort (szóvezeték) kell kijelölni, csak a RAS jelére van szükség (RAS only), ha tehát a RAS nulla szintre kerülését nem követi CAS jel, kiolvasás nem történik a memóriából, csak frissítés. Az ehhez tartozó jelek a 33a. ábrán láthatók.

Az újabb memóriák tervezésénél igyekeztek a CPU terhelését csökkenteni. Ennek egyik módja a rejtett (hidden) frissítés. Vázlata a 33b. ábrán látható. Egy kiolvasás vagy beírás után a CAS jel aktív marad (azaz alacsony szinten marad), és a RAS impulzusok hatására történik az egymás utáni sorok

frissítése, miközben egy belső számláló állítja elő a sorban egymás után következő címeket.



33. ábra. Frissítési módok

Egy másik frissítési mód a "CAS a RAS előtt" mód (CAS before RAS). Ekkor a CAS jel a RAS előtt megy le (a normális sorrenddel ellentétben) alacsony szintre, amit egy áramkör a chipen érzékel és megindítja egy belső számlálóval együtt a sorok egymás utáni frissítését.

Befejezésül néhány, a legújabb fejlesztések eredményeként megjelent 16 M-ás DRAM-ok adatait tekintjük át a túloldali táblázat segítségével.

16 Mbytes DRAM-ok

cég	Matsushita	Hitachi	NTT
technológia	0,5 μm , n-zsebes CMOS 2 poli/ 1 W polícid/ 2 Al réteg	0,6 μm , n és p zsebes CMOS 2 Al/ 3 polícid réteg	0,7 μm n-zsebes CMOS
gateoxid vastagság	10 nm	15 nm	
kapacitás oxidja	10 nm	15 nm	
szervezés	16Mx1/4Mx4 sztatikus oszlopdekódolás		
cellaméret	1,5x2,2 μm^2	1,3x3,2 μm^2	4,9 μm^2
cella- kapacitás	árokcapacitás 63 fF	rakott kap. 33 fF	árokcap. 70 fF
chip méret	5,4x17,38 mm^2	8,2x17,3 mm^2	
hozzáférési idő	65 ns	60 ns	80 ns
tápfeszültség	5V(belül 4V,3V)	5V/3,3V	5V/3,3V
áramfelvétel			
aktív	90 mA	84 mA	100 mA
nyugalmi	1 mA	3 mA	
redundancia	16sor/1oszlop		hibakorrekció paritással
bemutatás éve	1988	1988	1987