



Budapesti Műszaki és Gazdaságtudományi Egyetem
Elektronikus Eszközök Tanszéke

Elektronika alapjai

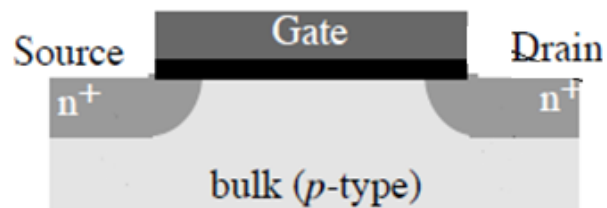
13. előadás

A modern CMOS

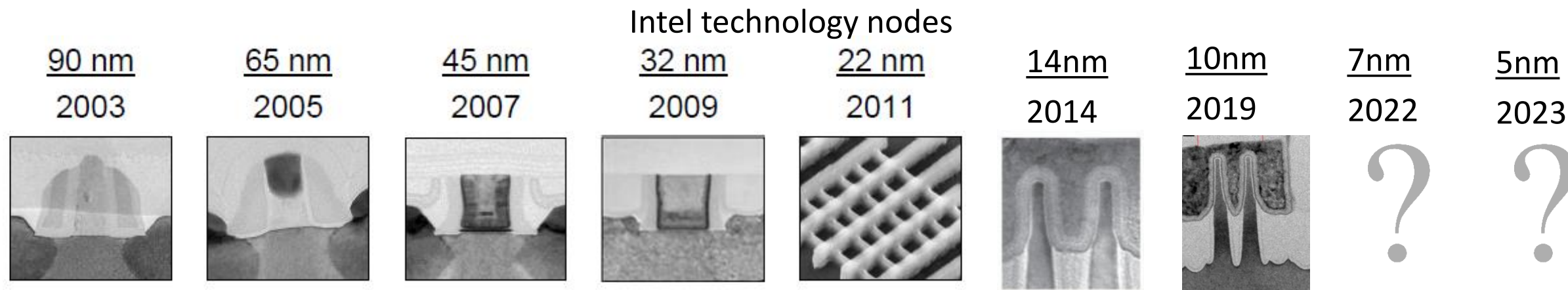
GYORS, KEVESEET FOGYASZTÓ, OLCSÓN GYÁRTHATÓ

- Kapukésleltetés: $t_{pd} \sim \frac{CV}{I}$
 - Növelni kell az áramot és csökkenteni a parazita kapacitást.
- Tranzisztor árama: $I = \frac{\epsilon_{ox}}{d_{ox}} \frac{W}{L} (V_{GS} - V_T)^2$ (telítésben és a legegyszerűbb modell szerint)
- Teljesítmény: $P \sim fCV^2$
 - Csökkenteni kell a tápfeszültséget és a parazita kapacitást.
- Nem volt róla szó: szivárgás (leakage)
 - Folyamatosan. Telepes üzemnél nem megengedhető. Csökkenteni kell!
- Összeköttetés késleltetése: legegyszerűbb modell: az időállandó $\tau = RC$
 - Csökkenteni kell a vezeték ellenállását és a vezetékhalózat egymáshoz viszonyított kapacitását
 - A méretcsökkentés részben ez ellen dolgozik!
- Kihozatal növelése
 - Hiba valószínűsége: $p \sim A$

A MOS tranzisztor



- Ezt tanultuk...
- 10 éve még volt hasonlóság
 - 2011-ben változott a geometria is
 - A fejlődés lassult...



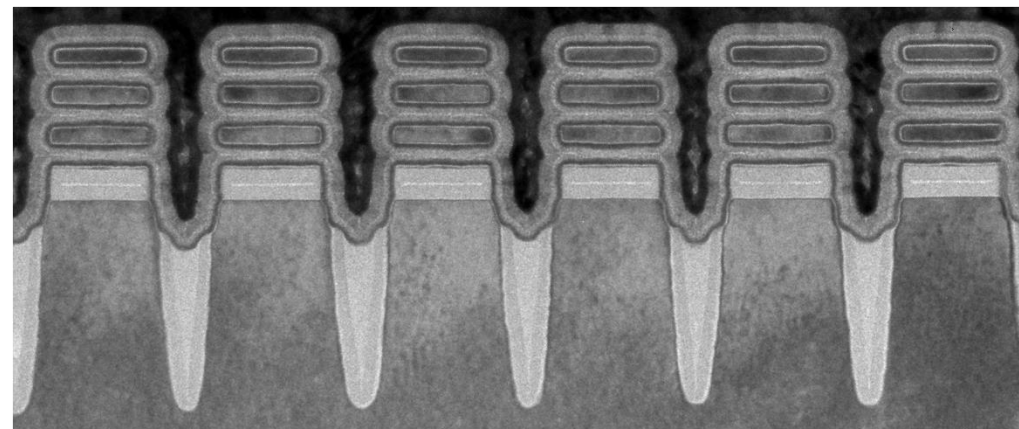
Más gyártók

- TSMC (5nm – M1, 5nm – M2, 3nm – M3, 3nm++ M4)

Advertised PPA Improvements of New Process Technologies
Data announced during conference calls, events, press briefings and press releases

	TSMC							
	N7 vs 16FF+	N7 vs N10	N7P vs N7	N7+ vs N7	N5 vs N7	N5P vs N5	N4 vs N5	N3 vs N5
Power	-60%	<-40%	-10%	-15%	-30%	-10%	lower	-25-30%
Performance	+30%	?	+7%	+10%	+15%	+5%	higher	+10-15%
Logic Area					0.55x		?	0.58x
Reduction % (Density)	70%	>37%	-	~17%	-45% (1.8x)	-		-42% (1.7x)
Volume Manufacturing	2018	2018	2019	Q2 2019	Q2 2020	2021	2022	H2 2022

- IBM 2nm!



nm? A felületegységre eső tranzisztorszám és a kihozatal számít valójában!

Peak Quoted Transistor Densities (MTr/mm ²)				
AnandTech	IBM	TSMC	Intel	Samsung
22nm			16.50	
16nm/14nm		28.88	44.67	33.32
10nm		52.51	100.76	51.82
7nm		91.20	237.18*	95.08
5nm		171.30		
3nm		292.21*		
2nm	333.33			

Data from Wikichip, Different Fabs may have different counting methodologies
 * Estimated Logic Density

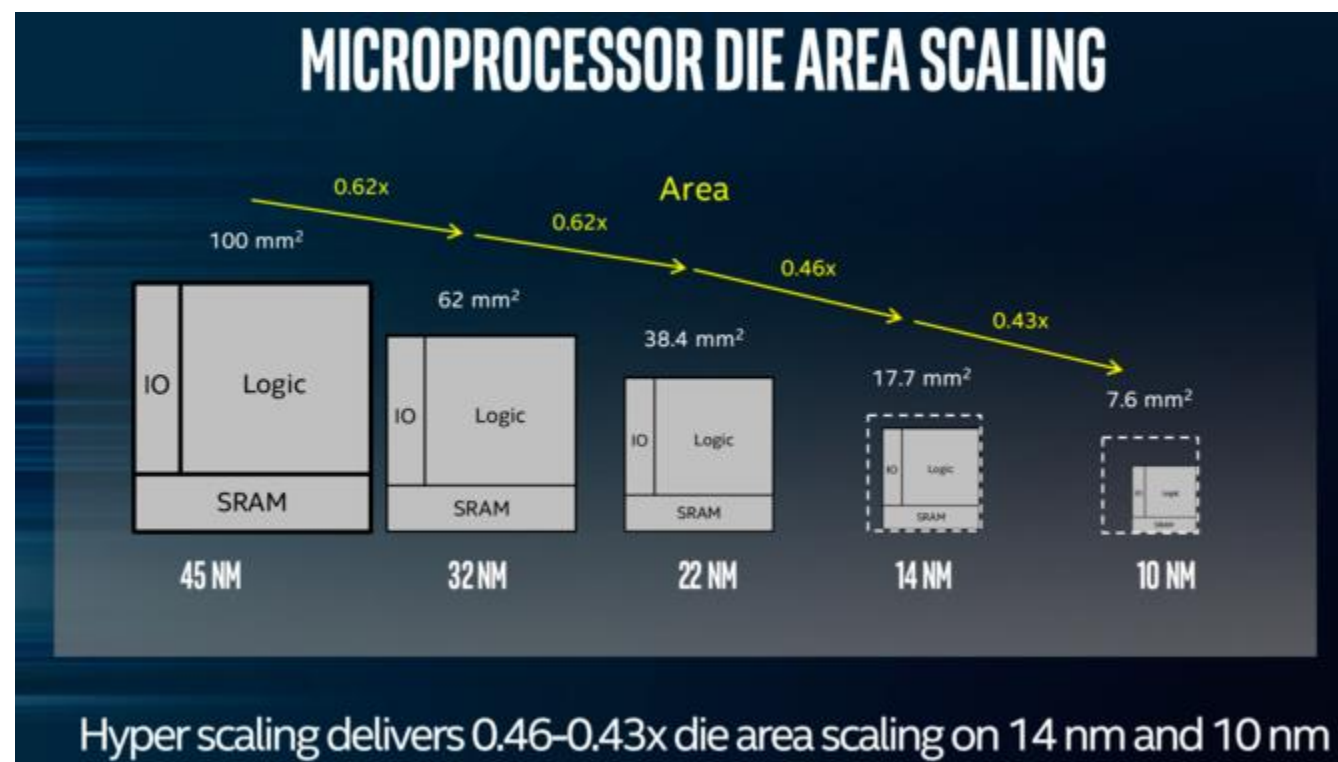


Budapesti Műszaki és Gazdaságtudományi Egyetem
Elektronikus Eszközök Tanszéke

Skálázás

A MOS tranzisztor skálázása

- ugyanazt, „kicsiben”
 - Mert így több logika fér el ugyanakkora helyen
 - A tranzisztorok gyorsabbak lesznek, így az órajel nagyobb lesz.



- Dennard, 1974
 - Minden geometriai méretet K-ad részére kell csökkenteni.
 - A tápfeszültséget K-ad részére kell csökkenteni.
- Ebben az esetben
 - Az órajel K-szorosára növelhető, mert a kapacitások csökkennek.
 - Egy kapu által disszipált teljesítmény K^2 arányban csökken
 - De felületegységenként nem csökken a fogyasztás!

<u>Device/Circuit Parameter</u>		<u>Constant Field Scaling Factor</u>
Dimension :	$x_{ox}, L, W, X_j,$	$1/K$
Substrate doping :	N_a	K
Supply voltage :	V	$1/K$
Supply current :	I	$1/K$
Gate Capacitance :	$W L/x_{ox}$	$1/K$
Gate delay :	$C V / I$	$1/K$
Power dissipation :	$C V^2 / \text{delay}$	$1/K^2$

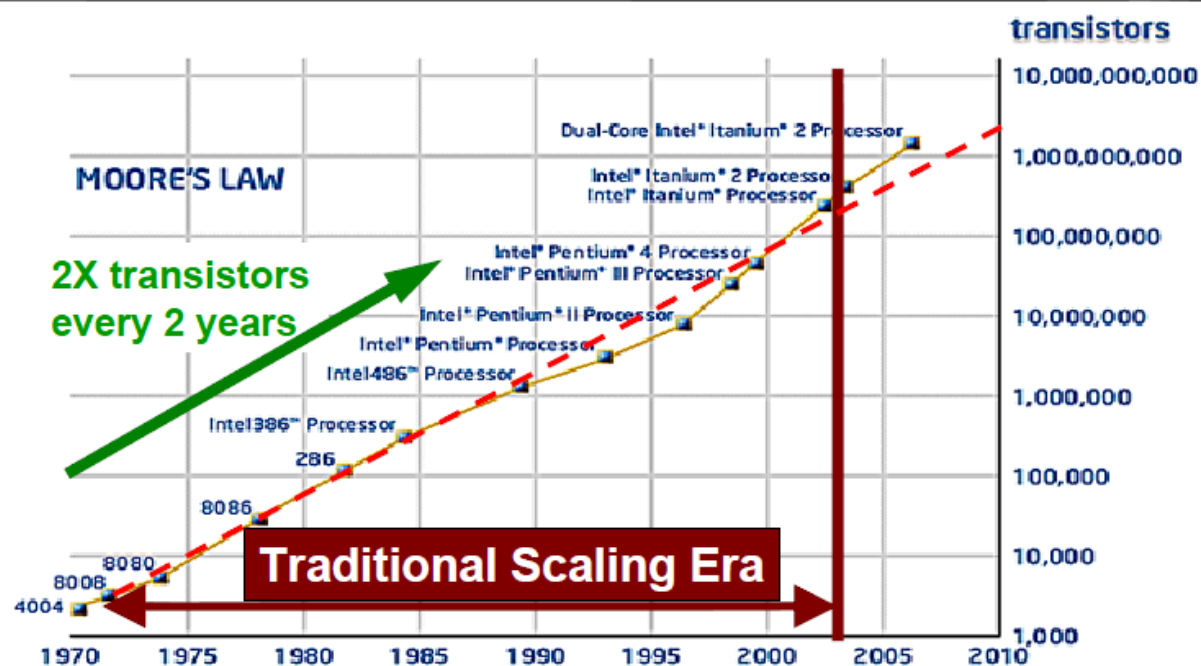
A valóság egy picit máshogy alakult – és ez már történelem...

- A tápfeszültséget egy bizonyos határon túl nem lehet csökkenteni.
- Így a fogyasztás elkezdett növekedni.
 - Egy processzor esetén kb. 130W TDP a határ, ami a gyakorlatban konvencionális eszközökkel (hűtőborda + ventilátor) kezelhető. (kb. 250W TDP szerverek esetén – de az gépteremben van...)
- 100nm tájékán előtérbe kerültek olyan fizikai jelenségek, amelyek addig elhanyagolhatók voltak...
 - Küszöb alatti áram
 - Tunneláram
- Elfogyott a gate-oxid! Az atomokat már nem lehet darabolni...

<u>PARAMETER</u>	<u>1970</u>	<u>1980</u>	<u>1990</u>	<u>2000</u>	<u>2006</u>
Channel length (µm)	10	4	1	0.18	0.1
Gate oxide (nm)	120	50	15	4	1.5
Junction depth (µm)	>1	0.8	0.3	0.08	0.02-0.03
Power supply voltage	12	5	3.3 - 5	1.5-1.8	0.6-0.9

A geometriai skálázás véget ért 2003-ban.

40+ Years of Moore's Law at INTEL: From Few to Billions of Transistors



END OF TRADITIONAL SCALING ERA ~ 2003
Lasted ~40 YEARS



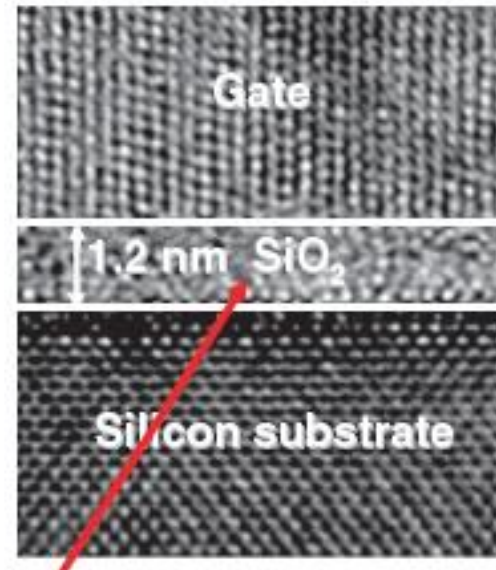
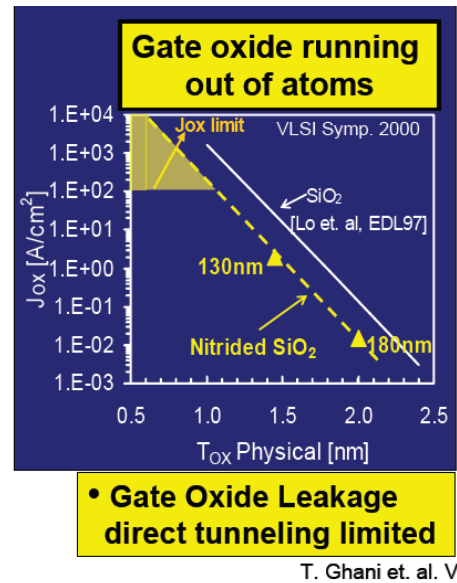
Budapesti Műszaki és Gazdaságtudományi Egyetem
Elektronikus Eszközök Tanszéke

Tranzisztorok optimalizálása: anyagok, új geometriák

Probléma

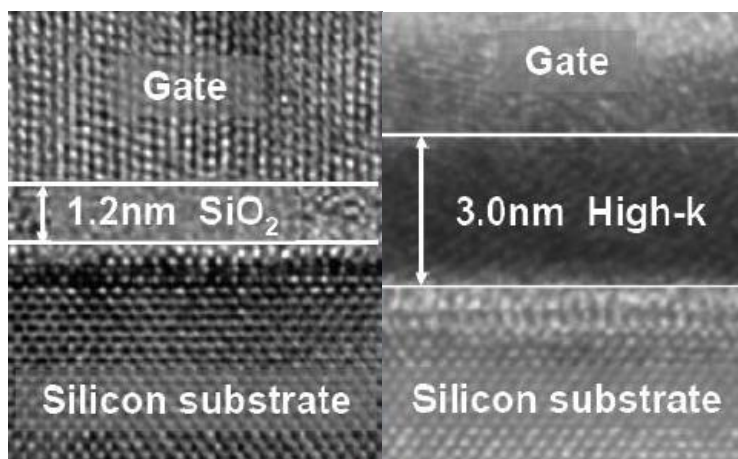
▪ Tunneláram (a gate oxidon keresztül)

- Kvantummechanikai effektus...
- Ha az oxid szélessége 1nm környéki (ez a gyakorlatban 5 (öt!) atomsor, az elektronok „átalagutaznak” az oxid potenciálgátján.
- Az áthaladás valószínűsége exponenciális csökken a potenciálgát szélességével. Így a „normál” szélességű tranzisztoroknál ez mérhetetlenül kicsi volt.



High – K gate anyagok

- Magyarul nagy relatív dielektromos állandóval rendelkező anyagok
- A gate szigetelő szélessége nem csökkenthető a tunneláram miatt.
- Ha az oxid helyett más, nagyobb relatív dielektromos állandójú anyagot használnak, az áram növelhető, vagy azonos áram mellett az szigetelő szélessége nagyobb lehet, ezáltal a tunneláram töredékére csökken.



	SiO ₂	High - K
$C = \epsilon/t$	1×	1,6×
tunneláram	1×	< 0,01

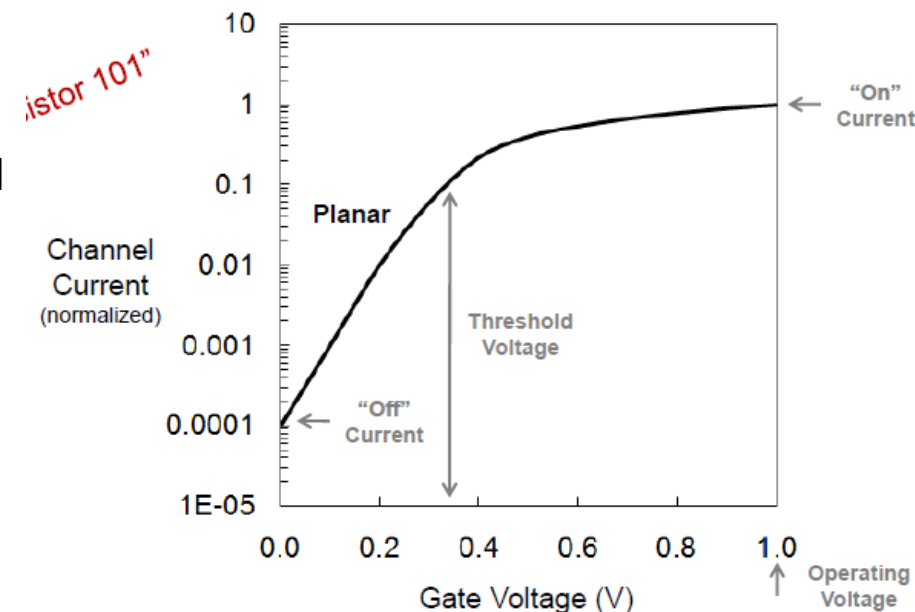
High – K gate anyagok

Anyag	ϵ_r
SiO ₂	3,9
Si ₃ N ₄	7,5
ZrO ₂	23
HfO ₂	20

- A SiO₂-nál nagyobb dielektromos állandóval rendelkező anyag
- (Si₃N₄ már régóta kutatták -> charge trap flash...)
- Kevert és titkos anyagösszetételeket alkalmaznak
 - Az Intel pl. csak annyit közöl, hogy „hafnium based”
 - Pl. HfSiON (nitrated hafnium silicates)
 - Az előző ábra adataiból a nagy dielektromos állandójú anyagra:
 - $\frac{\epsilon_x}{3} = 1,6 \frac{\epsilon_{ox}}{1,2}$, azaz kb. a szilícium-dioxid dielektromos állandójának négyszerese.

Probléma: Küszöb alatti áram (subthreshold current)

- A tranzisztor vezet 0V vezérlő feszültség esetén is!
- Folytonos átmenet az „ON” és az „OFF” állapot közt
 - A küszöb alatti áram nemkívánatos: erős eltérés a **”kapcsoló”** modelltől
- A küszöbfeszültség alatt az áram közel exponenciálisan csökken.
 - $I_D \sim e^{(U_{GS}-V_T)/nU_T}$
 - Küszöbfeszültség kb. a tápfeszültség negyedrésze (ökölszabály)
 - Amíg a küszöbfeszültség 1V, a 26mV-os termikus feszültség igen kis áramot eredményez 0V-os vezérlésnél...
 - De 200mV-hoz képest a 26mV már nem annyira elhanyagolható...
- SS : subthreshold slope.
 - Tipikusan 60..100mV/dekád. (pl. 60mV feszültség csökkenés tizedrészére csökkenti a szivárgást.
 - SS csökkentése -> tovább csökkenthető a tápfeszültség!



Transistor current-voltage characteristics

SOI – Silicon on Insulator

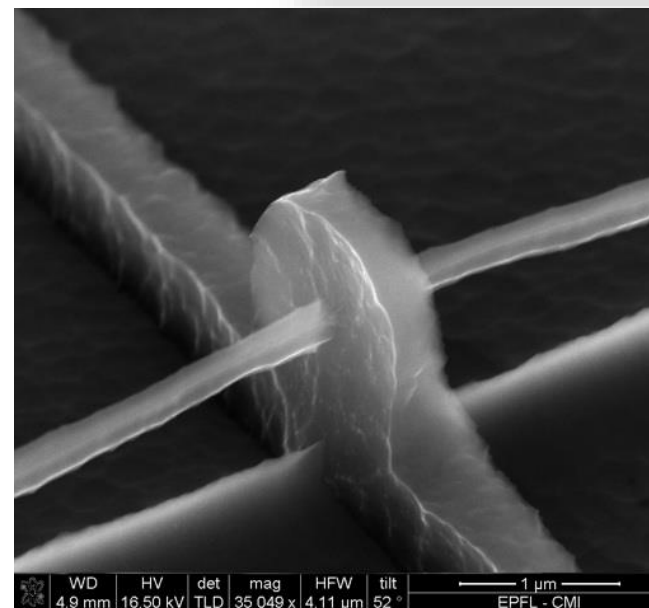
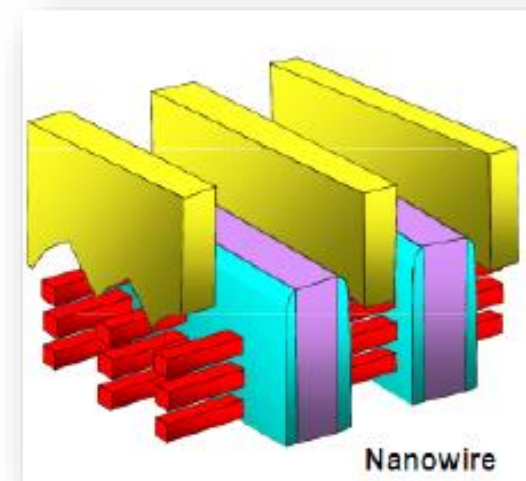
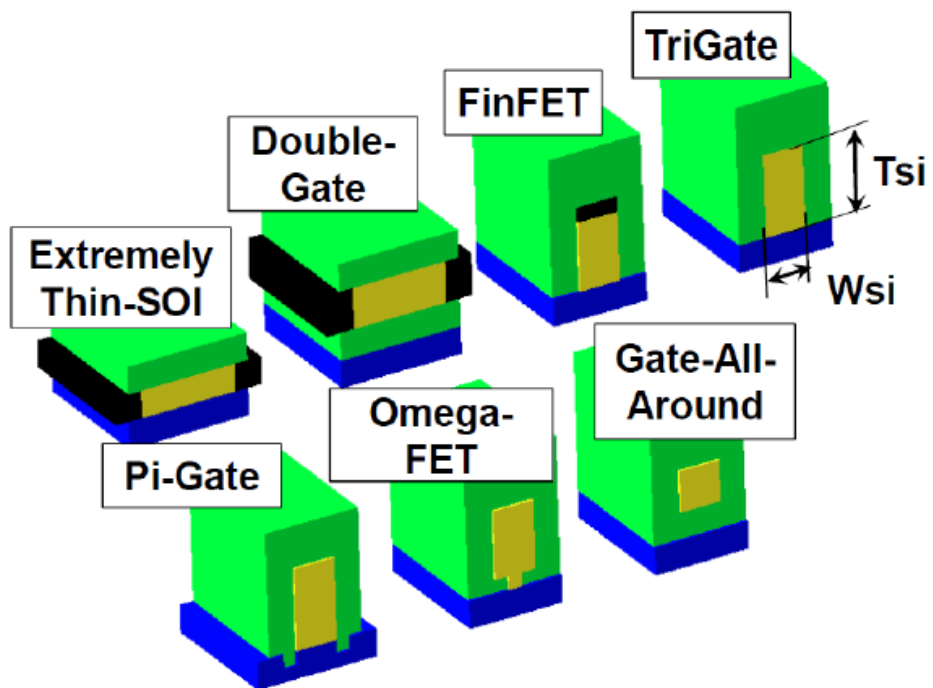


- A fő előny
 - Kisebbszubsztrát kapacitás
 - Nincs szivárgás a szubsztrát felé
 - Küszöbalatti áram is csökken!
- Hátrány azonban, hogy megnövekszik a $R_{th_{jc}}$ hőellenállás
 - $1\mu\text{m}$ vastagságú SiO_2 réteg kb. $200\mu\text{m}$ vastag szilícium rétegnek felel meg

Anyag	$\lambda = W/m \cdot K$
Szilícium	156
SiO_2	0.75

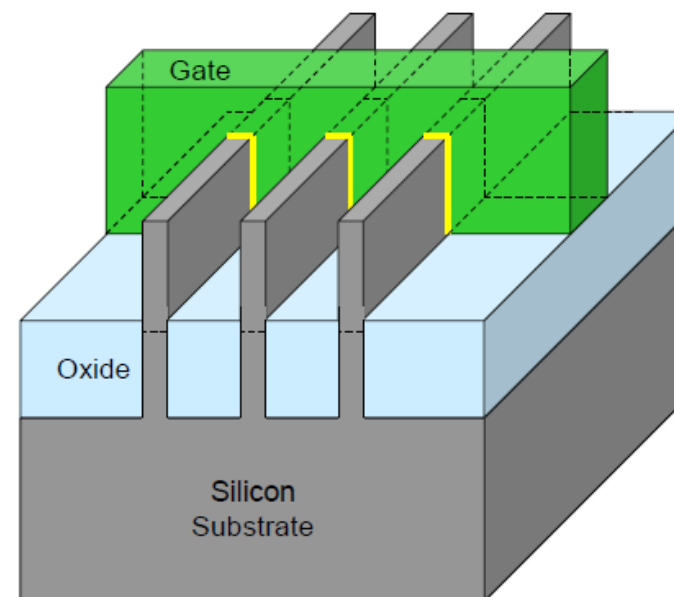
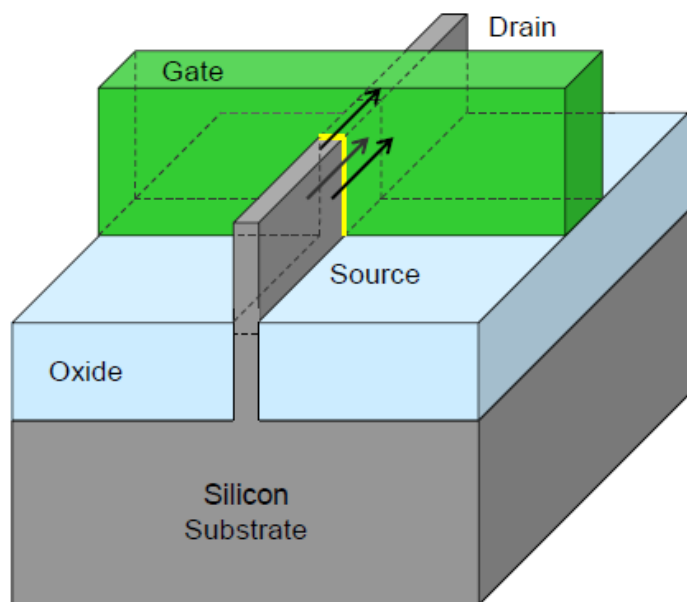
3D felépítés

- Azonos geometriai méretben nagyobb áram



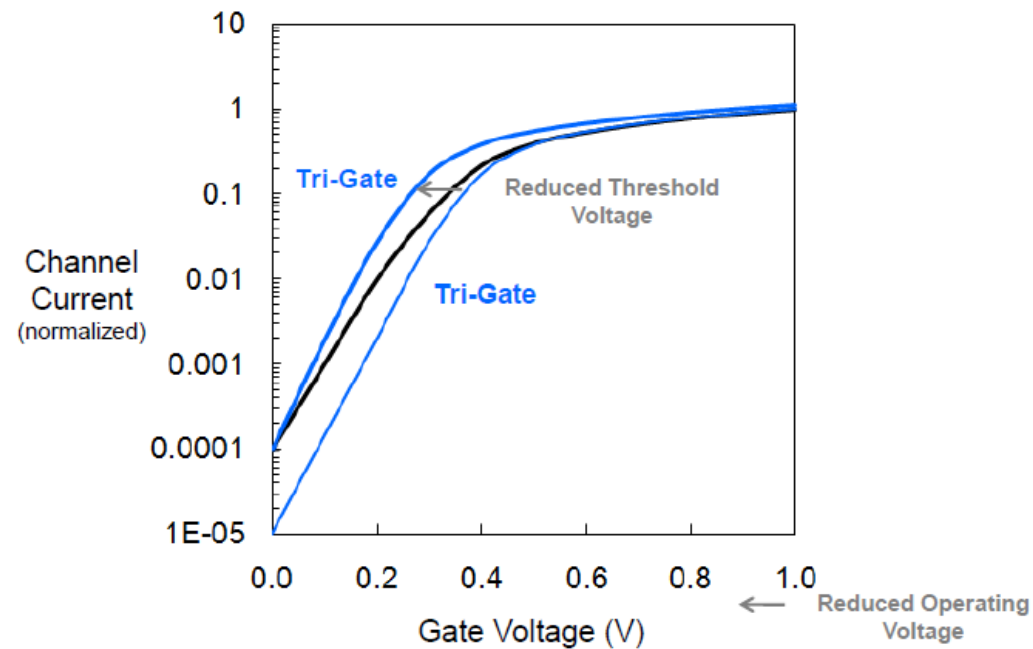
FinFET tranzisztor

- Valódi háromdimenziós felépítés.
 - A csatorna 3 dimenziós, így a terület (layout, tranzisztor helyfoglalása) csökkenése ellenére az áram növelhető!
 - A vezetés a kiemelkedő vékony rétegben történik, amelyet a gate elektróda körülölel.
 - Az inverziós réteg is három oldalon van jelen, innen az elnevezés.
 - Technológiai trükkkel több fin-t is egymáshoz közel tudnak tenni, így az áram növelhető

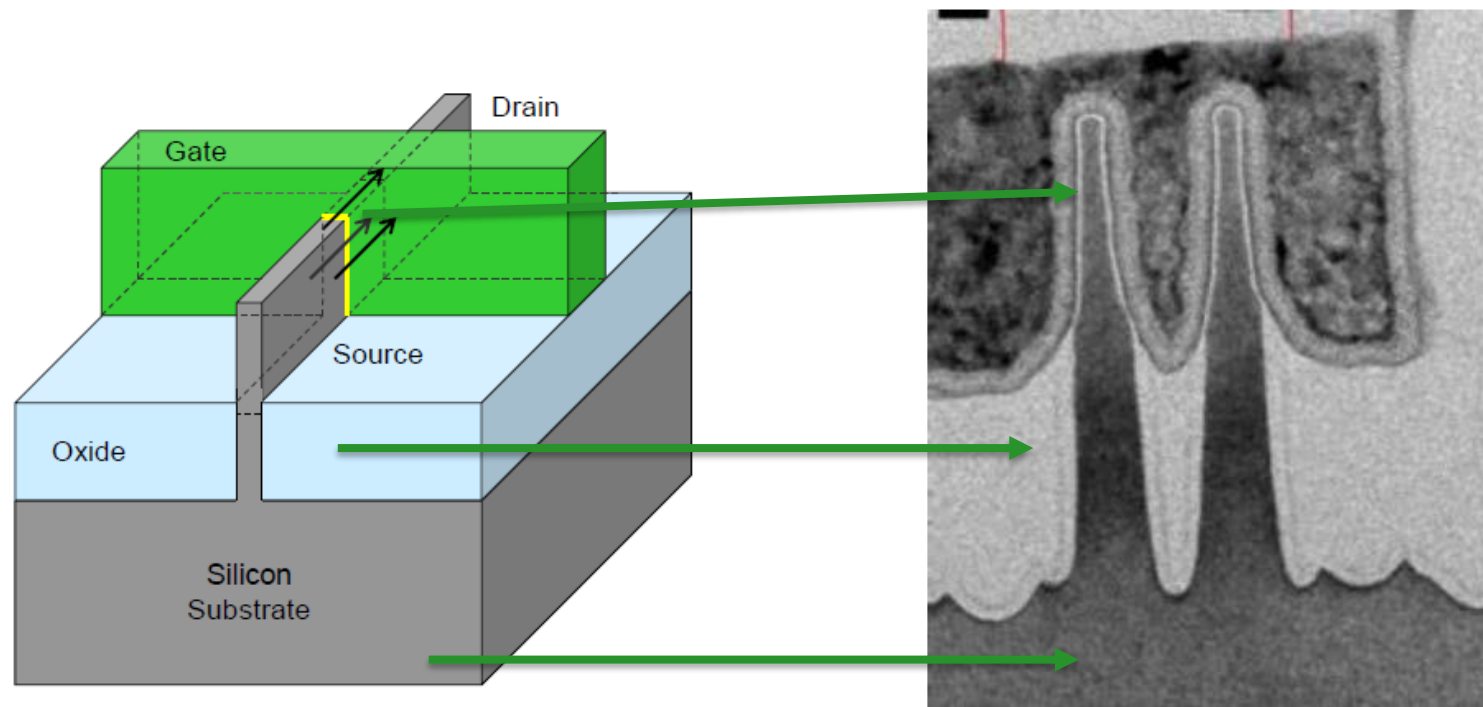


Tri-gate tranzisztorok előnyei

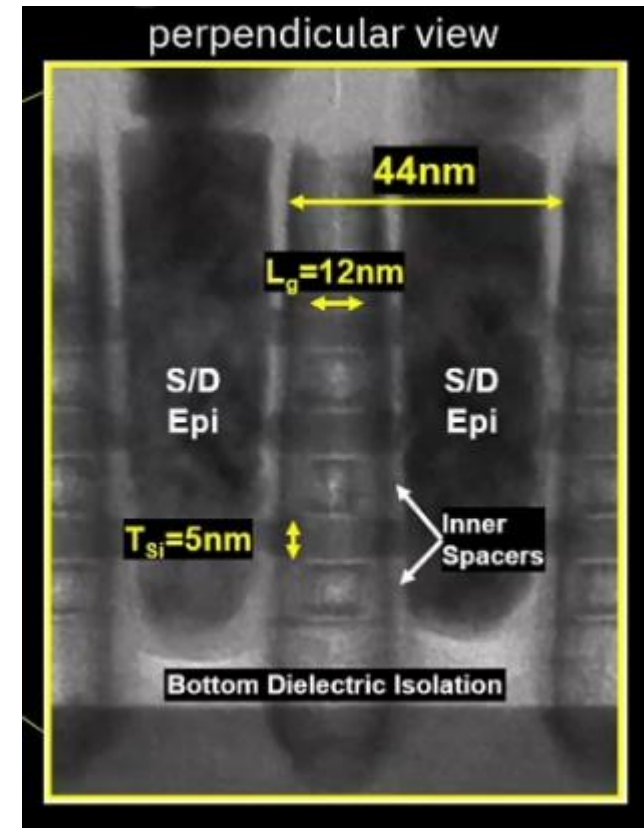
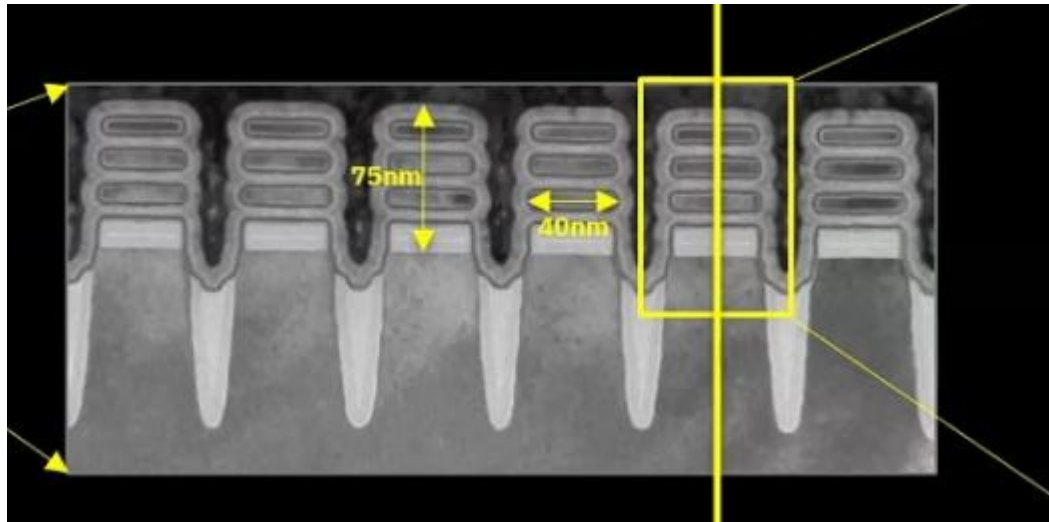
- Nő a küszöbfeszültség alatti áram meredeksége (SS)
 - Ugyanolyan paraméterek mellett lehetőség nyílik a küszöbfeszültség további csökkentésére.
 - Ez jó hatással lesz a sebességre, hiszen az $V_{DD} - V_T$ vel arányos
 - Vagy a tápfeszültség, és ezen keresztül a fogyasztás csökkenthető.



Tranzisztor keresztmetszet

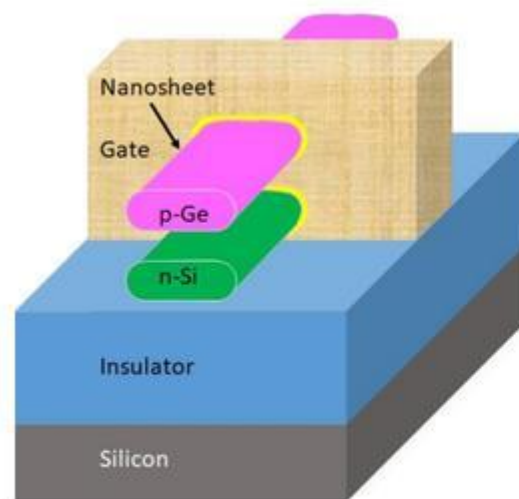


GAA

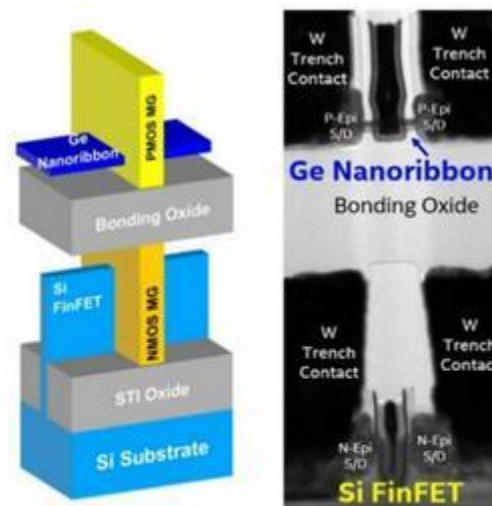


- Stacked gate-all-around tranzisztorok

CFET: egymás felett az nMOS és a pMOS tranzisztor



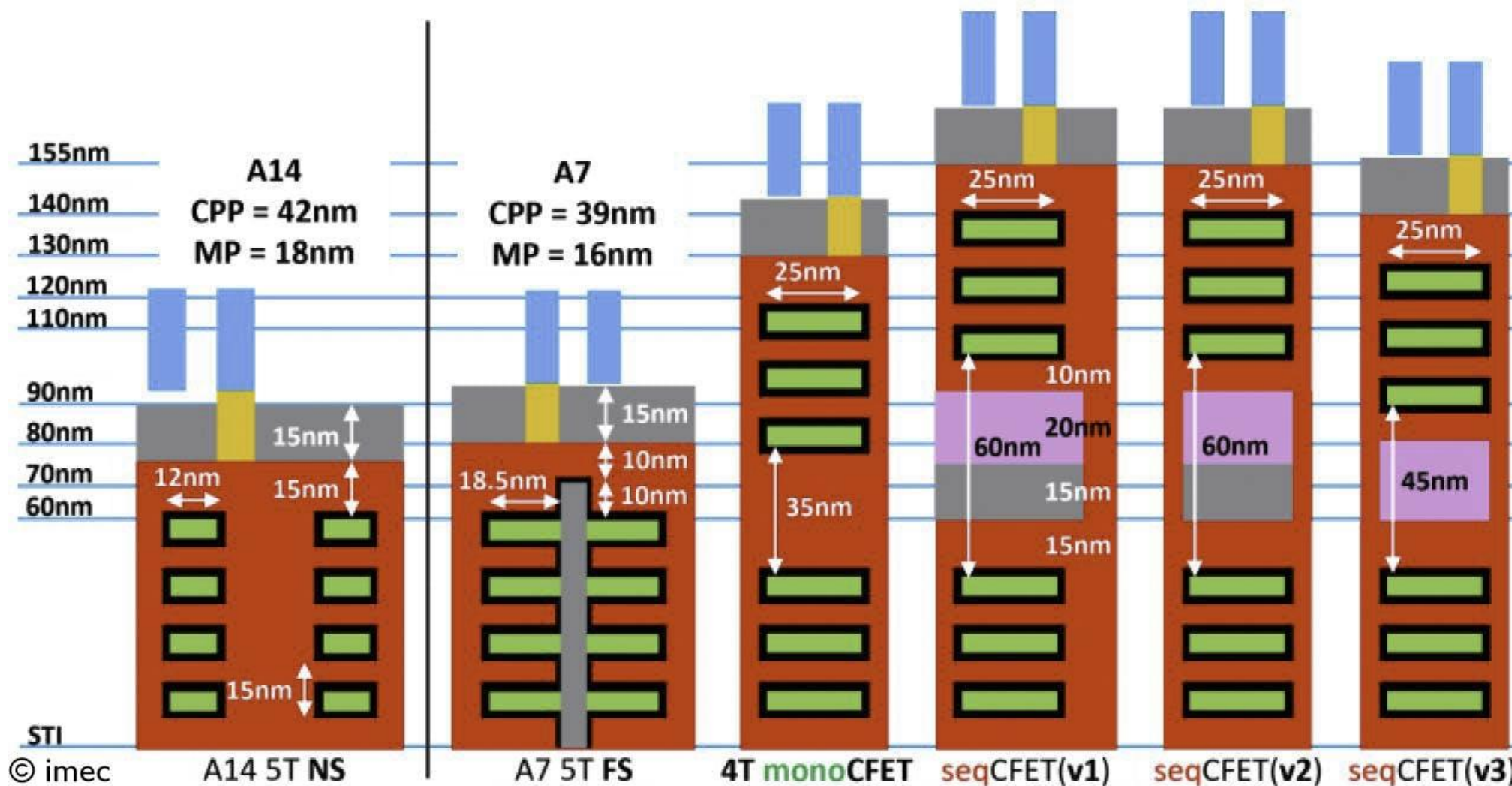
(a)



半导体行业观察
(b)

- CMOS: egy bemenethez két tranzisztor tartozik a statikus CMOS kapuban
- Ha ezt a két tranzisztort egymás tetejére tudjuk helyezni, rengeteg helyet lehet nyerni.

CFET – emlékezzünk arra, hogy az inverter két tranzisztora ugyanazt a vezérlést kapja....





Budapesti Műszaki és Gazdaságtudományi Egyetem
Elektronikus Eszközök Tanszéke

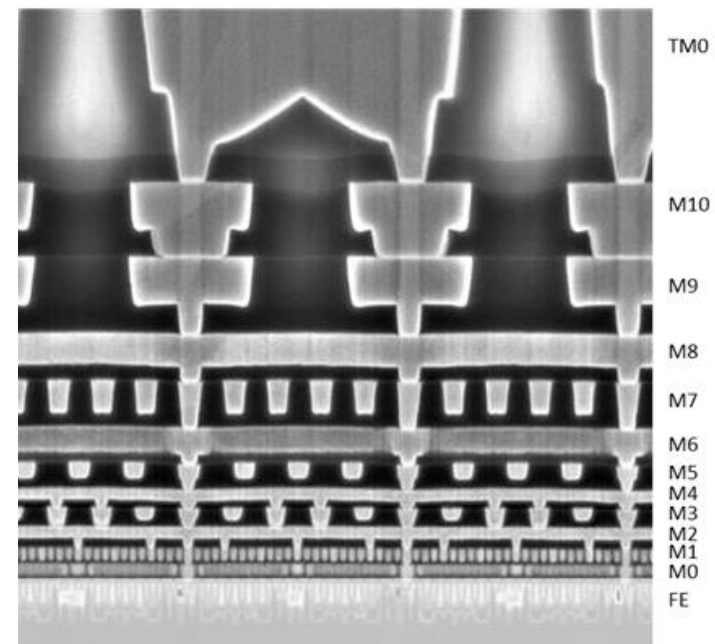
Vezetékezés

Vezetékezés

- A vezetékhalózat okozta késleltetés *jelentősebb, mint a kapu intrinsic késleltetése.*
- Egyenesen arányos a vezeték fajlagos ellenállásával és kapacitásával.
- $\tau = RC \dots$
- **A fajlagos ellenállás csökkentésére** először alumínium vezetékezés helyett viszonylag régen rézre tértek át.
- A kontaktusok illetve a gate felületén fém-szilícium ötvözeteket használnak az ellenállás csökkentésére, pl. TiSi, NiSi stb.
- Az egyes fémrétegeket elválasztó szigetelő anyag viszont hat a kapacitásra.
- Itt a gate-dielektrikummal szemben most kis dielektromos állandóval rendelkező anyagra van szükség.
- Ezek az ún. **low-K** anyagok.

Vezetékezés

- Global routing (M6-M10)
 - VDD, GND, CLK
- Intermediate (M2-M5)
- Local routing (M0-M1)



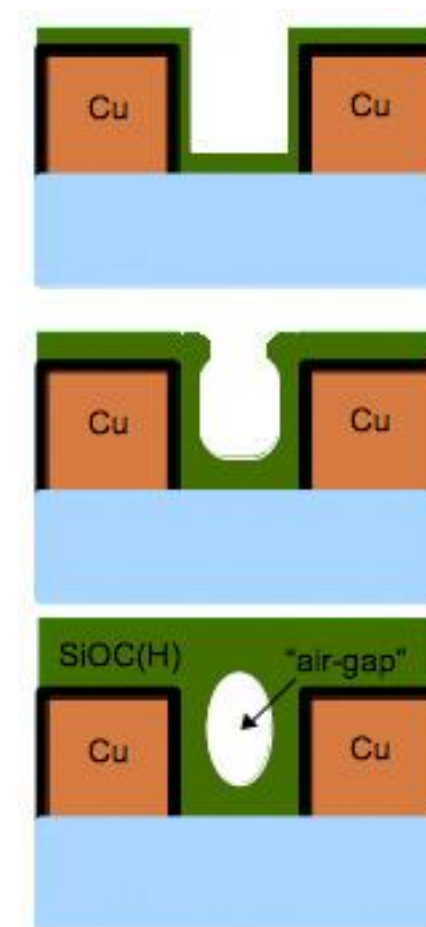
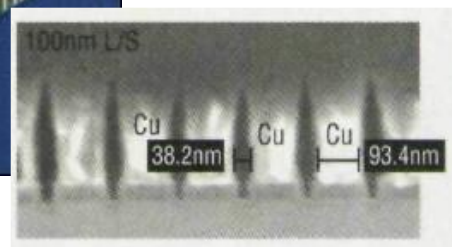
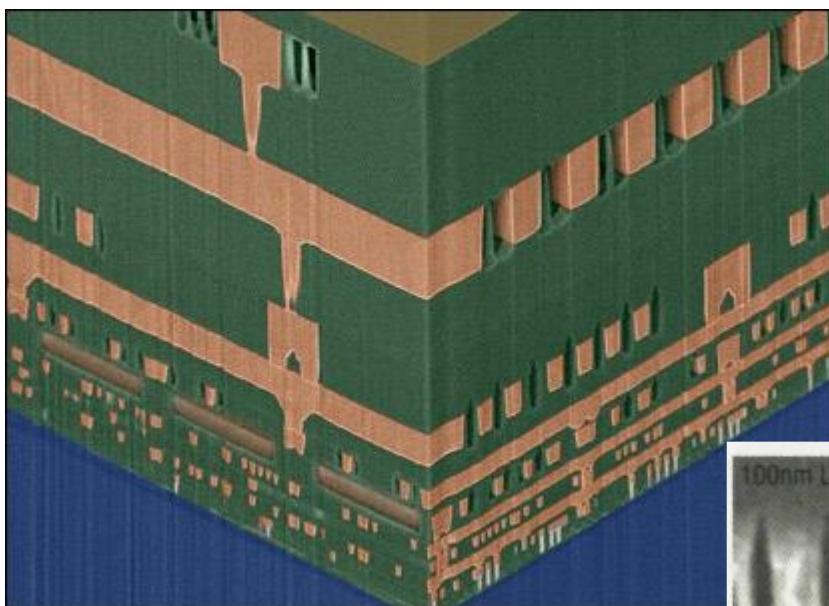
Low-K szigetelő

- SiO_2 -t dielektrikumot pl. CDO-ra cserélve 25%-al lehetett csökkenteni a késleltetést.

Anyag	ϵ_r
SiO_2	3,9
FDO – fluórral adalékolt oxid	3,5
CDO – szénnel adalékolt oxid	2,7...3,0
SiOC:H (silicon oxycarbide) - CDO	2,8
Pórusos SiO_2 (mechanikailag instabil)	2,4
Pórusos CDO	2,7
Polimerek	2,2..2,7
CDO & Levegő	2,2...2,4
Pórusos Polimer	2

Air-gap

- Levegő relatív dielektromos állandója kb. 1

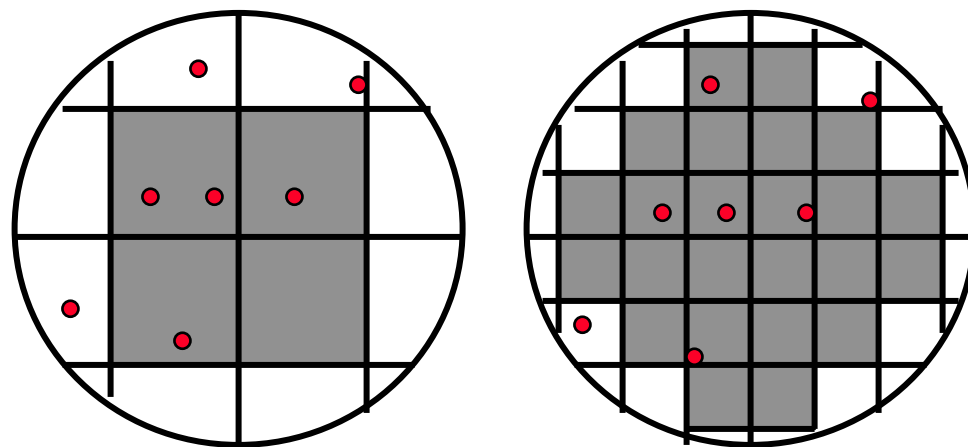




Budapesti Műszaki és Gazdaságtudományi Egyetem
Elektronikus Eszközök Tanszéke

Rendszer szintű optimalizálás

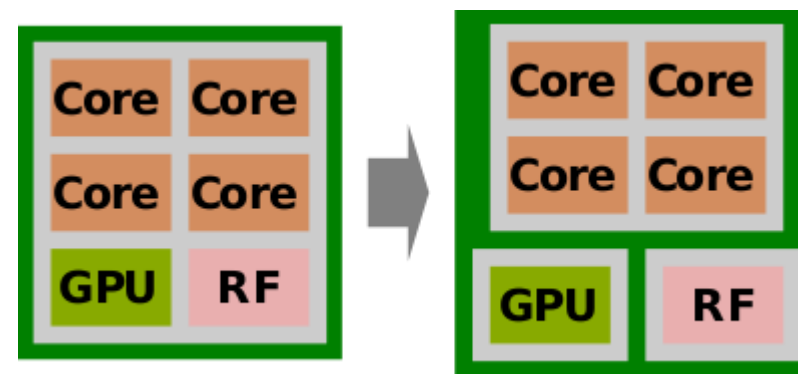
A kihozatal és a chip méretének összefüggése



- Ugyanakkora hibavalószínűség esetén kisebb chip esetén jobb a kihozatal
- A túl nagy chip nem jó.

Chiplet

- **Chiplet**
- Alapötlet bontsuk fel a rendszerchipet több részre, ezek lesznek a chipletek
- Kisebb méret – jobb kihozatal
- Csökkenő költségek - Lehetővé válik csak a legfontosabb részek (leggyorsabb, legnagyobb számítási teljesítményű, stb.) gyártása a legújabb technológián
- Pl. Intel Meteor Lake (2023)
- AMD Ryzen Zen2 felett



Kis technológiai kanyar

- **Processzor – mikroprocesszor**
 - Egy chipre mindent, ez lett a mikroprocesszor, a processzor kártya helyett, 1970-es évek
- **SIP – System in a package**
 - Különböző technológiájú chipek egy tokba szerelése
 - (ez kényszer volt inkább)
- **PoP – Package on package**
 - μ P, GPU, DRAM egymás tetején
 - Képzékelő, DRAM, feldolgozó
- **SOC – System on a chip**
 - Mindent egy chipen
 - Nehézkes az optimalizálás – más technológia optimális pl. DRAM-nak mint a processzornak.

