

Mikroelektronika

Minek a rövidítése az MPW? Ez mit jelent magyarul? Mi a gazdasági előnye?

MPW = multi project wafer, magyarul a lényege: egy szeleten 10-15 terv kerül legyártásra. Gazdasági előnye: a maszk költségek sok terv között oszlanak meg.

Számolja ki, hogy mekkora nyitófeszültség mellett lesz a nMOS tranzisztor telítési árama 10mA. ($V_T=0.7V$, $K=100\mu A/V^2$, $W=1\mu m$, $L=0.25\mu m$)

$$I = \frac{K \cdot W}{2 \cdot L} (U - V_T)^2 \rightarrow (U - V_T)^2 = \frac{I \cdot 2 \cdot L}{K \cdot W} \rightarrow U = 7.7 V$$

A MOS struktúra mely paramétereitől függ a V_T küszöbfeszültség értéke (és hogyan)?

- oxidvastagság – nő
- vagy oxidkapacitás – csökken
- bulk adalékolás – nő
- gate-bulk kontakt potenciál – nő

$$V_T = 2\Phi_F + \Phi_{MS} - \frac{Q_{SS}}{C_0} + \frac{\sqrt{2\epsilon_s q N_a}}{C_0} \sqrt{2\Phi_F + U_{SB}}$$

vagy kicsit máshogy megfogalmazva a kérdést

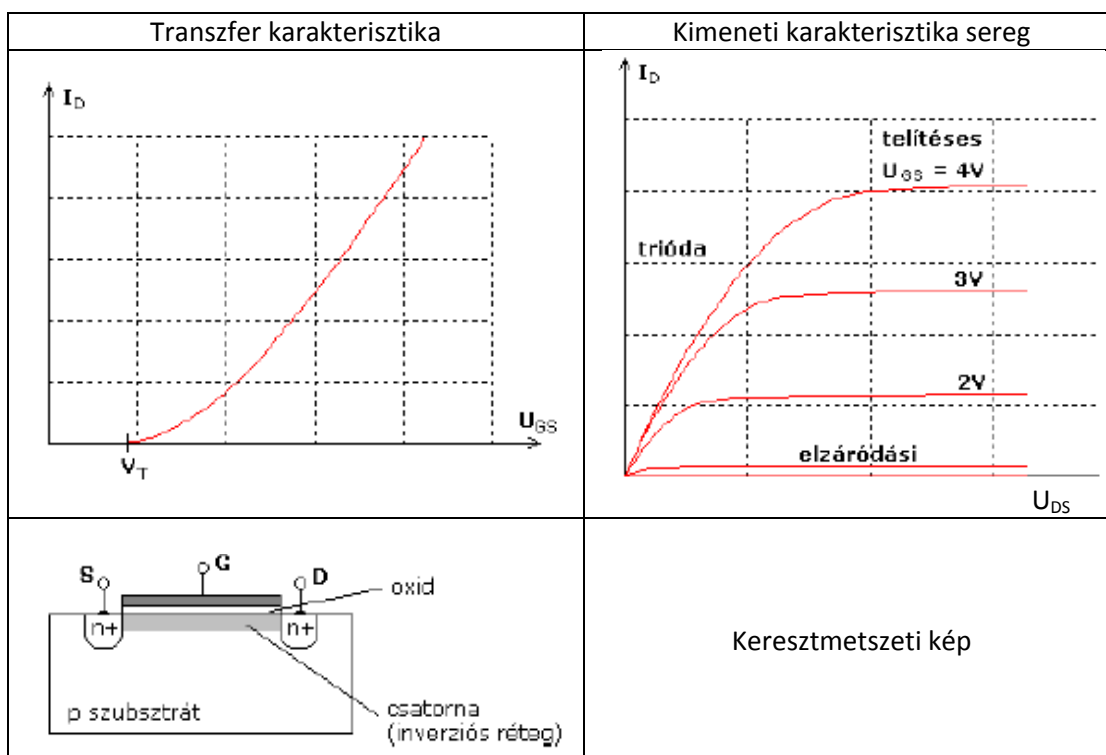
V_T küszöbfeszültség – inverziós réteg kialakulásához szükséges minimális feszültség; függ:

- a félvezetőanyag energiaszintjeitől
- az oxid vastagságától és dielektromos állandójától
- a Si adalékolásától és dielektromos állandójától

Egy integrált áramkör felületén hogy kell két ellenállást tervezni ahhoz, hogy megvalósítás esetén a két ellenállás (pl.: bázis diffúziós ellenállás) minél egyformább legyen?

- azonos geometria
- azonos orientáció
- közel legyenek egymáshoz
- azonos izotermára essenek (azonos hőmérséklet)
- NEM minimális méret

Rajzolja fel a növekményes n csatornás MOS tranzisztor keresztmetszeti képét, kimeneti karakterisztika-seregét és transzfer karakterisztikáját!



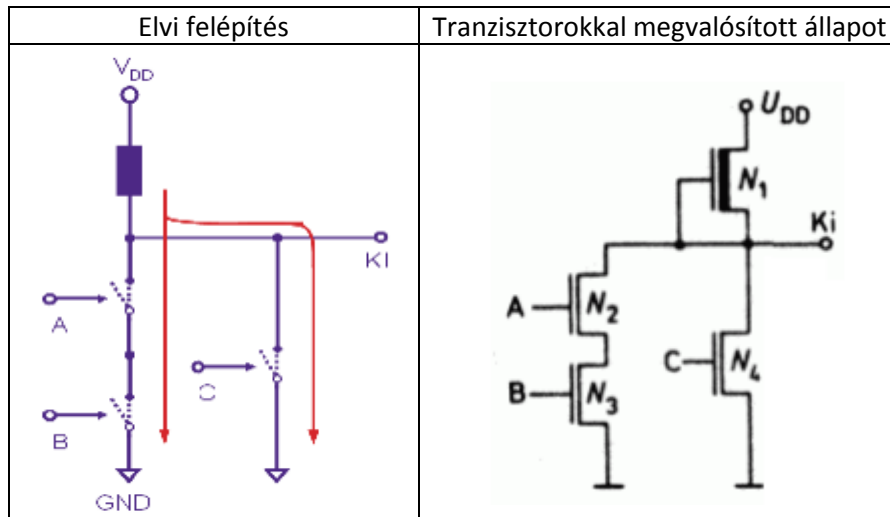
Hogyan függ a küszöb alatti áram értéke a V_{GS} feszültségtől?

exponenciálisan

$$I_D \sim I_S \cdot \exp\left(\frac{q \cdot V_{GS}}{n \cdot K \cdot t}\right)$$

Tervezze meg az alábbi logikai függvénynek megfelelő áramkör tranzisztor szintű kapcsolási rajzát (nMOS) Majd valósítsa meg verilog nyelven és írjon hozzá tesztmodult.

$KI = NOT(AB+C)$



```
module complex (A, B, C, KI);
    input A, B, C;
    output KI;
    assign KI = ~(A & B) | C;
endmodule;
```

```
module test;
    reg a,b,c; wire ki;
    complex cplx(a,b,c,ki);
    intial begin
        a=0; b=0; c=0;
        #1 a=1;
        #2 b=1;
        ...
    end
endmodule
```

Mi a JFET-ek legfontosabb paramétere? Számolja ki U_0 -t, ha a csatorna vastagsága $d = 4 \mu\text{m}$ és adalékolása $Nd = 10^{15}/\text{cm}^3$!

$$U_0 = \frac{q \cdot N_d}{8 \cdot \epsilon_0 \cdot \epsilon_r} \cdot d^2 = \frac{1.6 \cdot 10^{-19} \cdot 10^{21}}{8 \cdot 11.8 \cdot 8.86 \cdot 10^{-12}} (4 \cdot 10^{-6})^2 = 3.06 \text{ V}$$

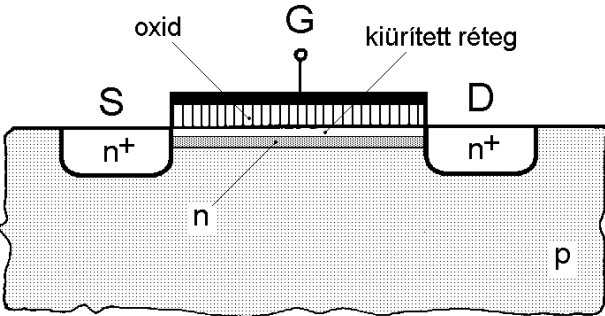
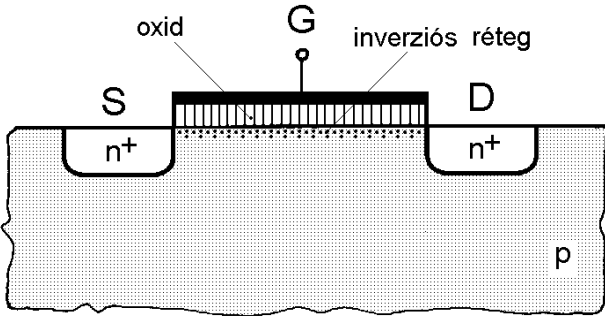
ahol a 11.8 a szilícium relatív dielektromos állandója, a szilícium oxidé pedig 3.9.

Legfontosabb paraméter: U_0 elzáródási feszültség.

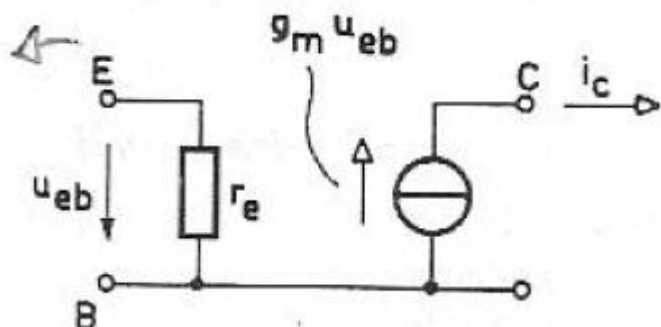
Milyen transzportfolyamatnak köszönhető az n csatornás, növekményes MOS FET tranzisztorok esetén a töltéshordozók vándorlása a *source* és a *drain* kivezetések között a trióda tartományban?

A növekményes MOS tranzisztorban nincsen csatorna-adalékolás. Ezekben az eszközökben a csatornát a Gate-re adott feszültség, a Gate tere hozza létre az *inverzió* jelensége révén. Egy n -csatornás növekményes MOS tranzisztorban a *source* és a *drain* n -típusú, a *bulk* p -típusú. Ha a *gate*-re pozitív feszültséget kapcsolunk (a *source*-hoz képest), akkor a *bulk*ban lévő lyukakat az taszítani fogja. Ennek hatására egy *kiürített réteg* alakul ki a *gate*-oxid alatt. Ha tovább növeljük a feszültséget, akkor a *gate* alatt elektronok gyűlnek össze, hiszen azokra vonzó hatással van a *gate* tere. Ez az összegyűlt töltés az *inverziós töltés*, amely a csatornát alkotja. Kialakulásával ohmos kapcsolatot létesít a *source* és a *drain* között, amivel lehetővé válik a vezetés. A tranzisztoron átfolyó áram nagysága ekkor a *drain-source* feszültségtől lineárisan függ – ez jellemző a MOS tranzisztorra a *trióda tartományban*.

Hasonlítsa össze a kiürítéses és a növekményes MOS FET-eket! (Keresztmetszeti rajz, csatorna)

Kiürítéses	Növekményes
	
Legfontosabb paraméter: U_0 elzáródási feszültség	Legfontosabb paraméter: V_T küszöbfeszültség

Egy bipoláris tranzisztor kisjelű áramerősítési tényezője az $I_E=2\text{ mA}$ munkapontban $b=\beta=150$. Rajzolja fel a kételemes közös bázisú helyettesítő képét és határozza meg az elemértékeit!



$$r_e = \frac{U_T}{I_E} = \frac{26\text{ mV}}{2\text{ mA}} = 13\text{ Ohm}$$

$$a = \frac{b}{b+1} = \frac{150}{150+1} = 0.9934$$

$$g_m = \frac{a}{r_e} = \frac{0.9934}{13} = 0.07641\text{ Siemens}$$

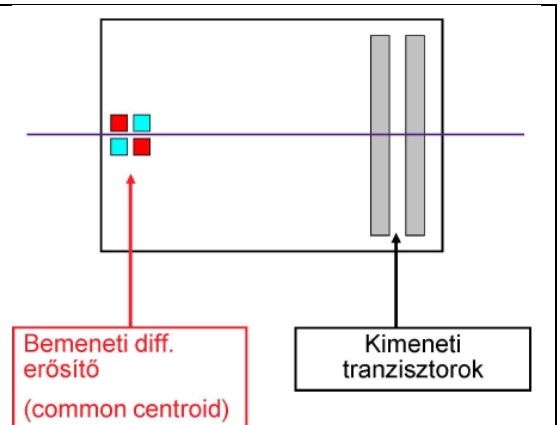
$$i_c = i_e \cdot a = g_m \cdot U_{eb} \rightarrow U_{eb} = 26\text{ mV}$$

Hogyan helyezzük el a műveleti erősítőt az alkatrészeken...?

Röviden: szimmetrikusan, hogy a termikus hatások a lehető legegyszerűbbek legyenek.

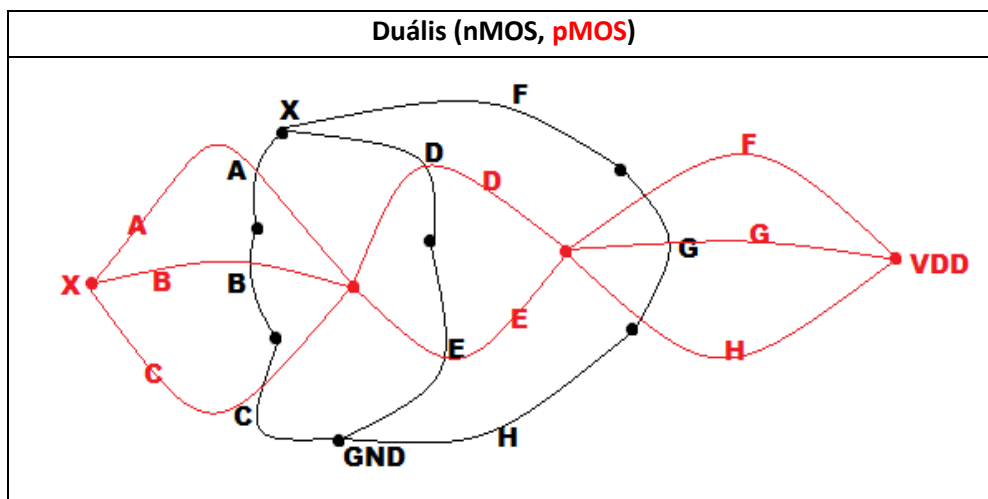
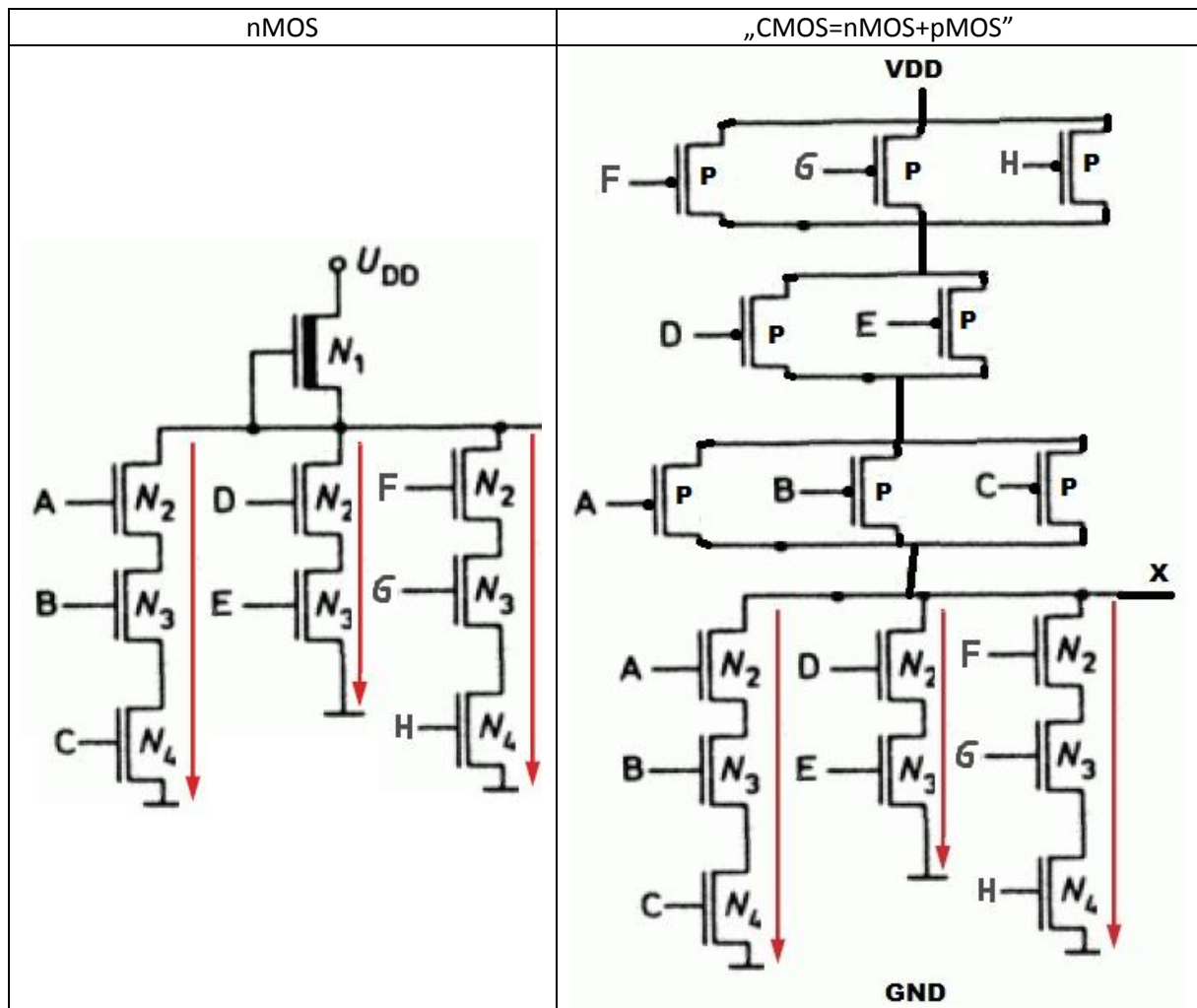
Hosszabban (általánosabb):

- Teljesítmény végfok tranzisztorok távol a differenciális pár alkotta bemenettől
- Szimmetrikus elrendezése - common centroid:
 - x és y irányú technológiai szórásra is érzéketlen
 - azonos izotermák



Készítse el az alábbi logikai függvényt megvalósító PDN hálózatot nMOS tranzisztorok alkalmazásával! Tervezze meg ennek duálisát és alkossa meg a funkciót megvalósító CMOS áramkört!

$$X = \text{OUT} = \text{negált}(ABC + DE + FGH)$$



Különbség nMOS és pMOS között:

- nMOS hálózat: GND-re húzza le a kimenetet: Pull-Down Network (PDN)
- pMOS hálózat: VDD-re húzza fel a kimenetet: Pull-Up Network (PUN)

Duális szerkesztése: (olyan, mint a számtudban – de az X és GND összekötést kihagyom, mert csúnya lenne az ábra) de elég annyit meggondolni:

- soros -> párhuzamos
- párhuzamos -> soros

Ismertesse és hasonlítsa össze a statikus és a dinamikus CMOS logikák működését! Ismertesse előnyüket és hátrányukat! (fogyasztás, komplexitás, stb.) Milyen tényezőktől függ a CMOS logikák fogyasztása? Rajzoljon fel egy-egy példát mindkettő áramköri megvalósítására! Készítsen megfelelő ábrasort és lássa el az ábrákat magyarázó feliratokkal!

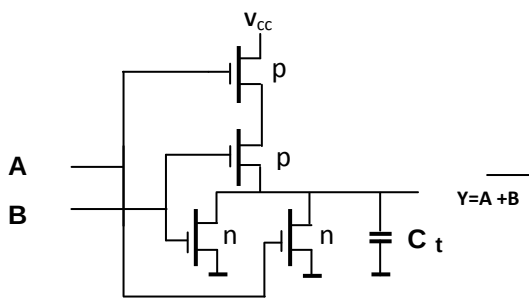
Statikus CMOS logika: A logikai áramkörök uralkodó technológiája napjainkban a CMOS technika, ezen belül is a statikus CMOS logika.

Előnye:

- jó tervezhetőség
- időfüggetlen működésből adódó alkalmasság arra, hogy nagy és univerzálisan felhasználható cellakönyvtárat hozzunk létre.

Hátránya: terhelő-ellenállás helyén az nMOS elemekkel megvalósított logikai függvény teljes duál hálózatát meg kell valósítani ahhoz, hogy semmilyen kombinációban se folyjék keresztirányú áram. Emiatt a **tranzisztorszám megduplázódik**, ami a **megnövekedett helyfoglalás** mellett **sebességcsökkenéssel** is jár, mivel minden bemenet két *gate*-kapacitás terhelés jelent a meghajtás számára.

Ha nincs logikai szintváltás, akkor nem folyik áram, nincs teljesítmény-felvétel. Késleltetés (propagation delay).



B	A	Y
0	0	1
0	1	0

Statikus CMOS logika, 2-bemenetű NOR

Dinamikus CMOS logika. A logikai áramkörök megvalósításának egy másik lehetősége a dinamikus logika.

A működés két fázisra oszlik, amelyet a fázisjelek vezérelnek.

- **Első fázis** az előtöltés, amelynek során a belső (lényegében parazita eredetű) C_1 kapacitást egy pMOS tranzisztor a V_{cc} tápfeszültségre tölti fel, majd a pMOS lezárása után az ide betöltött töltés, mint logikai U_{High} szint, magára marad, lebeg.
- **Második fázisban** egy másik fázisjel megkezdja a logikai függvény kiértékelését

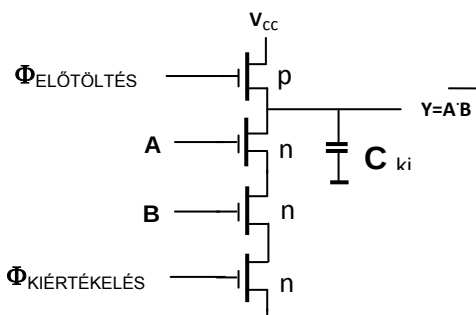
Hátrány:

- Előtöltő órajel kell

Előny: A logikai funkciót a PDN valósítja meg

- 2N tranzisztor helyett N+2 tranzisztor elégséges
- kisebb helyfoglalás mint statikus CMOS-nál
- Geometriai arányok nem izgalmasak a működés szempontjából
- Csak dinamikus teljesítményfelvétel (nincs egymásba vezetés)

Az ábrán egy kétbemenetű **ÉS** kapcsolatot mutatunk be, amelynek során a C_{ki} kapacitás vagy teljes egészében kisül a föld felé, vagy feszültsége közelítőleg változatlan marad (amennyiben eltekintünk a továbbiakban tárgyalt ún. töltésmegosztás, charge-sharing jelenségtől).



*Dinamikus CMOS logika,
2-bemenetű NAND kapu*

CMOS áramkörök fogyasztása:

- **Dinamikus összetevők** – minden kapcsolási eseménykor (**dinamikus fogyasztás összetevők nem ugyanaz, mint a dinamikus logika, NE keverjétek össze**)
 - **egymásbavezetés:** A bemenő jel felfutásának egy szakaszában mindkét tranzisztor egyszerre vezet, ha $V_{Tn} < U_{BE} < V_{DD} - V_{Tp}$ (ez csak statikus logikánál van)

$$P \sim f \cdot V_{DD}^3$$

$$P = f \cdot \Delta Q \cdot V_{DD} = f \cdot V_{DD} \cdot b \cdot t_{UD} \cdot K \cdot \left(\frac{V_{DD}}{2} - V_T \right)^2$$

- **töltéspumpálás:** jelváltásokkor, 1-re váltáskor a kimeneten lévő C_L terhelést a p tranzisztoron keresztül tápfeszültséggel töltjük, majd 0-ra váltáskor az n tranzisztoron keresztül kisütjük

$$P_{cp} = f \cdot C_L \cdot V_{DD}^2$$

(A teljes fogyasztás a 2 összege (ha egymásba vezetés is van), arányos a frekvenciával és a tápfeszültség 2. ill. 3. hatványával.) -> a dinamikus fogyasztás összetevőkre értve

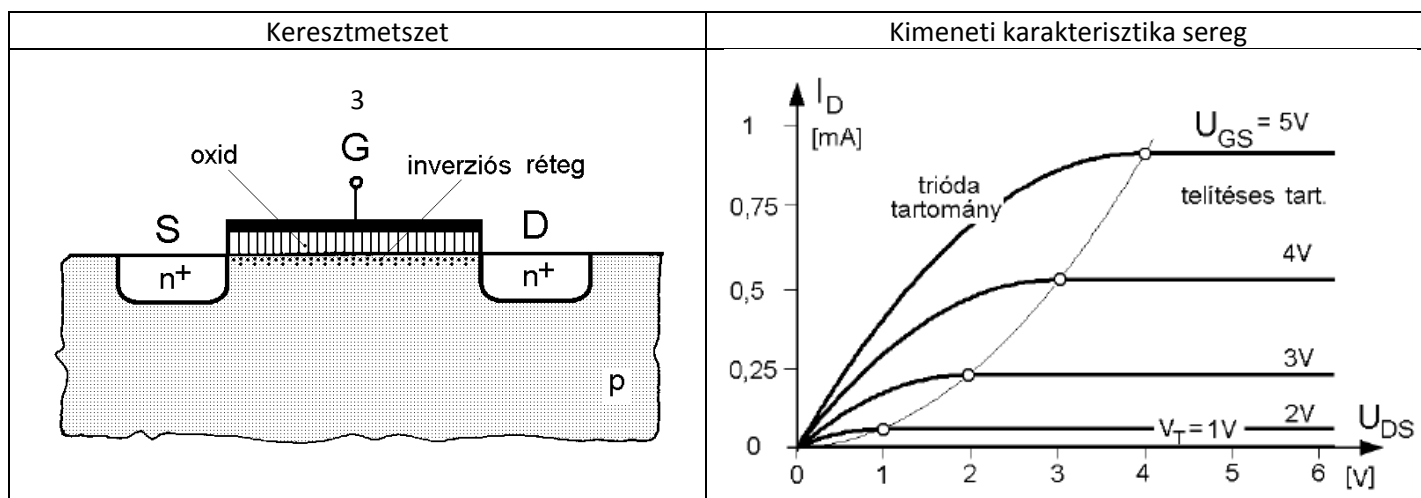
- **eseményűrűséggel** arányos:
 - órajel frekvencia
 - az áramkör aktivitása
- **Parazita jelenségek** miatt további összetevők:
 - küszöb alatti áramok
 - pn -átmenetek szivárgási áramai – *leakage*: ma már nagyon jelentős
 - szivárgás a *gate* dielektrikumon keresztül

V_{DD} : tápfeszültség
 f : működési frekvencia
 C_L : terhelő kapacitás
 t_{UD} : az idő, amíg áram folyik,
 b : egy konstans, ami az átkapcsoló jel alakjától függ $b \sim 0.1-0.2$
 V_{Tn} és V_{Tp} : n és p tranzisztor nyitófeszültség

Keskeny csatornás MOS tranzisztoroknál miért nem vízszintes a telítésben a karakterisztika?

Az ideális MOS tranzisztor karakterisztikái a telítéses tartományban vízszintesek, a kimeneti ellenállás végtelen (lásd a kimeneti karakterisztikán). A valóságban azonban a karakterisztikák mindig mutatnak kisebb-nagyobb dőlést, ennek oka a **csatornarövidülés**. Telítéses tartományban, ha az elzáródást követően tovább növeljük a *drain-source* feszültséget, növekszik a drain oldali, elzáródott szakasz hossza. Emiatt csökken a csatorna geometriai hossza (effektív hosszúság), ami az I_D kifejezésben L néven a nevezőben szerepel, emiatt az áram növekvő *drain* feszültségnél nő, a karakterisztikák nem vízszintesek, hanem dőlést mutatnak.

Rajzolja fel egy növekményes n csatornás MOS tranzisztor keresztmetszeti képét és kimeneti karakterisztika sereget. (tengelyek felcímkézése, mértékegységek, értékek)



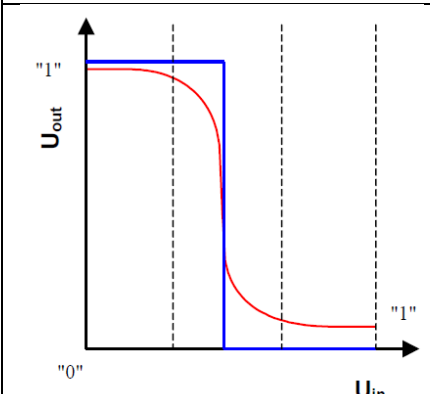
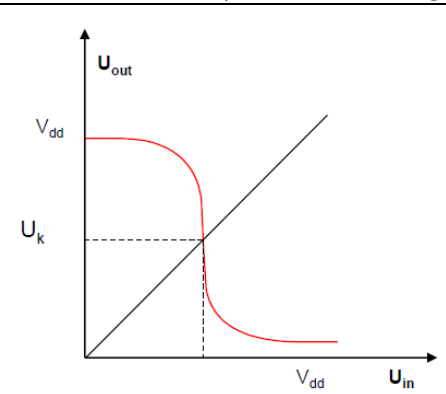
Dinamikus MOS logikák esetén milyen két fontos működési fázist különböztetünk meg?

1. Egy kapcsoló pMOS tranzisztorral egy kapacitást feltöltünk V_{DD} feszültségre: előtöltés vagy *pre-charge*
2. Következő fázisban V_{DD} -ről leválik a kondenzátor és egy nMOS logikai hálózaton keresztül a kapacitást (a bemenetek függvényében) kisütjük vagy töltve hagyjuk: ez a kiértékelés vagy *evaluation*

Magyarázza meg az Early Hatás jelenségét bipoláris tranzisztorok esetén.

Nagy frekvenciákra: Másodlagos effektusok a bipoláris tranzisztor működésében Early hatás A tranzisztor működése során a kimenet valamelyest **visszahat** a bemenetre azáltal, hogy U_{CB} változtatása megváltoztatja a CB kiürített réteg vastagságát, ezáltal a bázis szélességét, ezáltal az áramerősítési tényezőket. $\rightarrow U_{CE} \text{ nő} \rightarrow B \text{ nő} \rightarrow I_C \text{ nő} \rightarrow \text{véges kimenő ellenállás}$.

Rajzolja fel egy CMOS inverter transzfer karakterisztikáját és határozza meg grafikusán a komparálási feszültséget. ($V_{DD}=3.3 \text{ V}$)

Transzfer karakterisztika	Grafikusan a komparálási feszültség	Szövegesen
		Komparálási feszültség: Az a határ, ami alatt 0 szintté és ami felett logikai 1 szintté regenerálja az inverterlánc a jelet. Az $U_{in}=U_{out}$ egyenes és a karakterisztika metszéspontja

Milyen módszert használnak a szimulátor programok a hálózati egyenletek előállítására?

A csomóponti potenciálok módszerét.

Mi az AC analízis és mire használjuk?

Kisjelű analízis a frekvencia függvényében. Az áramkör frekvencia átvitelét és *Bode-diagramját* kapjuk meg segítségével.

Mi a DC analízis és mire használjuk?

Egyenáramú munkaponti analízis. Segítségével csomóponti feszültségek és **transzfer karakterisztika** számítható.

Számolja ki, hogy mekkora W/L értéknél lesz a tranzisztor telítési árama 5 mA ? **? A W/L értékeire adjon reális megvalósítható becslést!** ($U_{GS}=7.7 \text{ V}$; $V_T=0.7 \text{ V}$; $K/2=50 \mu\text{A/V}^2$)

$$I = \frac{K \cdot W}{2 \cdot L} (U_{GS} - V_T)^2 \rightarrow \frac{W}{L} = \frac{2 \cdot I_D}{K \cdot (U_{GS} - V_T)^2} = 2.0408$$

Ez az érték W/L arányát jelenti (és számértéke is nagyjából megfelelő – amit láttam értékek azok a: $0.16 - 12.5$), ha konkrét W és L értéket kérdeznek becslésre én például $W=2 \mu\text{m}$ és $L=1 \mu\text{m}$, mondanám (mindenképpen μm -es tartományban)

vagy egy másik megoldási mód

$$\left(\frac{W}{L}\right)_p = 2.25 \cdot \left(\frac{W}{L}\right)_n$$

Mivel a lyukak mozgékonyasága kb. $2 \dots 2.5 \times$ kisebb

- A komparálási feszültség a W/L arányokkal változtatható
- A W/L arány változtatásával a *drain* áram nagyságrendekkel változtatható.

Mit jelent a **pin assignment** kifejezés? Mire használjuk és miért van rá szükség?

pin assignment ~ lábkiosztás, mi verilog programozáskor használtuk, hozzárendeltük az FPGA egyes lábait (nyomógombjait, kapcsolóit, LEDjeit...) a verilog program megfelelő *input* és *output*jaihoz.

Tervezze meg az alábbi függvények megfelelő áramköri tranzisztor szintű kapcsolási rajzát. (CMOS; MFS=0.35μm, $V_{DD}=3.3\text{ V}$; $f_{\text{működés}}=100\text{ MHz}$). Adjon reális becslést n és p csatornás tranzisztorok W és L méretére! Adjon becslést a dinamikus fogyasztásra, ha a kimenetet terhelő kapacitás $C_L=10\text{ pF}$.

$X=\text{OUT}=\text{negált}(C(A+B))$

CMOS kapcsolás	Többi feladatréssz
	Dinamikus fogyasztás: 2 részből áll: - Egymásba vezetés: $P \sim f \cdot V_{DD}^3$ $P = f \cdot \Delta Q \cdot V_{DD} = f \cdot V_{DD} \cdot b \cdot t_{UD} \cdot K \cdot \left(\frac{V_{DD}}{2} - V_T\right)^2$ de ehhez hiányzik pár adat... - Töltéspumpálás: $P_{cp} = f \cdot C_L \cdot V_{DD}^2 = 0.01089\text{ W}$ Reális becslés: $\left(\frac{W}{L}\right)_p = 2..2.5 \cdot \left(\frac{W}{L}\right)_n$ Mivel a lyukak mozgékonyasága kb. 2 ... 2.5x kisebb - A komparálási feszültség a W/L arányokkal változtatható - A W/L arány változtatásával a <i>drain</i> áram nagyságrendekkel változtatható.

Mi a logikai szintézis?

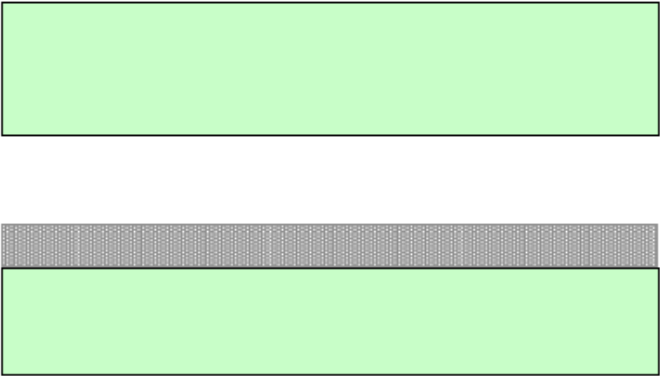
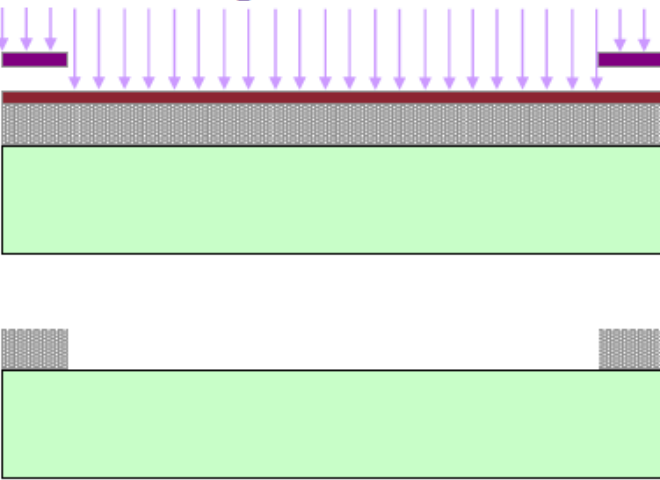
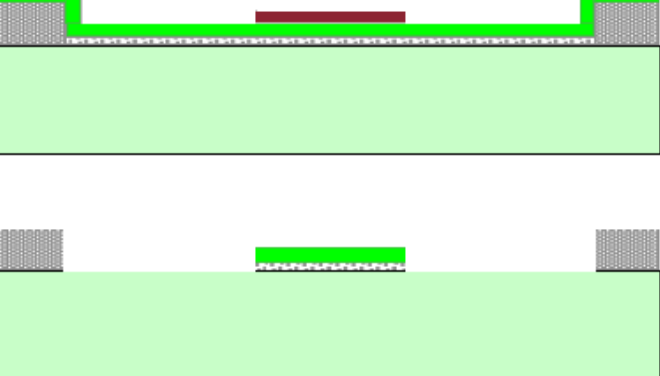
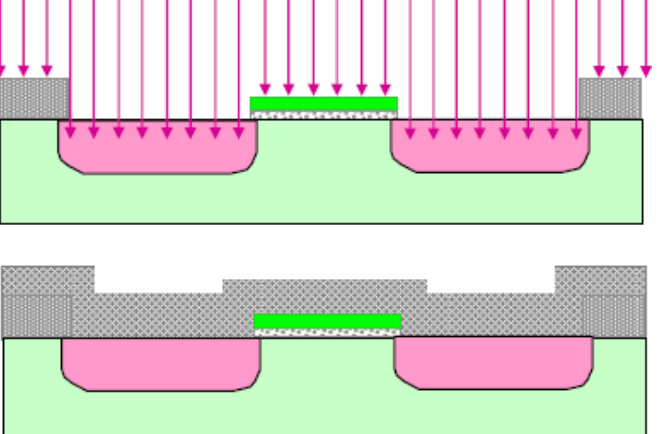
Egy HDL-ben leírt működés kapusintű megvalósítása. (Laborokon ezt végezte el a "logikai szintézer")

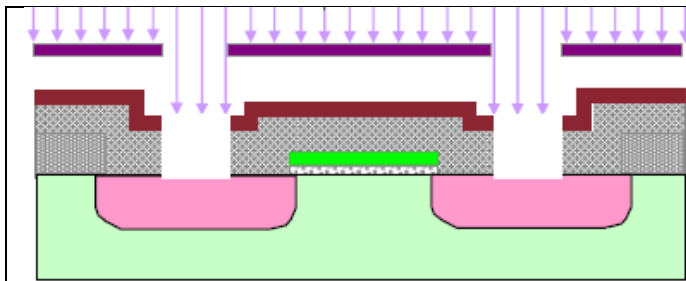
Mi az OLED?

Organic Light Emitting Diode ~ Organikus Fényt Kibocsájtó Dióda

NMOS tranzisztor kialakításának technológiai lépései.

A poli-Si gate-es nMOS technológia

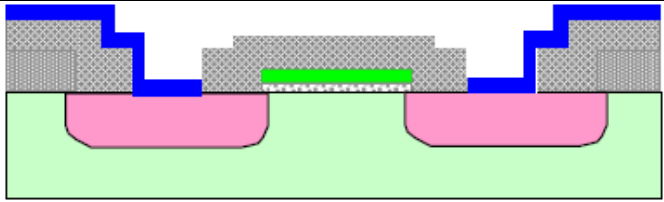
Lépések	Magyarázat
	Kiindulás: p típusú szubsztrát (Si szelet) - tisztítás, - majd vastag SiO₂ (field oxide) növesztése
	M1: aktív zóna Aktív zóna kialakítása fotolitográfiával - fotoreziszt felvitele, - exponálás UV fénnnyel - előhívás, exponált reziszt eltávolítása - SiO₂ kémiai marása, fotoreziszt maradékának eltávolítása
	M2: poli-Si mintázat Gate kialakítása: - vékony oxid növesztése - poli-Si leválasztása - poli-Si mintázat kialakítása fotolitográfiával (reziszt, exponálás, előhívás) - poli-S marása, vékony oxid marása
	S/D adalékolás (implantáció) - az oxid (vékony, vastag) maszkolja az adalékolást - megvalósul a gate önillesztése Foszfor-szilikát üveg (PSG) leválasztása: passziválás



M3: kontaktus-mintázat

Kontaktusablakok nyitása

- fotolitográfia (reziszt, mintázat fényképezése, előhívás)
- marás (mintázat átvitele)
- tisztítás

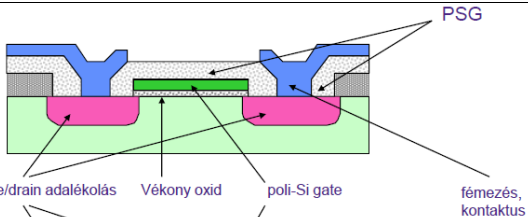


M4: fémezés-mintázat

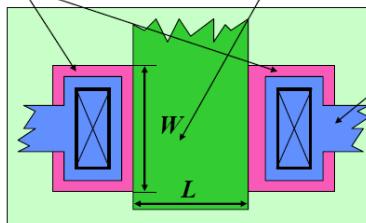
Fémezés kialakítás

- Al leválasztása
- fotolitográfia, marás, tisztítás

Struktúra:



Layout:



A technológia receptje kötött, a mélységi struktúrát egyértelműen meghatározzák az egymást követő maszkok

Elegendő a maszkon kialakítandó alakzatokat megadni. Az egymást követő maszkokon kialakítandó rajzolatok együttesét layout-nak nevezzük.