

# Nagysebességű digitális rendszerek komplex tervezése 1. (Elővizsga)

(Időtartam: 100 perc)

**Megjegyzés:** Minden feladatra 20 perc jut, az ábrák előnyt jelentenek az értékeléskor. A ZH teljesítéséhez 25 pont elérése szükséges. Érdemes elolvasni az összes feladatot, mielőtt a legszimpatikusabbnak nekiesnél.

## 1. Feladat (10 pont)

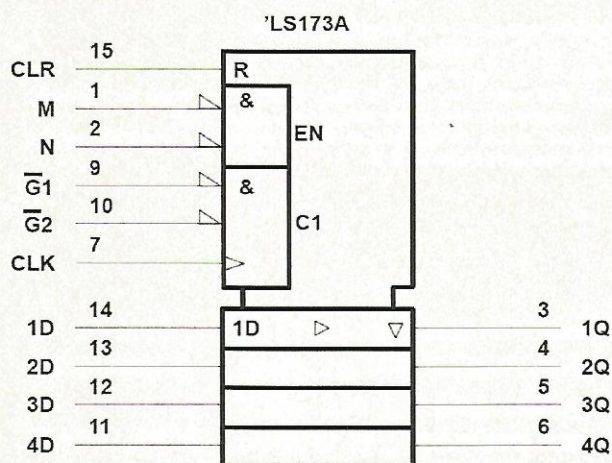
Az integrált áramkörök tokozásának fejlődésében mi figyelhető meg, és milyen további fejlődés várható a közeljövőben?.

## 2. Feladat (10 pont)

Milyen adatokat érdemes a NYÁK gyártóval egyeztetni, még a NYÁK tervezés megkezdése előtt? Másképp fogalmazva, milyen információk nélkülözhetetlenek a NYÁK gyártó számára még a NYÁK huzalozása előtt ahhoz, hogy ellenőrizze a legyárthatóságát és árbecslést, valamint legrövidebb szállítási időt adjon?

## 3. Feladat (10 pont)

Adott az alábbi IEEE/IEC szabvány kapcsolási szimbólum. Írjuk le a szimbólum által meghatározott áramkör működését, funkcionalitását:



## 4. Feladat (10 pont)

Készítsük el az IEEE/IEC szabvány kapcsolási rajz szimbólumot az alábbi áramkörnek:



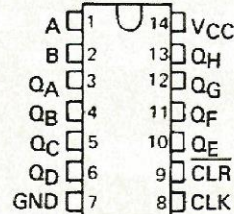
# SN54164, SN54LS164, SN74164, SN74LS164 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

MARCH 1974 — REVISED MARCH 1988

- Gated Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

SN54164, SN54LS164 . . . J OR W PACKAGE  
SN74164 . . . N PACKAGE  
SN74LS164 . . . D OR N PACKAGE  
(TOP VIEW)

TYPE	TYPICAL	TYPICAL
	MAXIMUM CLOCK FREQUENCY	POWER DISSIPATION
'164	36 MHz	21 mW per bit
'LS164	36 MHz	10 mW per bit

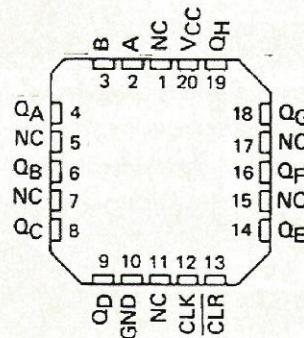


## Description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either input inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup-time requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

The SN54164 and SN54LS164 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74164 and SN74LS164 are characterized for operation from 0°C to 70°C.

SN54LS164 . . . FK PACKAGE  
(TOP VIEW)



NC — No internal connection

FUNCTION TABLE

INPUTS		OUTPUTS					
CLEAR	CLOCK	A	B	QA	QB	...	QH
L	X	X	X	L	L	...	L
H	L	X	X	QA0	QB0	...	QH0
H	↑	H	H	H	QAn	...	QGn
H	↑	L	X	L	QAn	...	QGn
H	↑	X	L	L	QAn	...	QGn

H = high level (steady state), L = low level (steady state)

X = irrelevant (any input, including transitions)

↑ = transition from low to high level.

QA0, QB0, QH0 = the level of QA, QB, or QH, respectively, before the indicated steady state input conditions were established.

QAn, QGn = the level of QA or QG before the most recent ↑ transition of the clock, indicates a one-bit shift.

## 5. Feladat (10 pont)

Adottak a következő párhuzamos tesztvektorok (időbeni 6 bites sorozatok) 110000, 011000, 001100, 000110, 000011, 100001, melyeket a Net1/Net2/Net3/Net4/Net5/Net6 nevű huzalozás tesztelésére szeretnénk használni két JTAG szabványt támogató alkatrész között. A peremfigyelés válasza a következő időbeni bitsorozat eredményezte: 110001, 000001, 000111, 000111, 000111, 000001.

Kérdés, van-e bármilyen gyártási probléma és ha igen mi? (Rajz és indoklás kötelező!)



# Nagysebességű digitális rendszerek komplex tervezése 1. (ZH)

(ZH időtartam: 100 perc)

**Megjegyzés:** Minden feladatra 20 perc jut, az ábrák előnyt jelentenek az értékeléskor. A ZH teljesítéséhez 25 pont elérése szükséges. Érdemes elolvasni az összes feladatot, mielőtt a legszimpatikusabbnak nekiesnél.

## **1. Feladat (10 pont)**

Rajzoljuk fel egy termék életciklusát és nevezzük meg, valamint magyarázzuk el az életcikluson belüli egyes szakaszokat. Fontos megrajzolni az életciklus egyes szakaszaihoz kapcsolódó nyereség és forgalom nagyságát.

## **2. Feladat (10 pont)**

Mi célja van a Konfigurációs menedzsmentnek? Milyen hozzávéka van a Konfigurációs menedzsmentnek? Milyen feladatai vannak?

## **3. Feladat (10 pont)**

Mi célt szolgál a tesztelhetőre tervezés, valamint a gyártásra tervezés? Mi történik, ha nem fordítunk ezekre kellő figyelmet? Mi a különbség a tervezés tesztelhetősége és a gyártás tesztelhetősége között?

## **4. Feladat (10 pont)**

Készítsük el az IEEE/IEC szabvány kapcsolási rajz szimbólumot az alábbi áramkörnek (csak egyesített körvonalakat alkalmazzunk vezérlő blokk használatával!):



# 54LS244/DM74LS244 Octal TRI-STATE® Buffers/Line Drivers/Line Receivers

## General Description

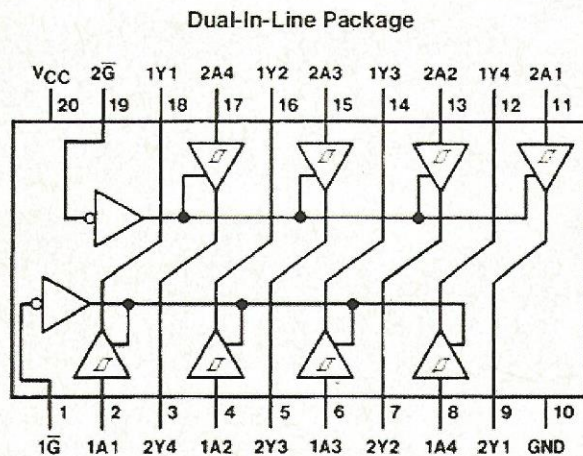
These buffers/line drivers are designed to improve both the performance and PC board density of TRI-STATE buffers/drivers employed as memory-address drivers, clock drivers, and bus-oriented transmitters/receivers. Featuring 400 mV of hysteresis at each low current PNP data line input, they provide improved noise rejection and high fanout outputs and can be used to drive terminated lines down to 133Ω.

## Features

- TRI-STATE outputs drive bus lines directly
- PNP inputs reduce DC loading on bus lines
- Hysteresis at data inputs improves noise margins

- Typical  $I_{OL}$  (sink current)
  - 54LS 12 mA
  - 74LS 24 mA
- Typical  $I_{OH}$  (source current)
  - 54LS -12 mA
  - 74LS -15 mA
- Typical propagation delay times
  - Inverting 10.5 ns
  - Noninverting 12 ns
- Typical enable/disable time 18 ns
- Typical power dissipation (enabled)
  - Inverting 130 mW
  - Noninverting 135 mW

## Connection Diagram



TL/F/8442-1

Order Number 54LS244DMQB, 54LS244FMQB, 54LS244LMQB,  
DM74LS244WM or DM74LS244N  
See NS Package Number E20A, J20A, M20B, N20A or W20A

## Function Table

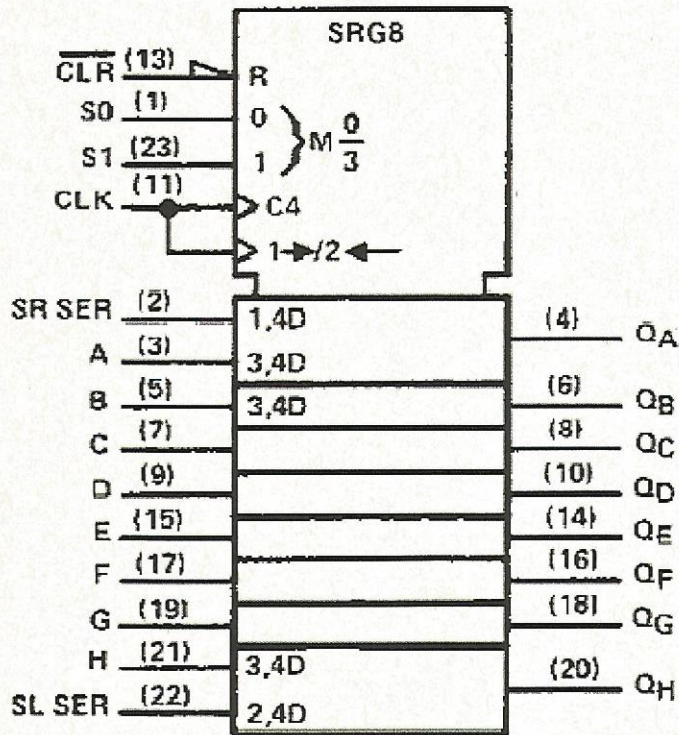
Inputs		Output
$\bar{G}$	A	Y
L	L	L
L	H	H
H	X	Z

L = Low Logic Level  
 H = High Logic Level  
 X = Either Low or High Logic Level  
 Z = High Impedance

## 5. Feladat (10 pont)



Adott az alábbi IEEE/IEC szabvány kapcsolási szimbólum. Írjuk le a szimbólum által meghatározott áramkör működését, funkcionalitását.



† This symbol is in accordance with ANSI/IEEE Std. 91-1984 IEC Publication 617-12.