



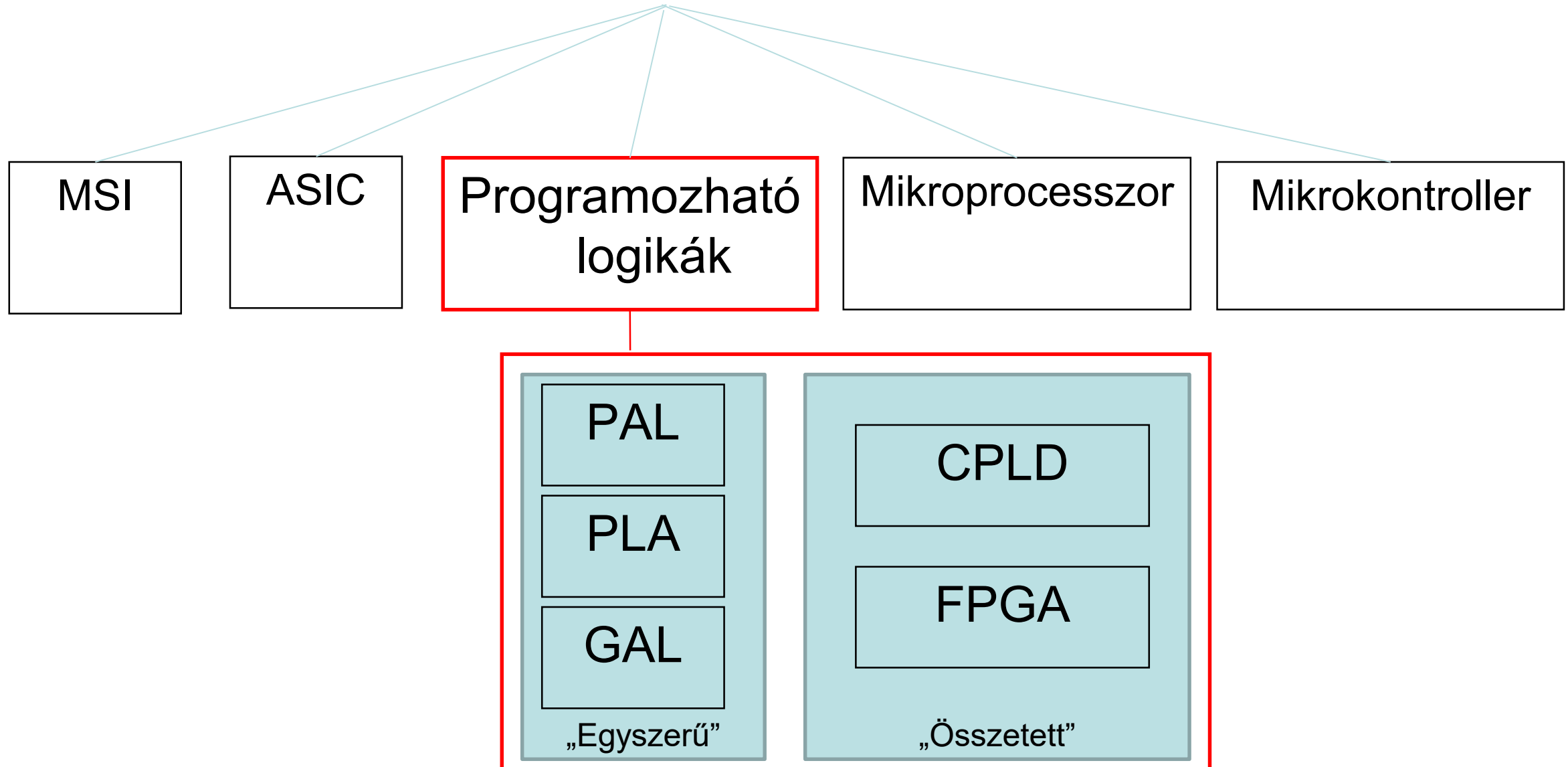
# *Digitális technika 2.*

*BMEVIIIAA06*

## *12. előadás*

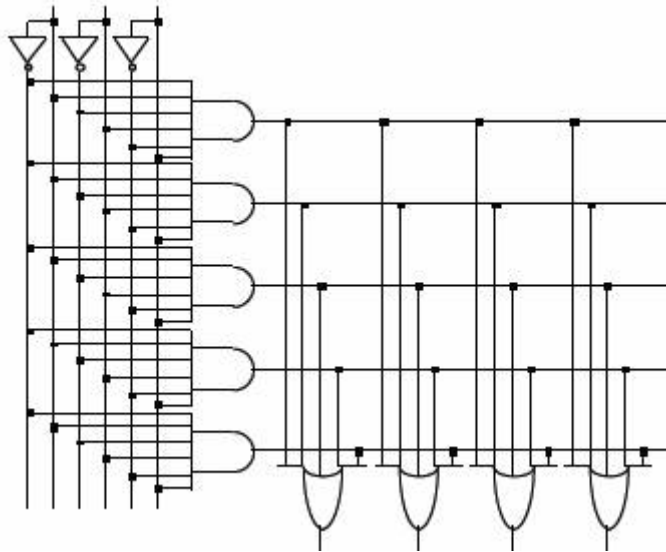
Programozható logikai áramkörök

# Logikai építő elemek csoportosítása



- Kombinációs hálózat memória áramkörből (láttuk, 2. előadás...)
- PLA - Programmable Logic Array
- PAL - Programmable Array Logic
- GAL - Gate Array Logic
- CPLD - Complex Programmable Logic Device
- FPGA - Field-Programmable Gate Array
- (ASIC - Application-Specific Integrated Circuit)

- Programozható AND és OR struktúra
- Huzalozott AND és OR kapcsolat



$$F_1 = ABC$$

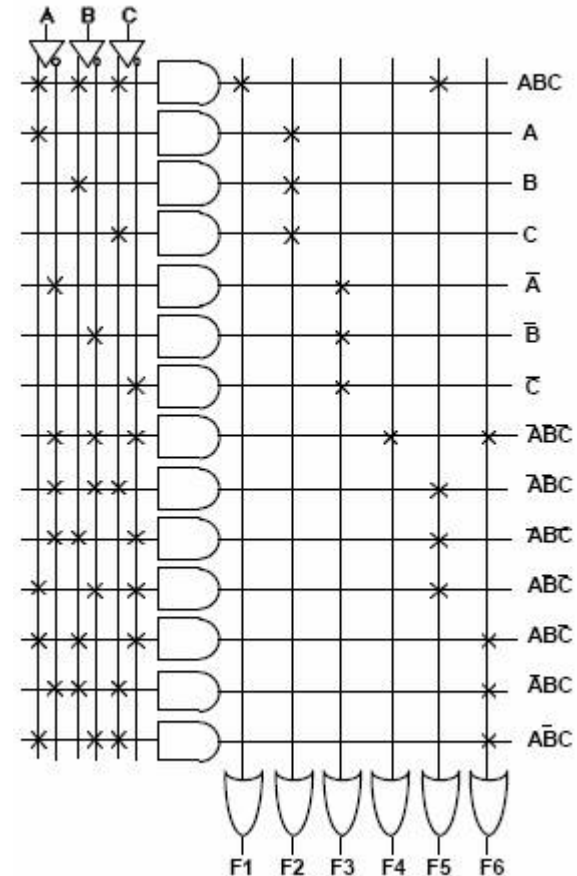
$$F_2 = A + B + C$$

$$F_3 = \bar{A} + \bar{B} + \bar{C}$$

$$F_4 = \bar{A}\bar{B}\bar{C}$$

$$F_5 = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$F_6 = AB\bar{C} + \bar{A}BC + A\bar{B}C$$



- Típus azonosítás: PAL bb t kk

bb: bemenetek száma

t: kimenetek típusa:

H- aktív magas

L-aktív alacsony

P-programozható polaritású kimenet

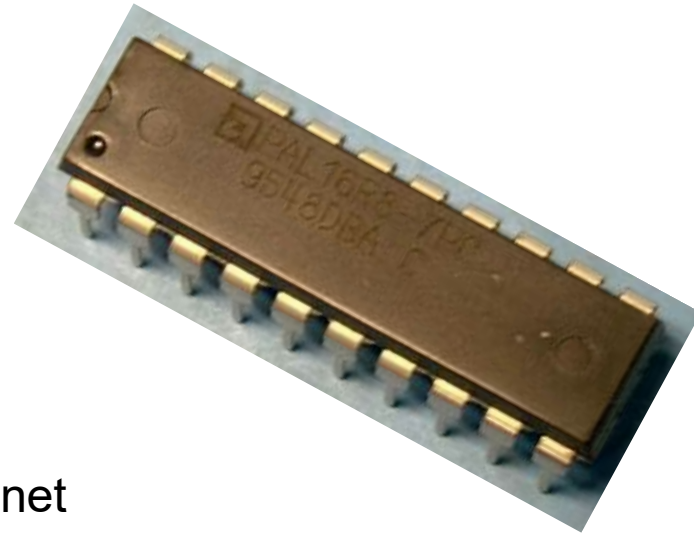
C-komplemens kimenet

R-regiszteres kimenet

RP-regiszteres+programozható kimenet

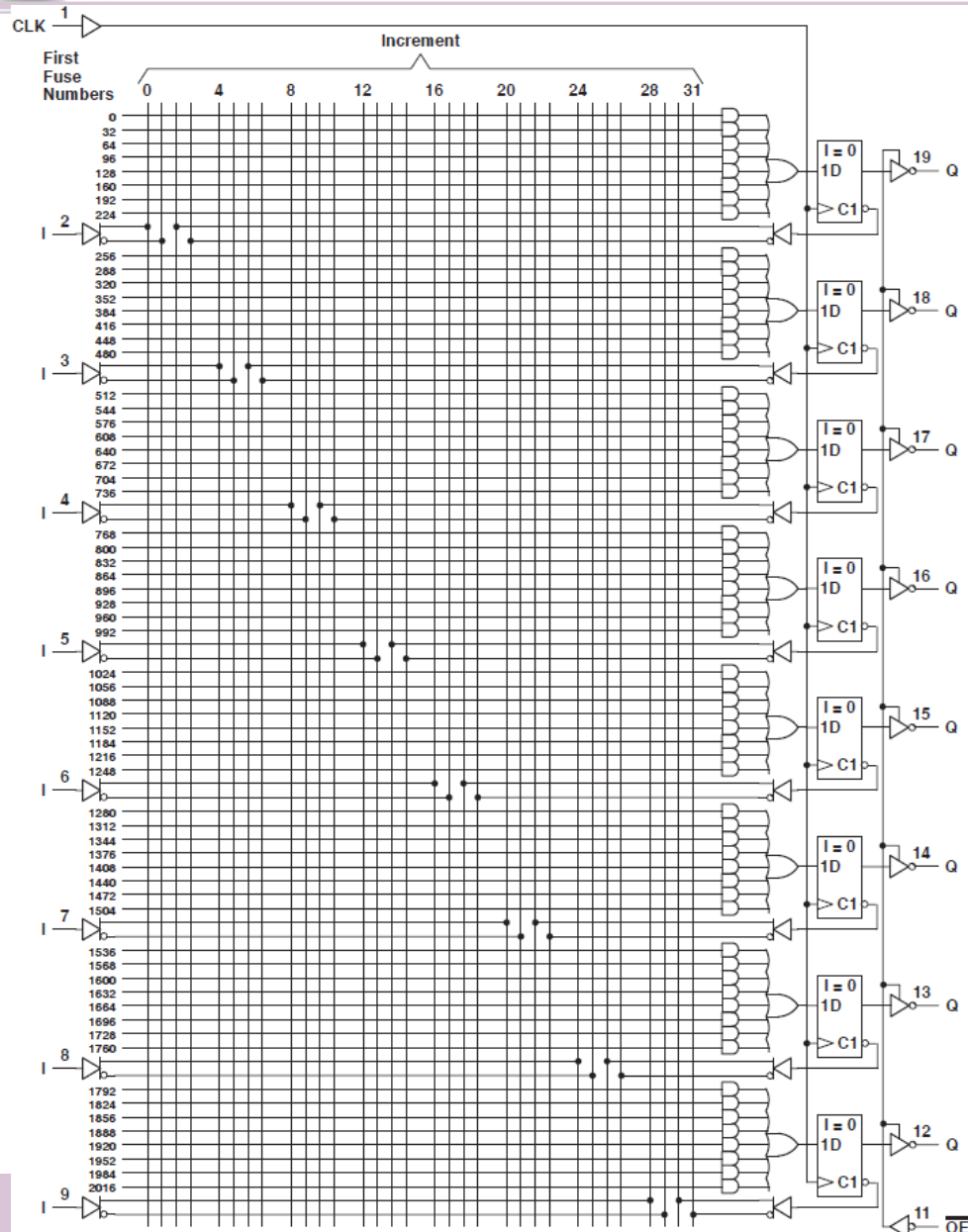
kk: kimenetek száma

Pl.: PAL16R8

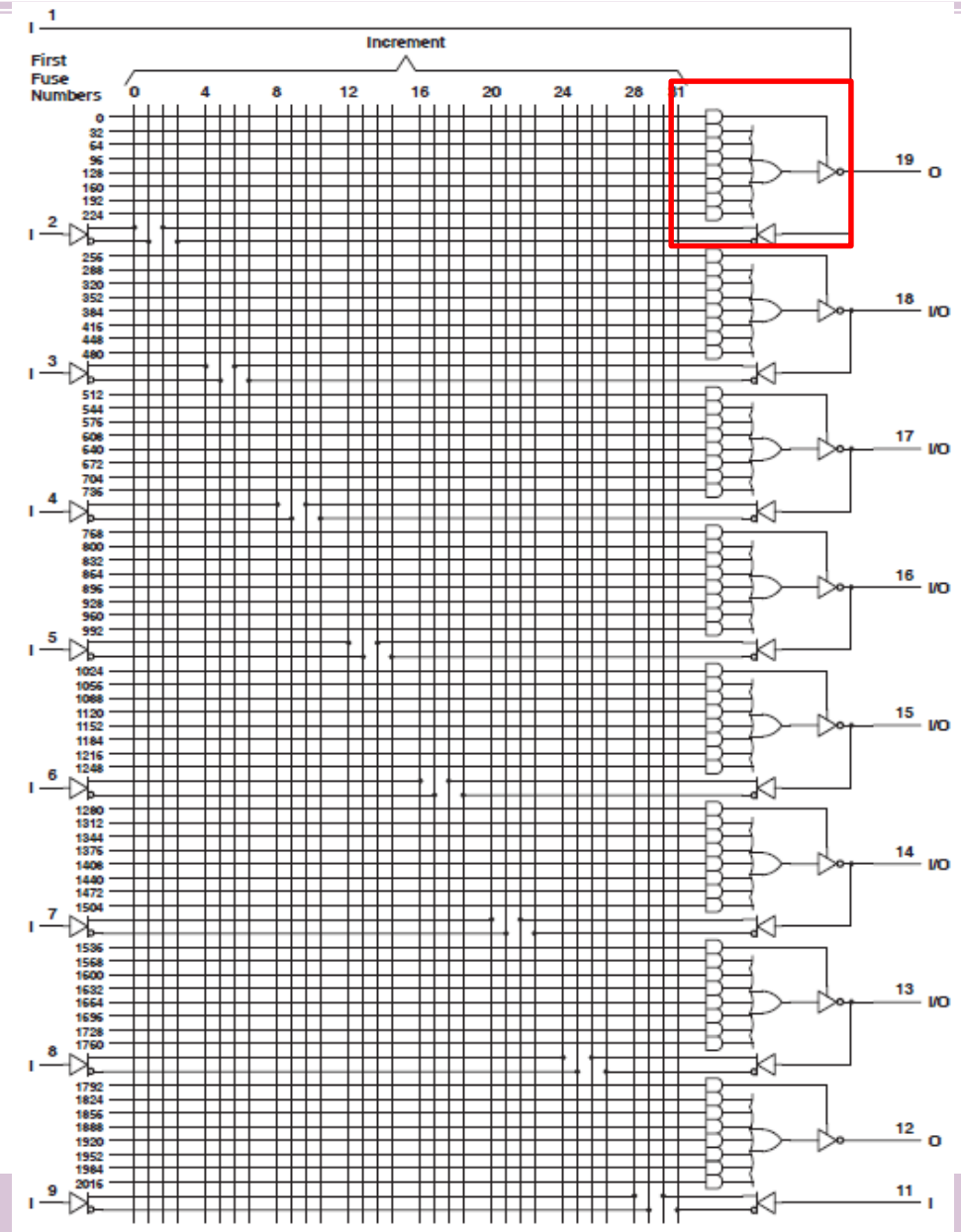


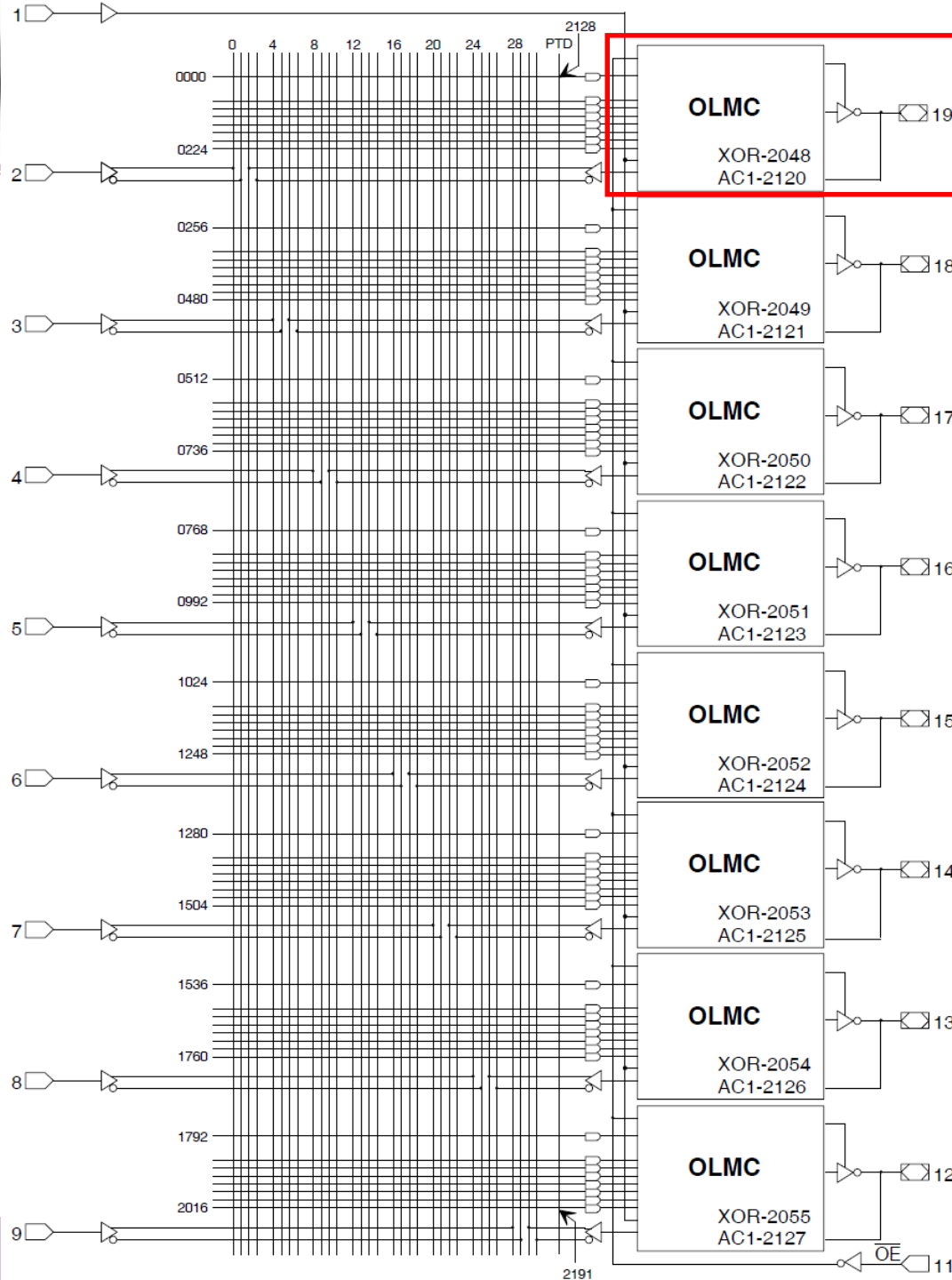
- Két szintű kombinációs hálózat (VAGY szint nem változtatható)
- +Opcionális regiszter (flip-flop) a kimeneteken (típus függő)
- Regiszter kimenet visszacsatolható → sorrendi hálózat
- Bemeneti és kimeneti jelek ponált- és negált értékei logikai változóként felhasználhatók
- Diszjunktív függvényalak
- Közös órajel vezetékek (regiszteres típusnál → szinkron sorrendi hálózat)
- Közös kimenet engedélyezés

# PAL16R8



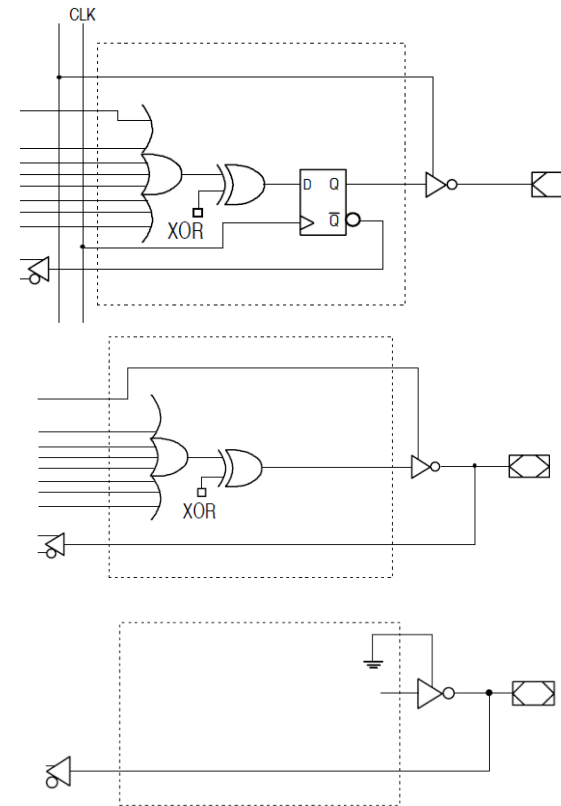
# PAL16L8





# GAL16V8

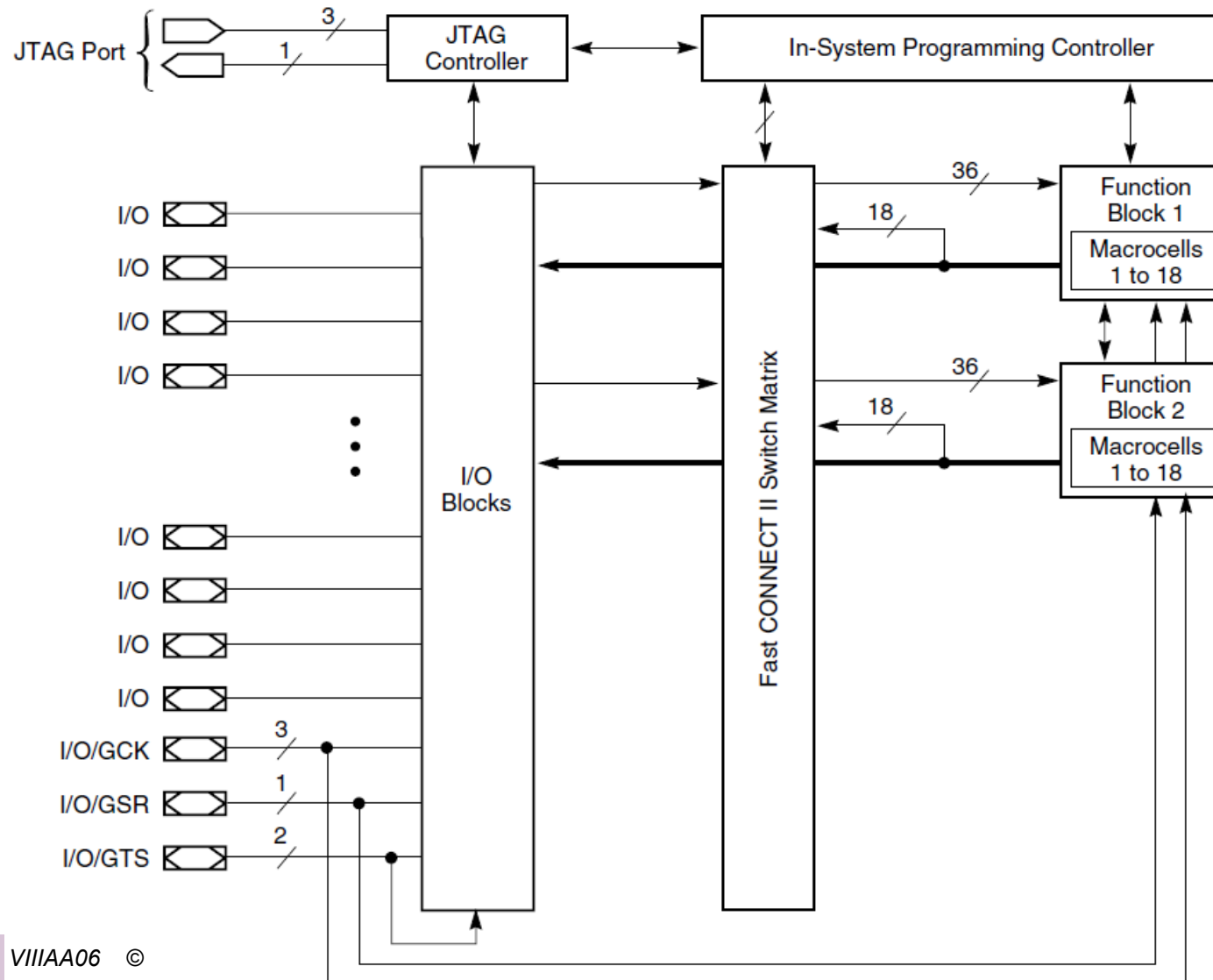
- Makrocellás PAL
- OLMC: Output Logic MacroCell
- Programozáskor választható cella struktúrák:



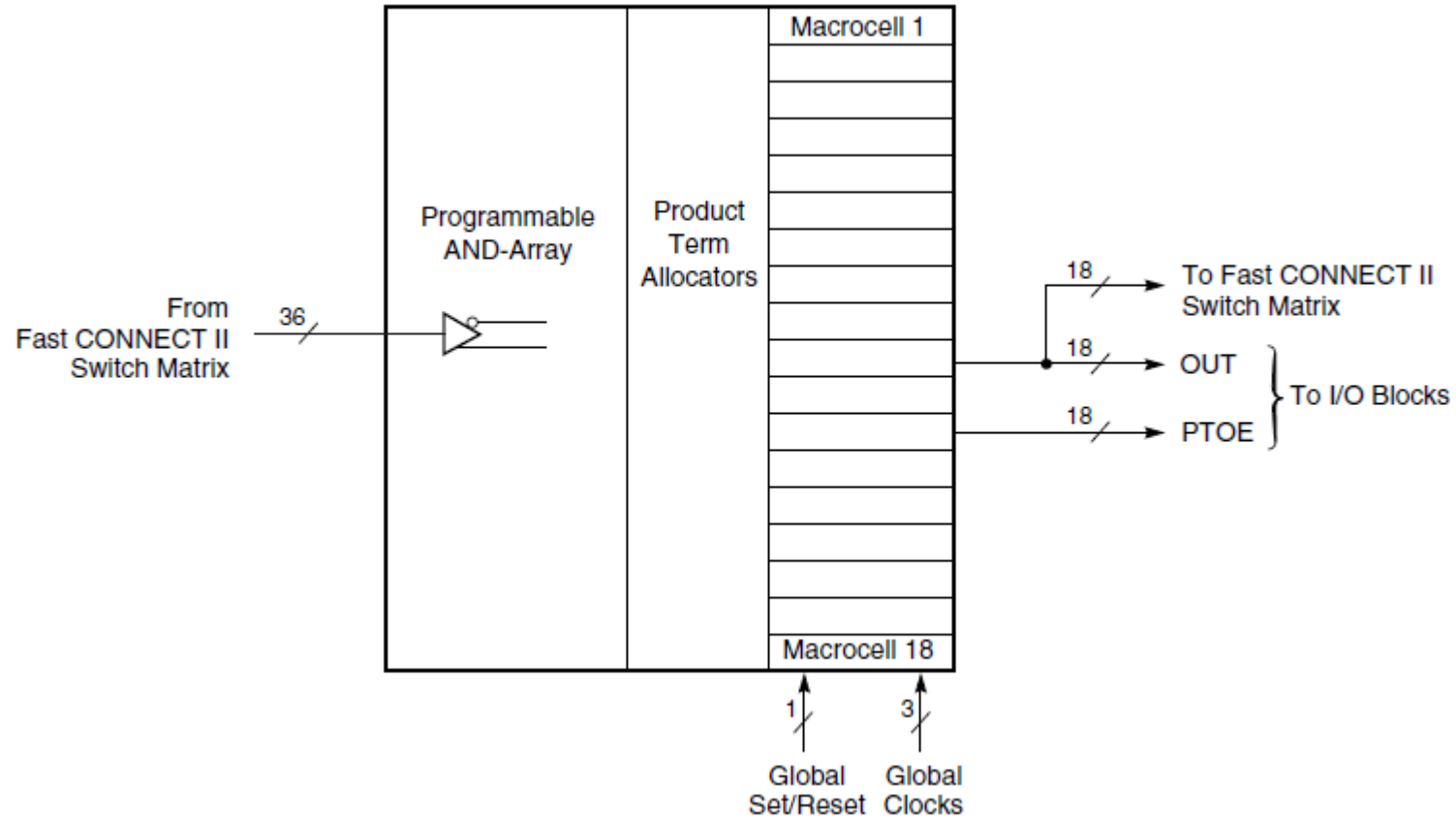


- Makrocellák (korlátozott számban)
- Belső huzalozás
- I/O blokkok
  
- Konfigurálhatóság  
(szabványos leíró nyelvek segítségével)
- Áramkörön belül programozható
- FLASH vagy EEPROM konfigurációs memória

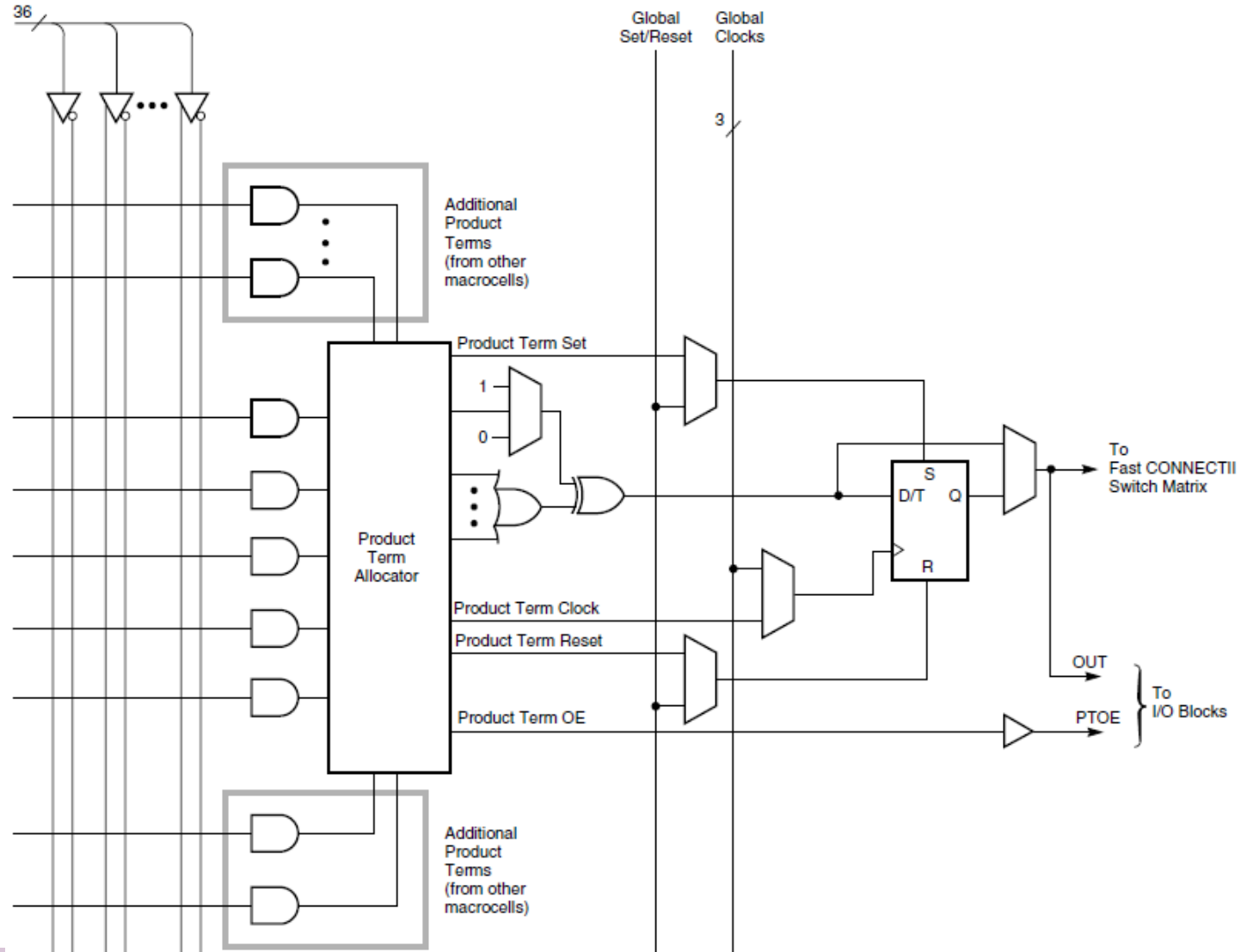
# CPLD – XC9536 – belső felépítés



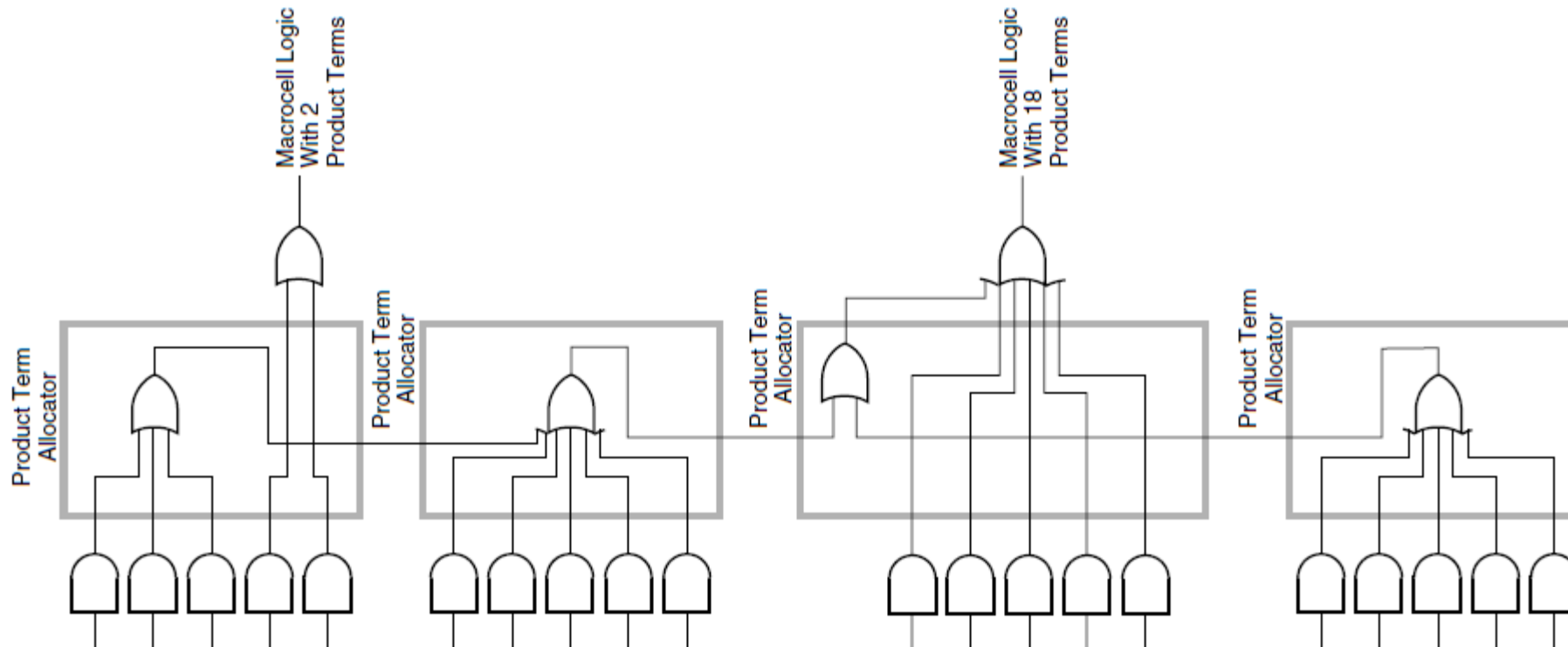
# Funkció blokk



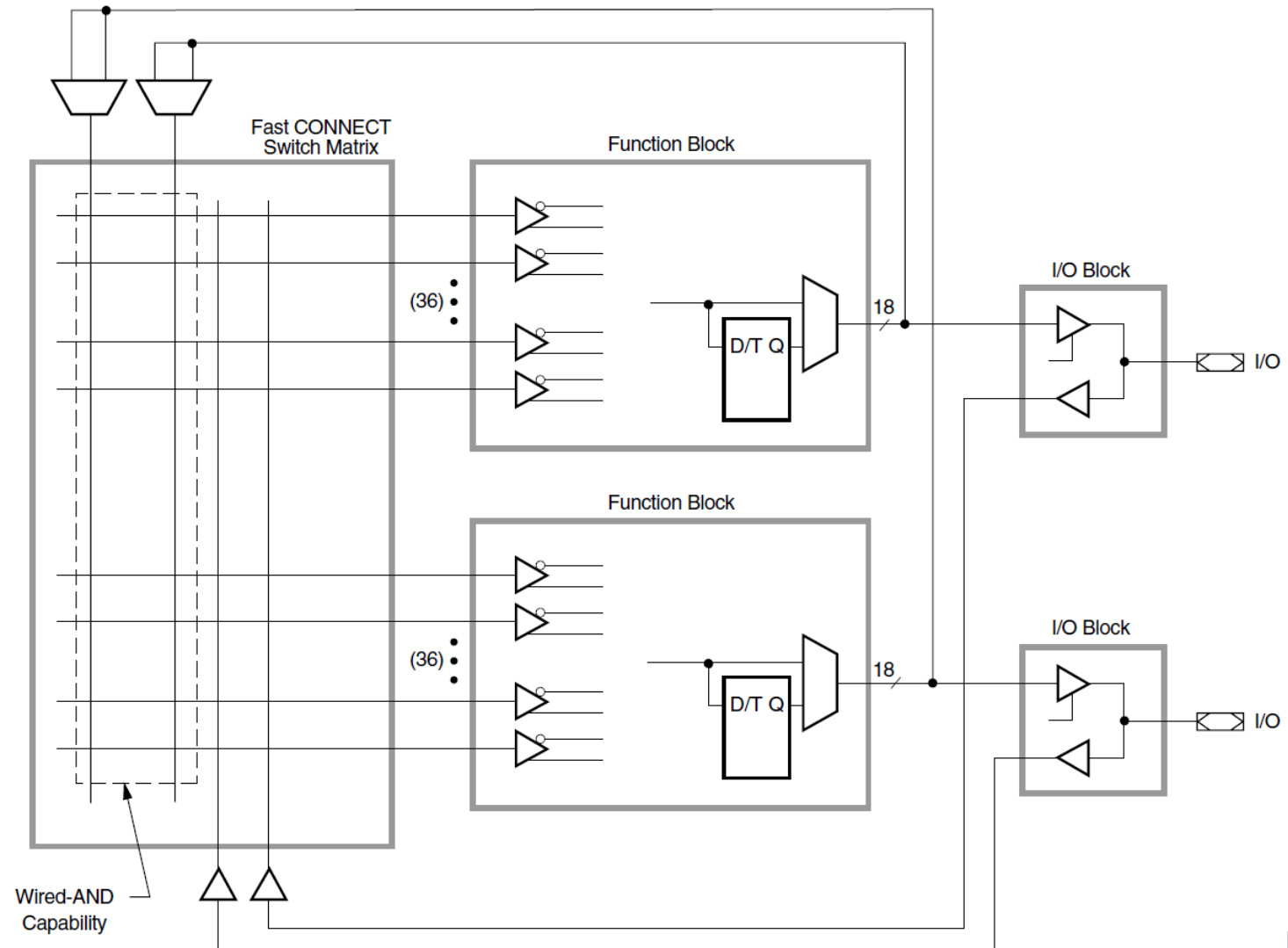
# Makrocella

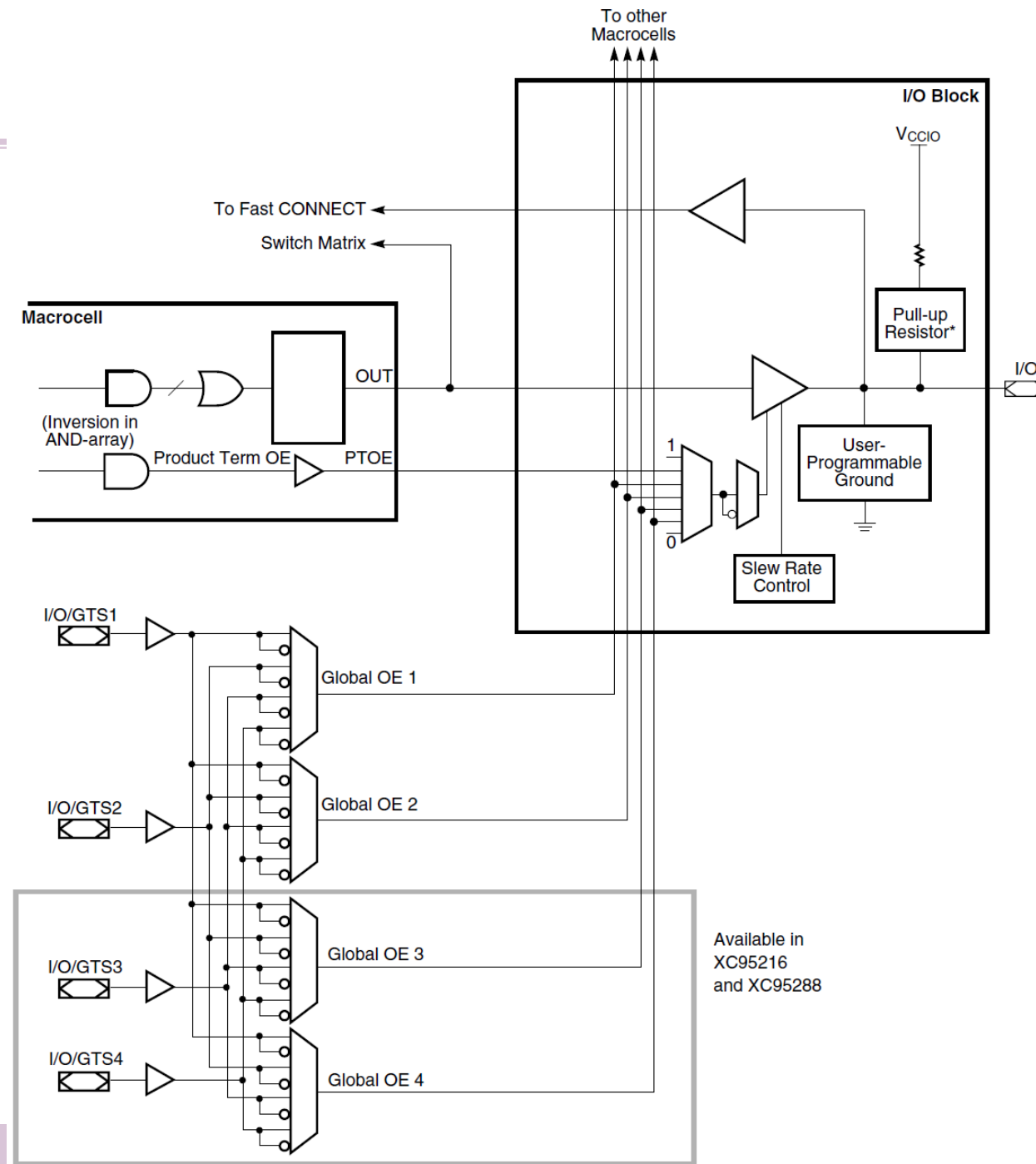


# Szorzatok összekapcsolása



# Belső összeköttetések





	<b>XC9536</b>	<b>XC9572</b>	<b>XC95108</b>	<b>XC95144</b>	<b>XC95216</b>	<b>XC95288</b>
Macrocells	36	72	108	144	216	288
Usable Gates	800	1,600	2,400	3,200	4,800	6,400
Registers	36	72	108	144	216	288
T <sub>PD</sub> (ns)	5	7.5	7.5	7.5	10	15
T <sub>SU</sub> (ns)	3.5	4.5	4.5	4.5	6.0	8.0
T <sub>CO</sub> (ns)	4.0	4.5	4.5	4.5	6.0	8.0
f <sub>CNT</sub> (MHz) <sup>(1)</sup>	100	125	125	125	111.1	92.2
f <sub>SYSTEM</sub> (MHz) <sup>(2)</sup>	100	83.3	83.3	83.3	66.7	56.6

1. f<sub>CNT</sub> = Operating frequency for 16-bit counters.

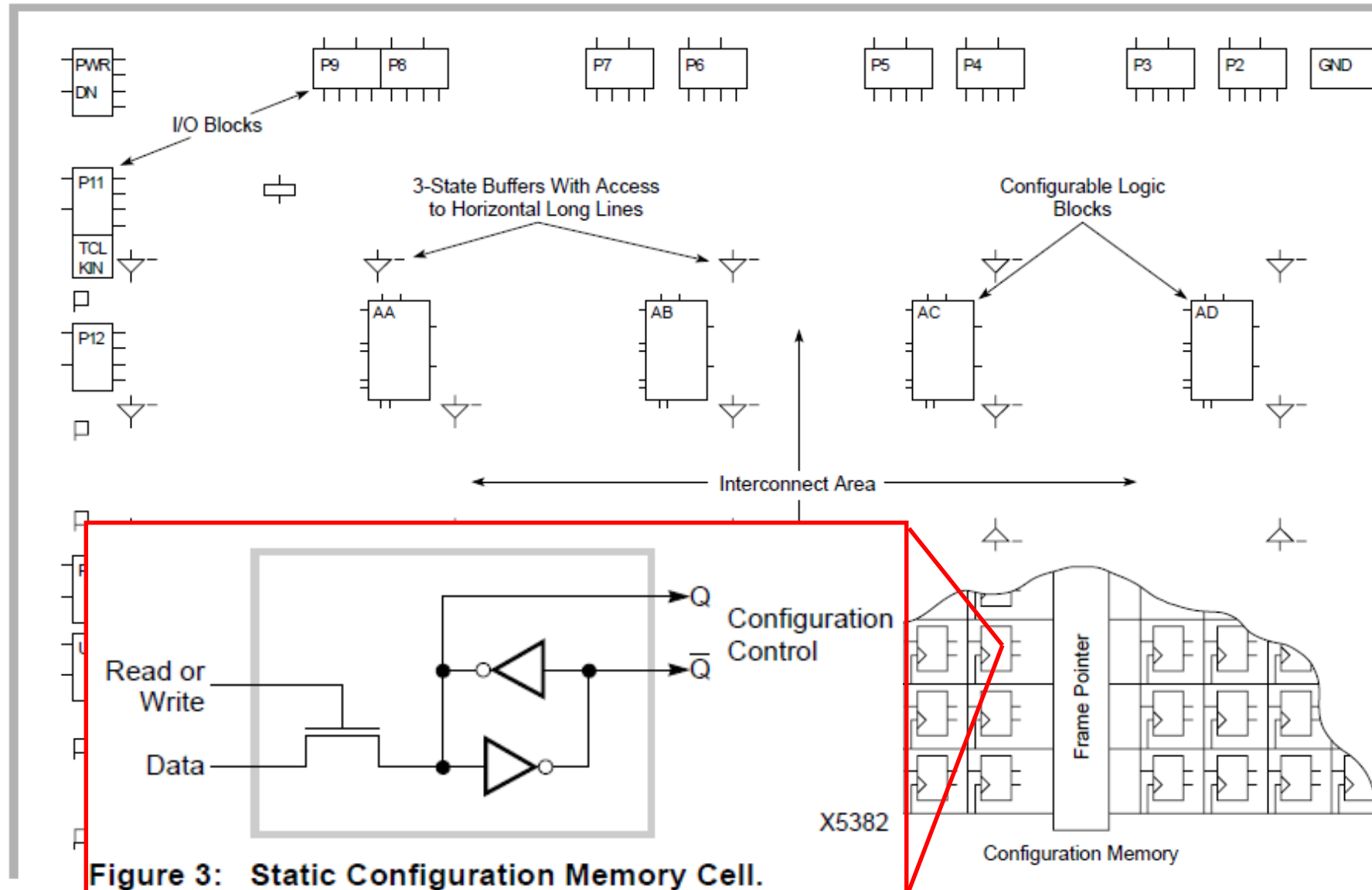
2. f<sub>SYSTEM</sub> = Internal operating frequency for general purpose system designs spanning multiple FBs.



- Nagyobb komplexitás
- Konfigurálhatóság
  - OTP (egyszer írható, One Time Programmable)
  - FLASH
  - SRAM (külső memóriából indul)
- Szimmetrikus belső struktúrák
- Példa:



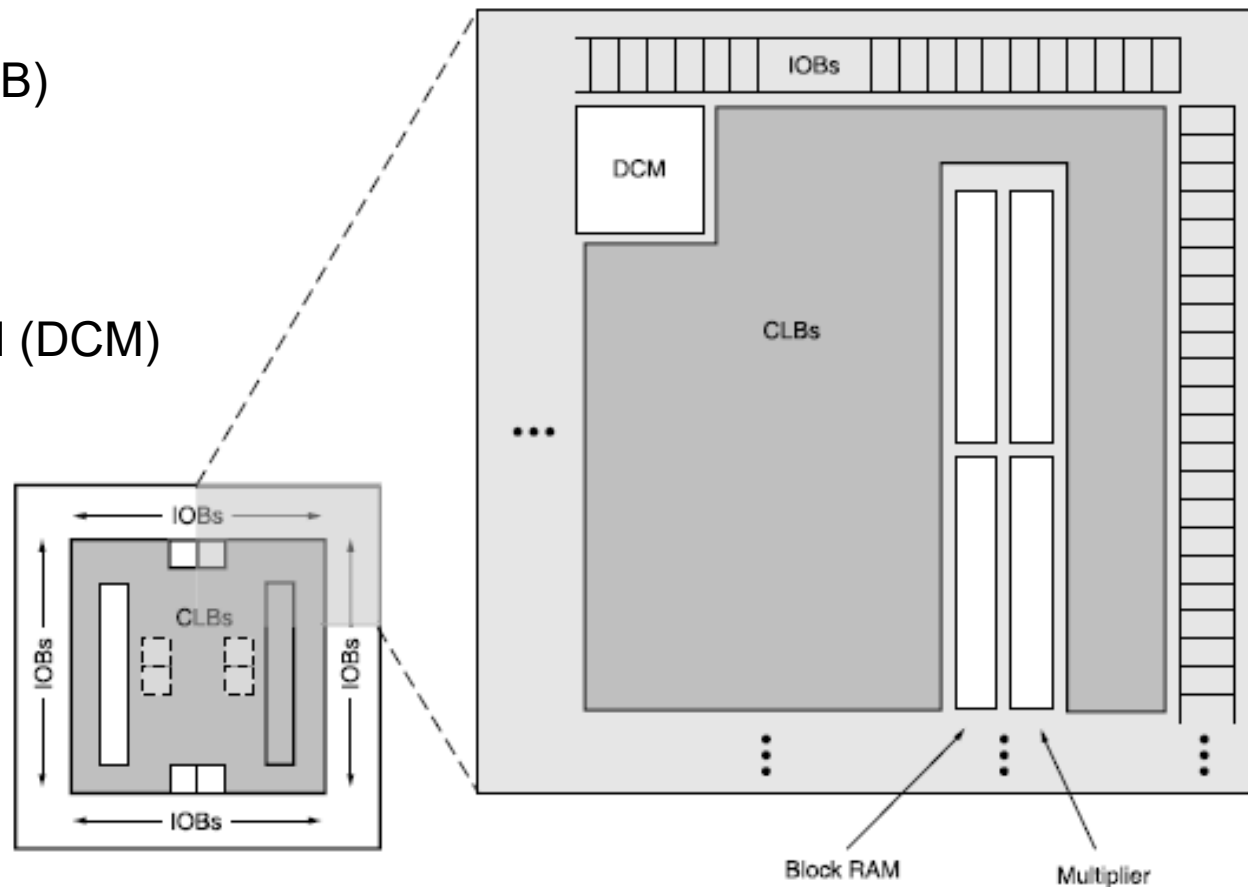
# SRAM alapú konfiguráció (XC3000)



# Belső felépítés (XILINX SPARTAN3E)

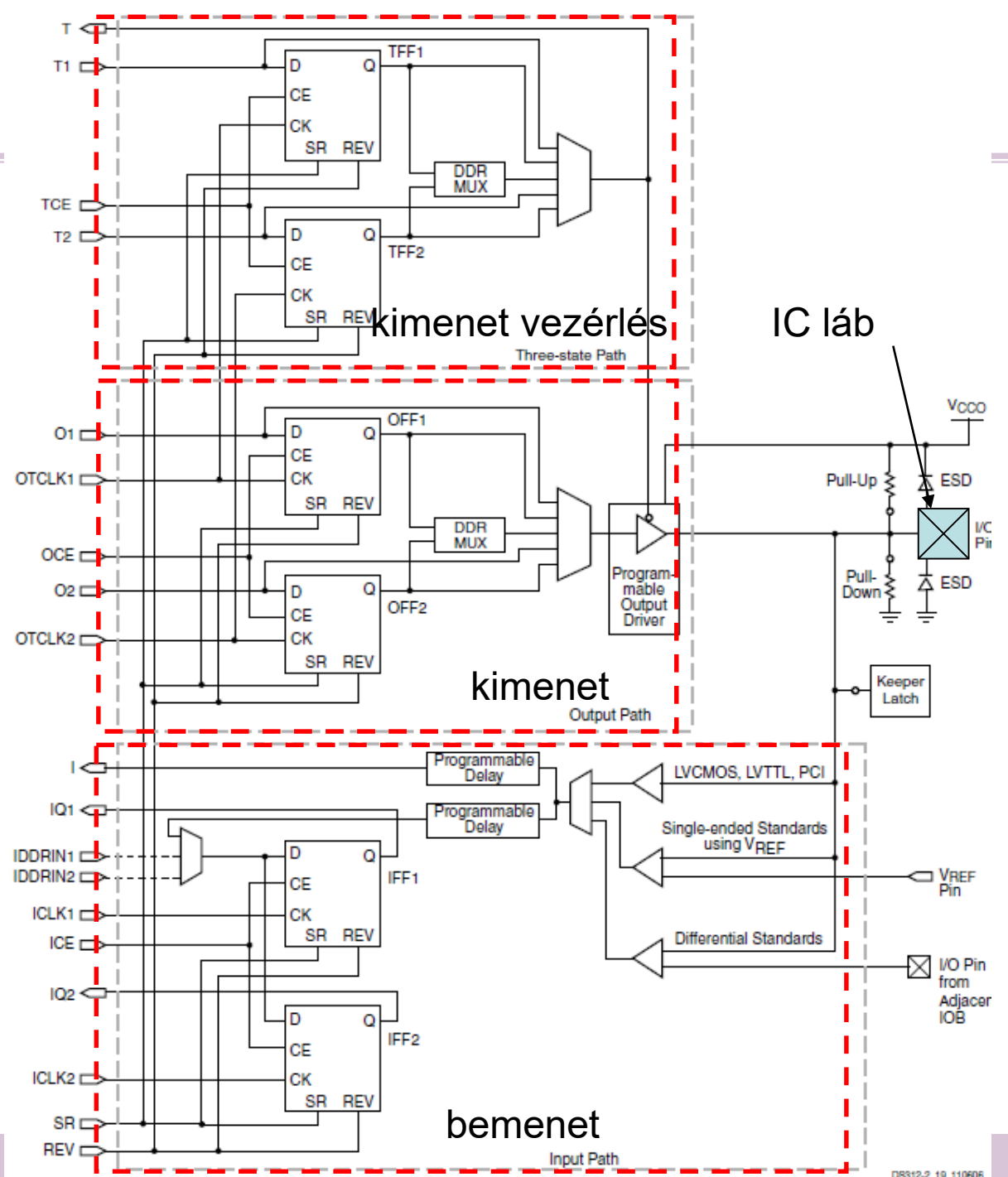
Funkcionális blokkok egyenletesen elosztva

- I/O blokkok (IOB)
- Logikai blokkok (CLB)
- Blokk RAM
- Szorzó
- Órajel kezelő modul (DCM)
- Belső huzalozás

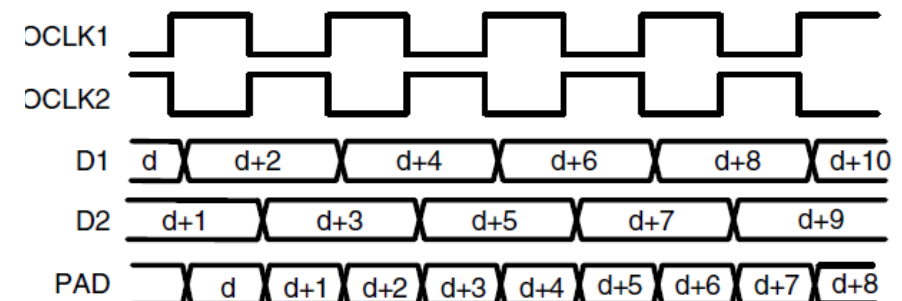
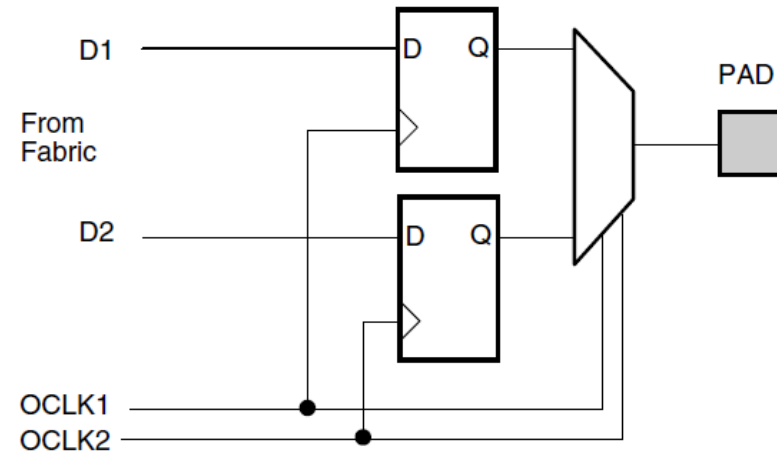
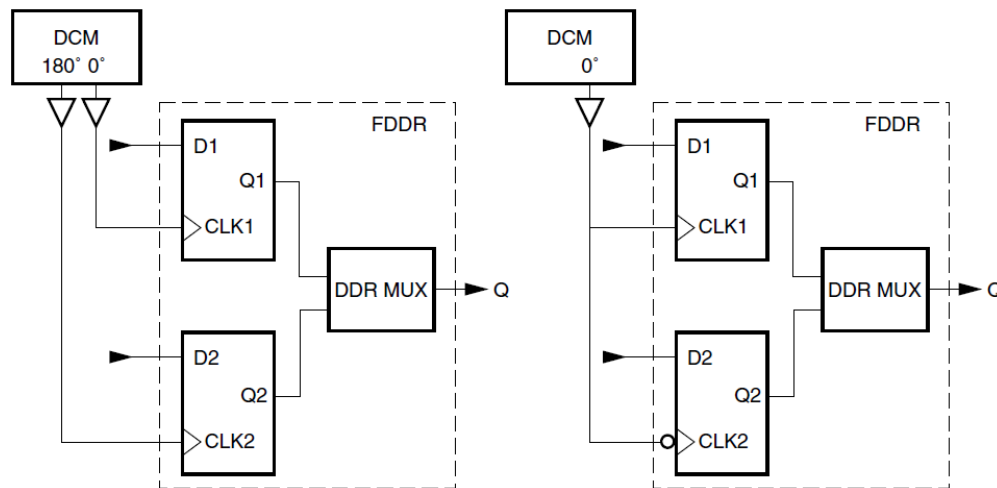


- **Áramterhelhetőség biztosítása IC-lábakhoz**
- **Többféle logikai rendszer és feszültség szint kezelése**
- **Regiszter a kimenet értékének tárolására**
- **Három állapotú meghajtás biztosítása**
- **Bemeneti zavarvédelem (pl.: ESD)**
- **Külső feszültség szint illesztése a belső logikához**
- **Bemenet értékének mintavételezése**
- DDR adatátvitel támogatása
- Korlátozható jelfelfutási meredekség
- Bemenet programozható késleltetése  
(jelek együttfutásának biztosításához)
- Programozható fel- és lehúzó ellenállások
- Programozható tartó áramkör
- Szimmetrikus/aszimmetrikus jelek kezelése, lezárása

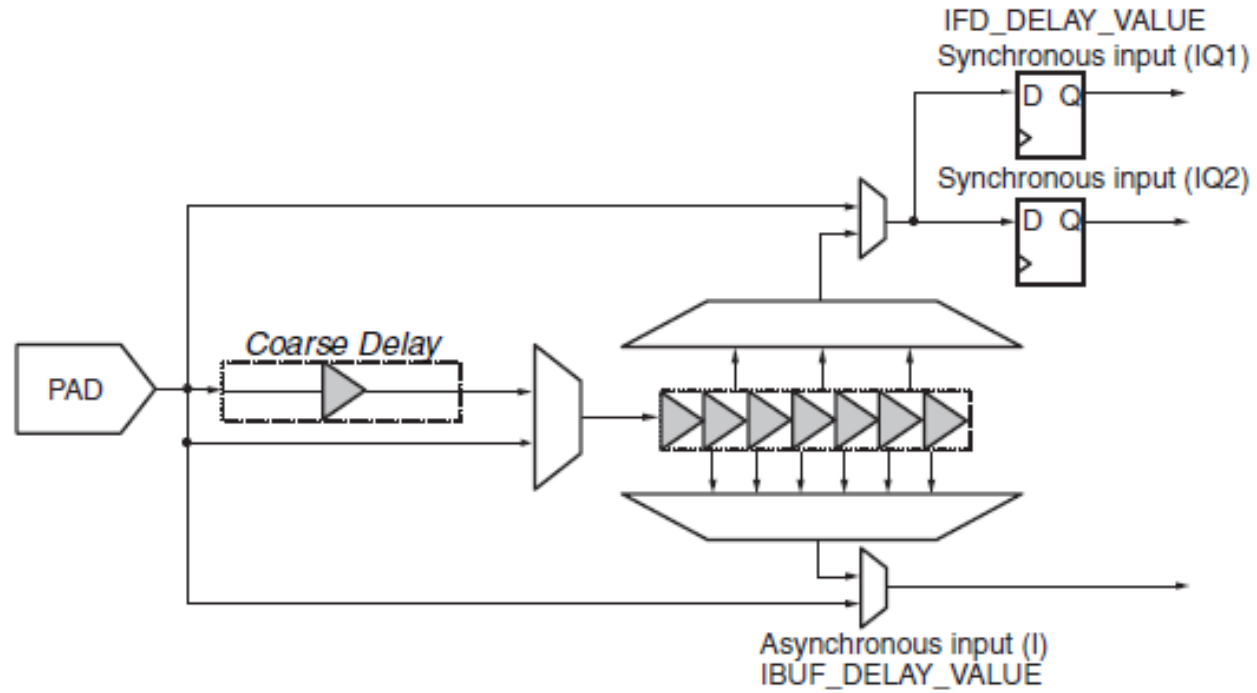
# iit IOB felépítése



# DDR (Double Data Rate) adattovábbítás



# Programozható bemeneti késleltető



# Aszimmetrikus kimeneti feszültség szintek

Single-Ended IOSTANDARD	V <sub>CCO</sub> Supply/Compatibility					Input Requirements	
	1.2V	1.5V	1.8V	2.5V	3.3V	V <sub>REF</sub>	Board Termination Voltage (V <sub>TT</sub> )
LVTTL	-	-	-	-	Input/Output	N/R <sup>(1)</sup>	N/R
LVC MOS33	-	-	-	-	Input/Output	N/R	N/R
LVC MOS25	-	-	-	Input/Output	Input	N/R	N/R
LVC MOS18	-	-	Input/Output	Input	Input	N/R	N/R
LVC MOS15	-	Input/Output	Input	Input	Input	N/R	N/R
LVC MOS12	Input/Output	Input	Input	Input	Input	N/R	N/R
PCI33_3	-	-	-	-	Input/Output	N/R	N/R
PCI66_3	-	-	-	-	Input/Output	N/R	N/R
HSTL_I_18	-	-	Input/Output	Input	Input	0.9	0.9
HSTL_III_18	-	-	Input/Output	Input	Input	1.1	1.8
SSTL18_I	-	-	Input/Output	Input	Input	0.9	0.9
SSTL2_I	-	-	-	Input/Output	Input	1.25	1.25



# Szimmetrikus feszültség szintek

Differential IOSTANDARD	V <sub>cco</sub> Supply		
	1.8V	2.5V	3.3V
LVDS_25	Input	Input, On-chip Differential Termination, Output	Input
RSDS_25	Input	Input, On-chip Differential Termination, Output	Input
MINI_LVDS_25	Input	Input, On-chip Differential Termination, Output	Input
LVPECL_25	Input	Input	Input
BLVDS_25	Input	Input, Output	Input
DIFF_HSTL_I_18	Input, Output	Input	Input
DIFF_HSTL_III_18	Input, Output	Input	Input
DIFF_SSTL18_I	Input, Output	Input	Input
DIFF_SSTL2_I	Input	Input, Output	Input

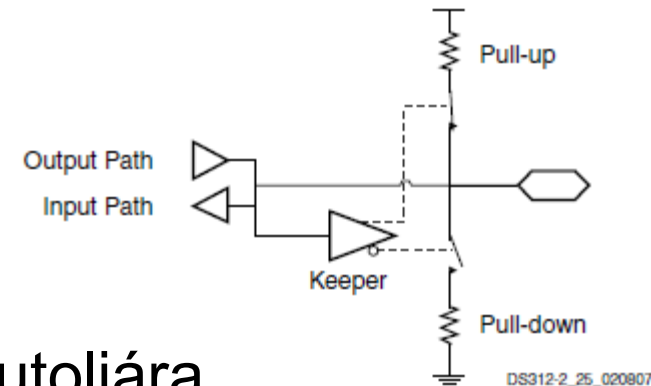
  

Input Requirements: V <sub>REF</sub>	Differential Bank Restriction <sup>(1)</sup>
V <sub>REF</sub> is not used for these I/O standards	Applies to Outputs Only
	Applies to Outputs Only
	Applies to Outputs Only
	No Differential Bank Restriction (other I/O bank restrictions might apply)

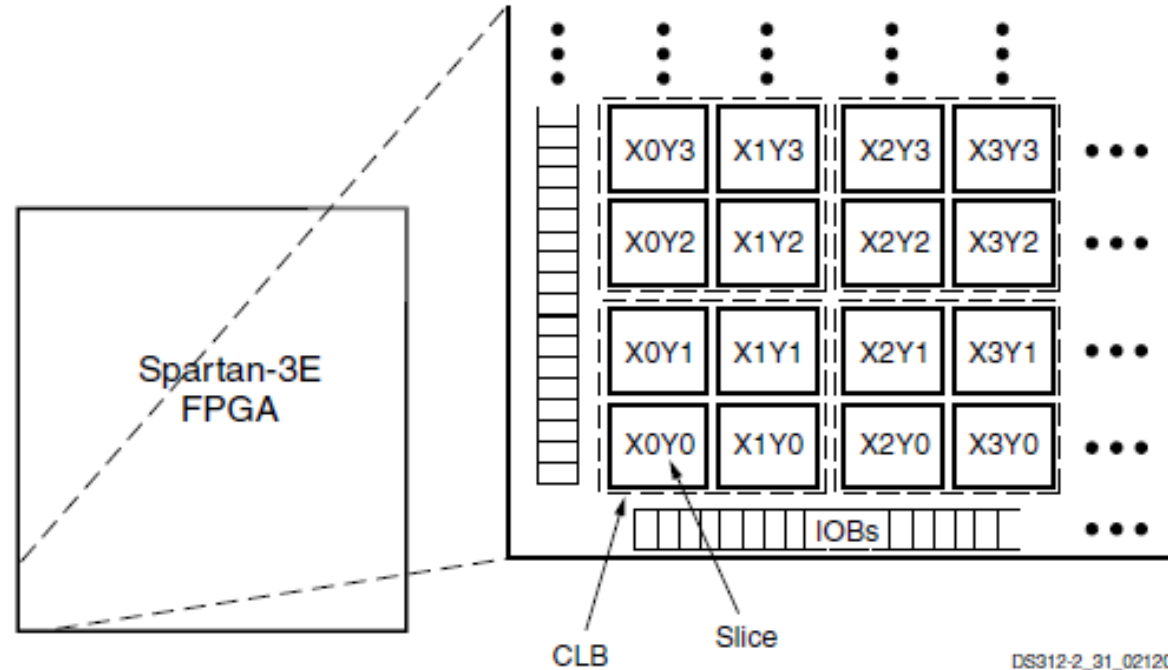
# Tartó áramkör

- felhúzó ellenállás
- lehúzó ellenállás

- Tartó üzemmód:  
a nagyimpedanciás vonalon utoljára  
továbbított szintet „őrzi”  
→ „lebegés” megakadályozása



# CLB (Configurable Logic Block) felépítése

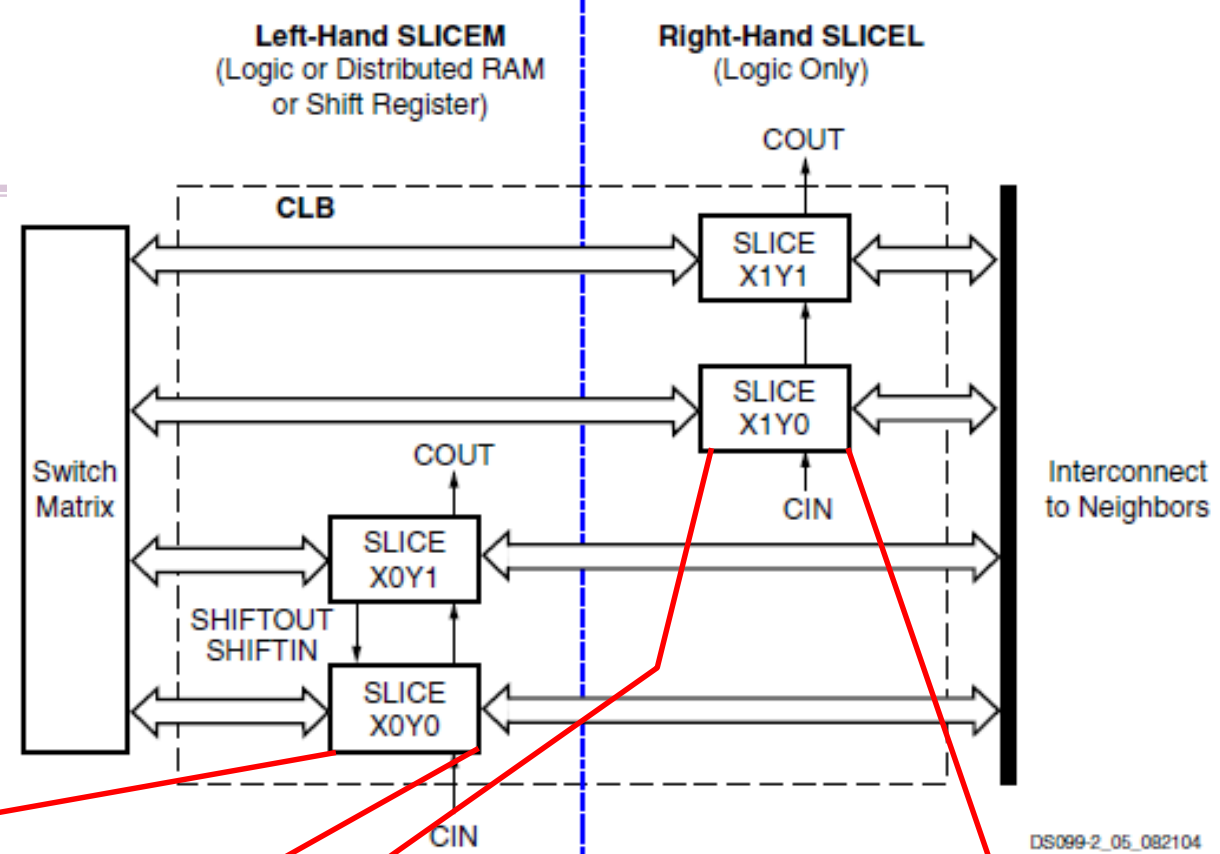


DS312-2\_31\_021205

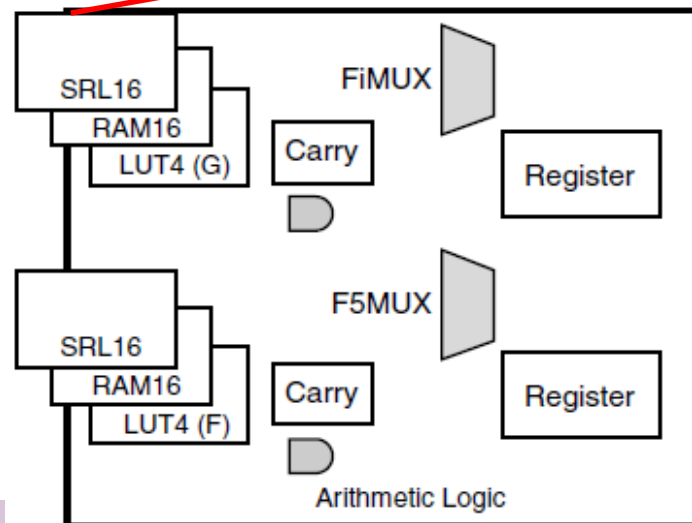
Device	CLB Rows	CLB Columns	CLB Total <sup>(1)</sup>	Slices	LUTs / Flip-Flops	Equivalent Logic Cells	RAM16 / SRL16	Distributed RAM Bits
XC3S100E	22	16	240	960	1,920	2,160	960	15,360
XC3S250E	34	26	612	2,448	4,896	5,508	2,448	39,168
XC3S500E	46	34	1,164	4,656	9,312	10,476	4,656	74,496
XC3S1200E	60	46	2,168	8,672	17,344	19,512	8,672	138,752
XC3S1600E	76	58	3,688	14,752	29,504	33,192	14,752	236,032

# SLICE

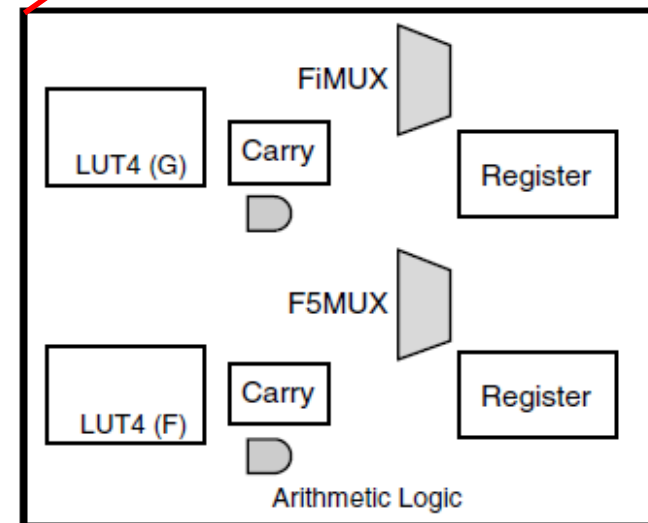
- 1 CLB 4db SLICE
- 2 bal oldali és két jobb oldali
- Eltérő felépítés
- 1 slice:
  - 2db LUT
  - 2db regiszter
  - 2db MUX
  - Átvitel logika



DS099-2\_05\_082104



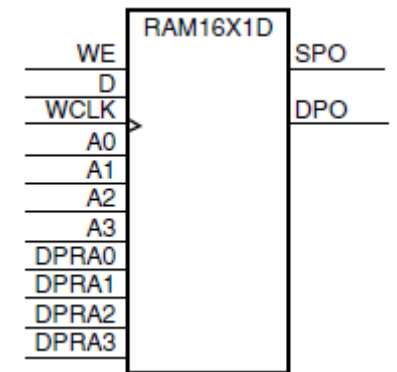
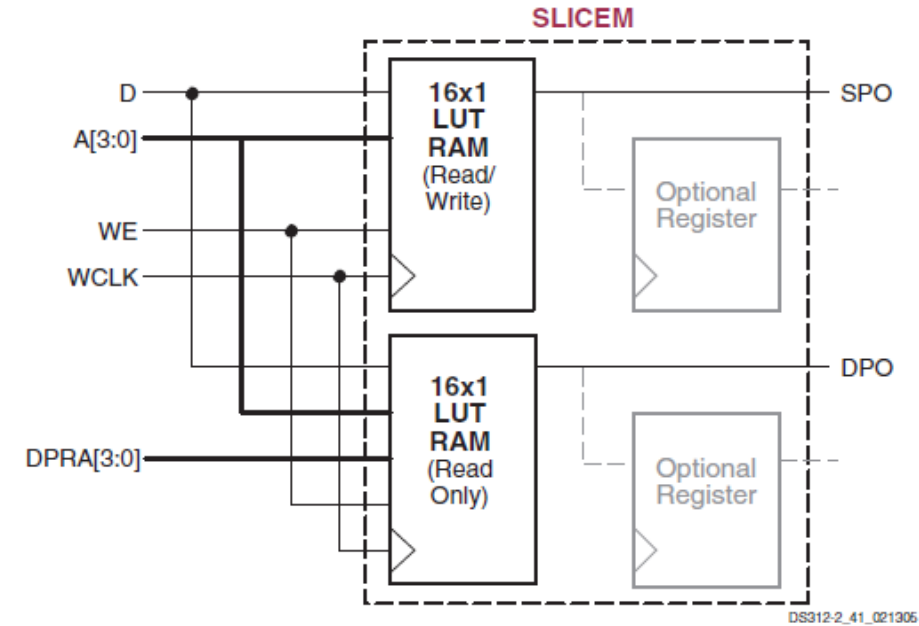
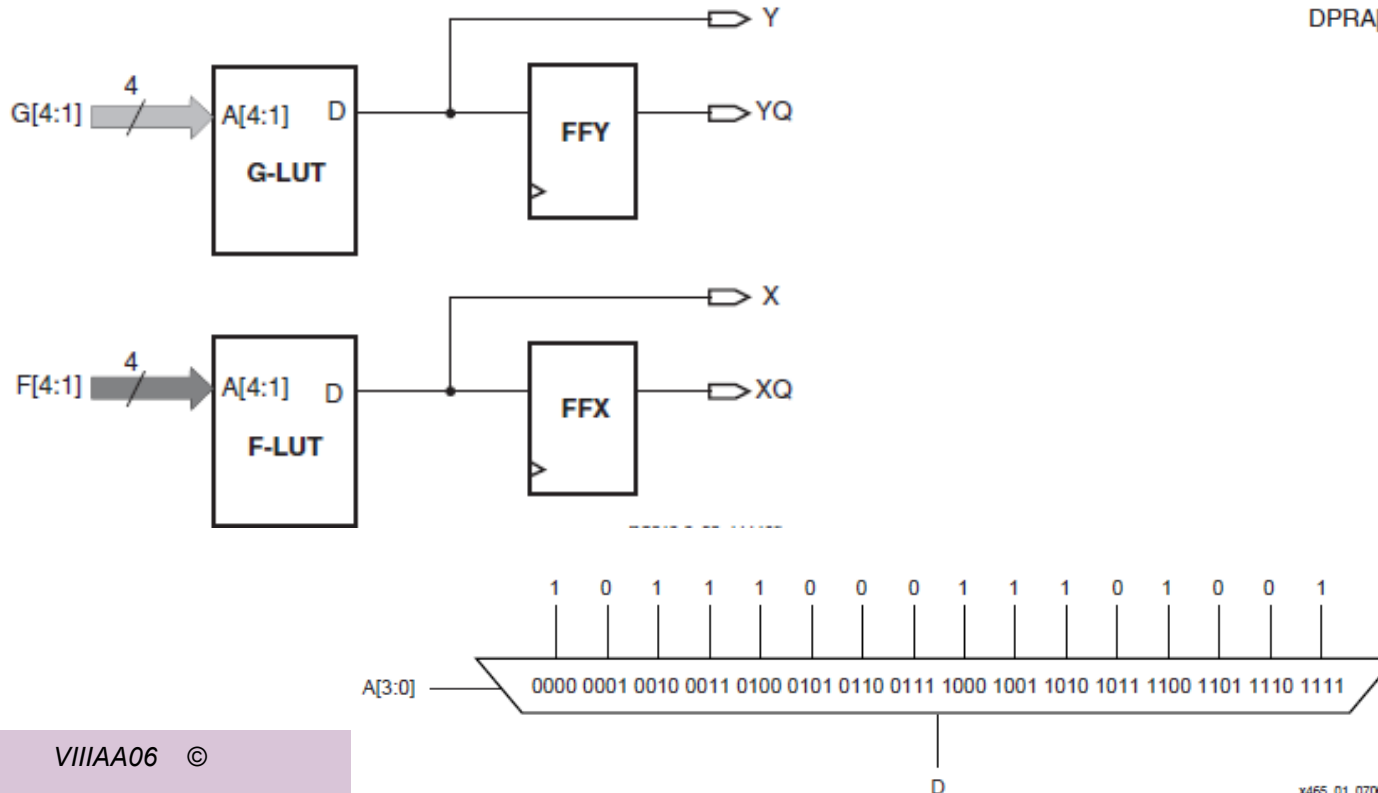
SLICEM

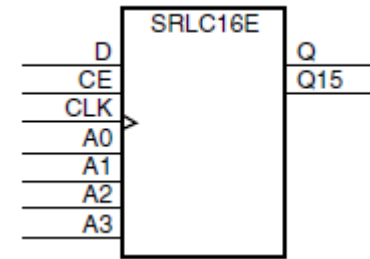


SLICEL

# LUT (Look Up Table)

- Kombinációs hálózat kialakítása (igazságtábla megadása)
- 16 bites RAM, ROM, léptető regiszter
- 4 bemenet, 1 kimenet
- Multiplexer segítségével több kimenet is össze kapuzható → bővítés (2db 4 bemenetű vagy 1db 5 bemenetű kombinációs hálózat)
- dualport memóriaként is használható (distributed RAM)
- 2db regiszterrel sorrendi hálózat is kialakítható (max. 4 állapot)

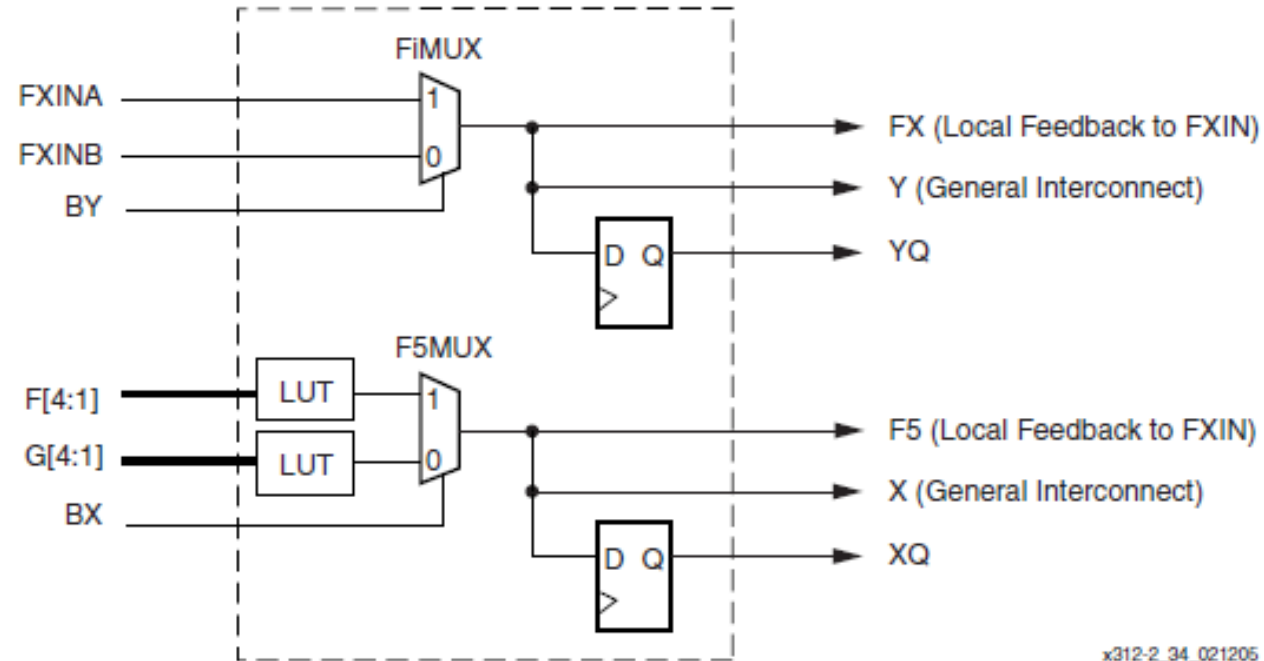




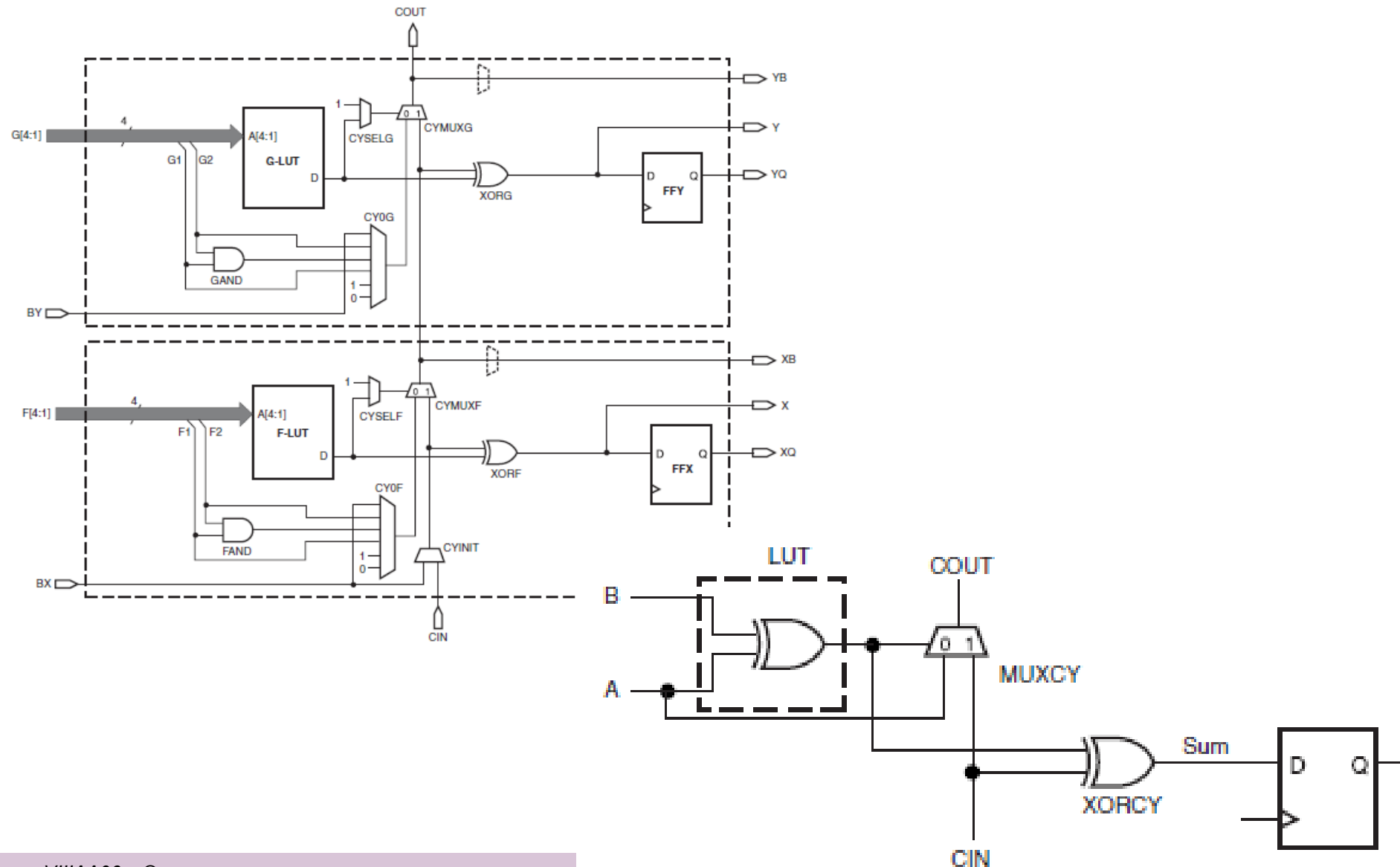
Inputs				Outputs	
Am	CLK	CE	D	Q	Q15
Am	X	0	X	Q[Am]	Q[15]
Am	↑	1	D	Q[Am-1]	Q[15]

1.  $m = 0, 1, 2, 3.$

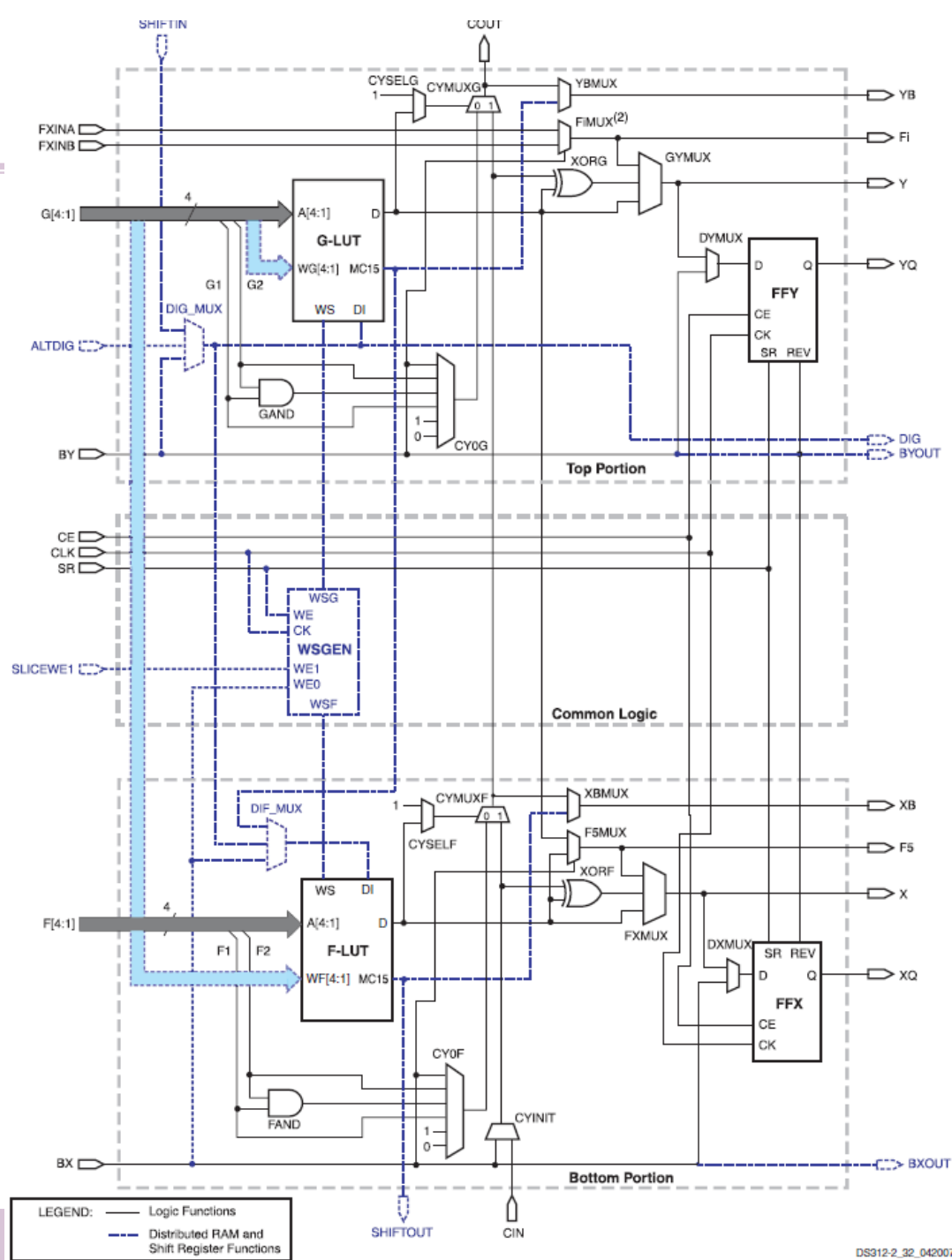
# Multiplexer



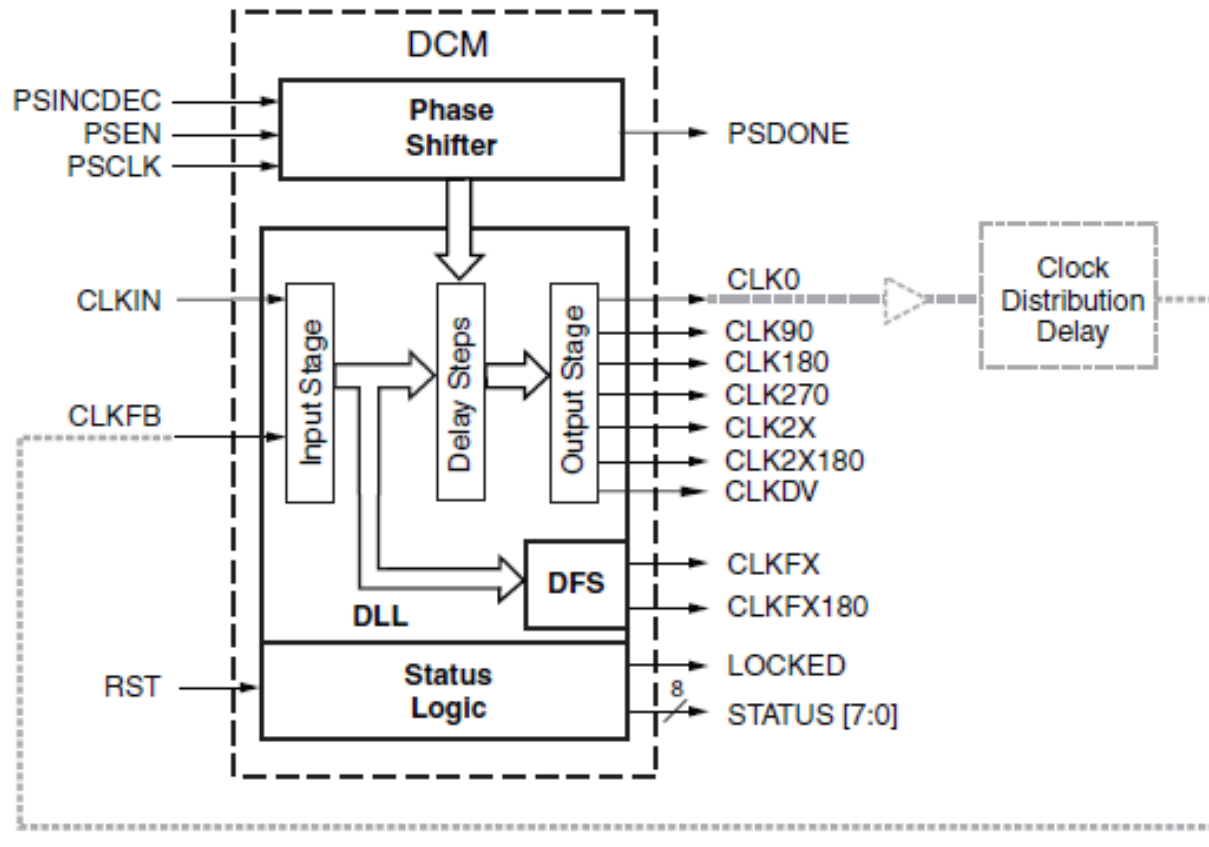
# Átvitel logika







# DCM (Digital Clock Manager) felépítése



Bejövő órajel:  
CLKIN

Órajel szorzás:

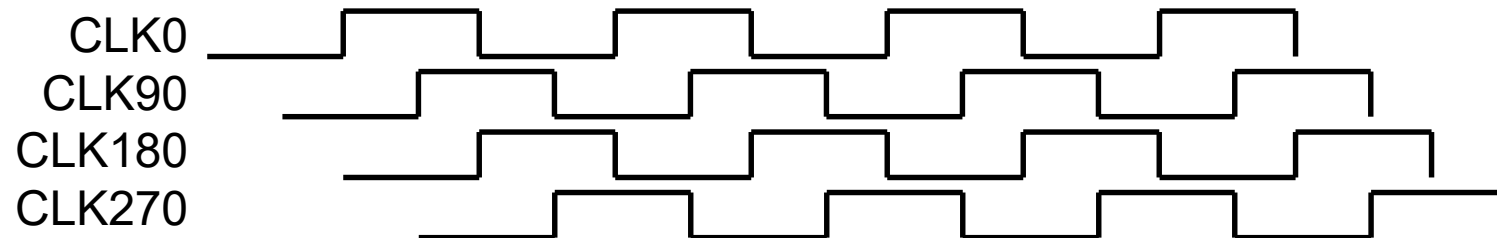
$$CLKFX = \frac{M}{D} \cdot CLKIN$$

$M=\{2,\dots,32\}; D=\{1,\dots,32\}$

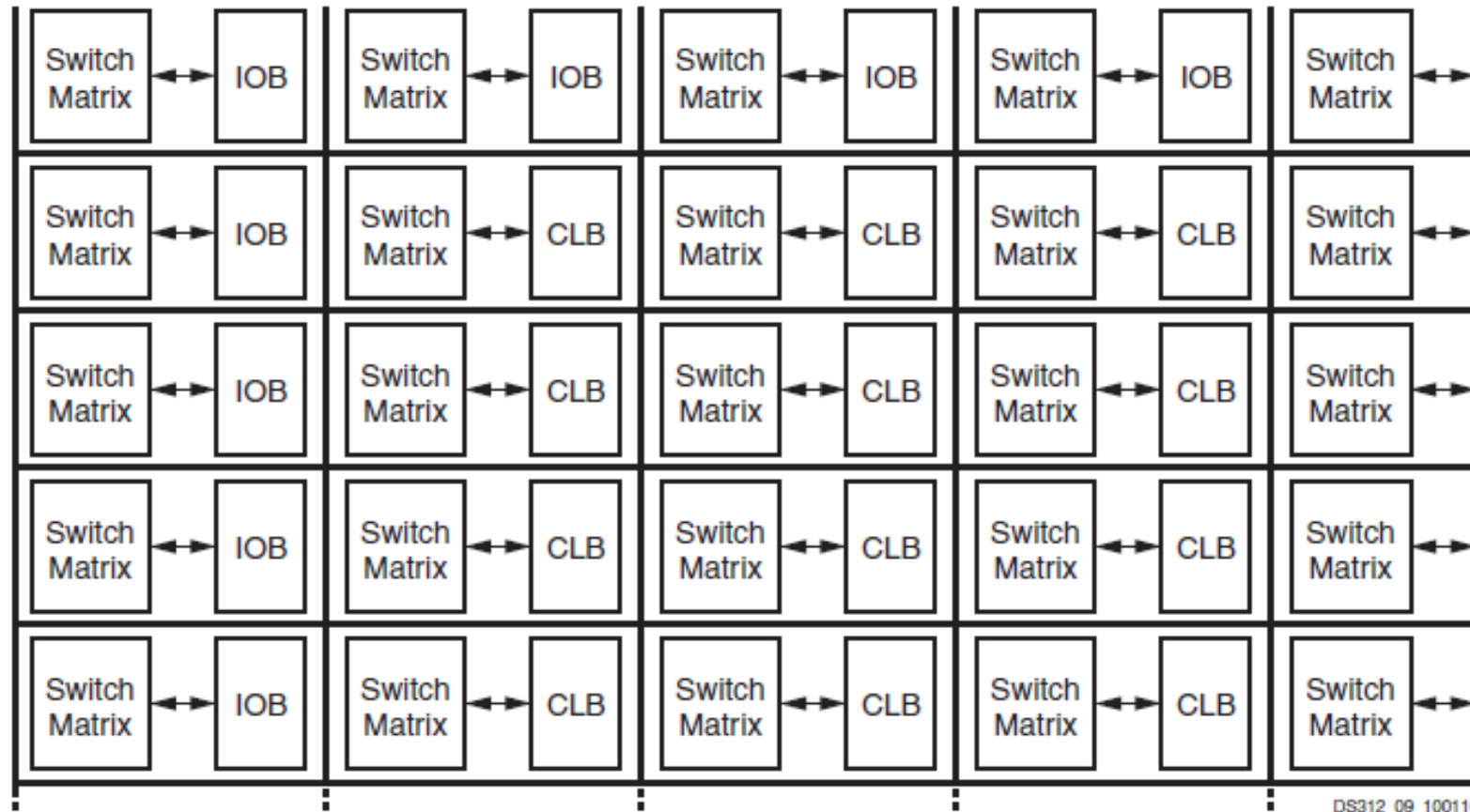
Órajel osztás:

$$CLKDV = \frac{CLKIN}{K}$$

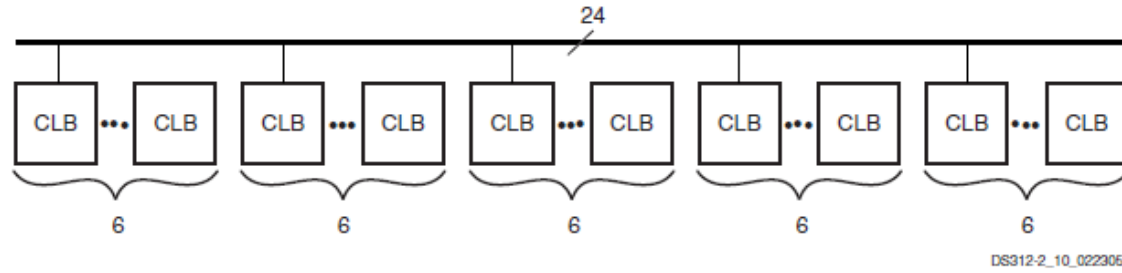
$K=\{1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5, 5.5, 6, 6.5, 7, 7.5, 8, 9, 10, \dots, 16\}$



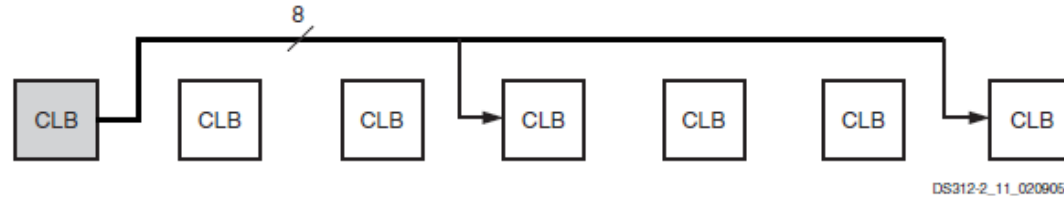
# Belső összeköttetések



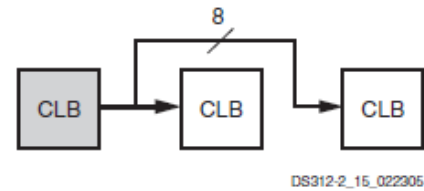
**Horizontal and Vertical Long Lines**  
(horizontal channel shown as an example)



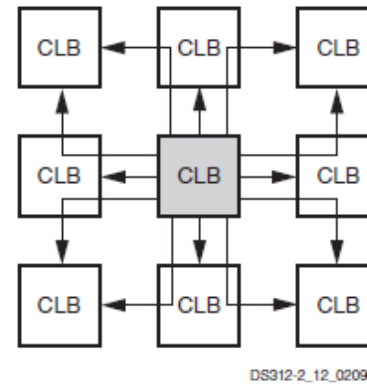
**Horizontal and Vertical Hex Lines**  
(horizontal channel shown as an example)



**Horizontal and Vertical Double Lines**  
(horizontal channel shown as a example)



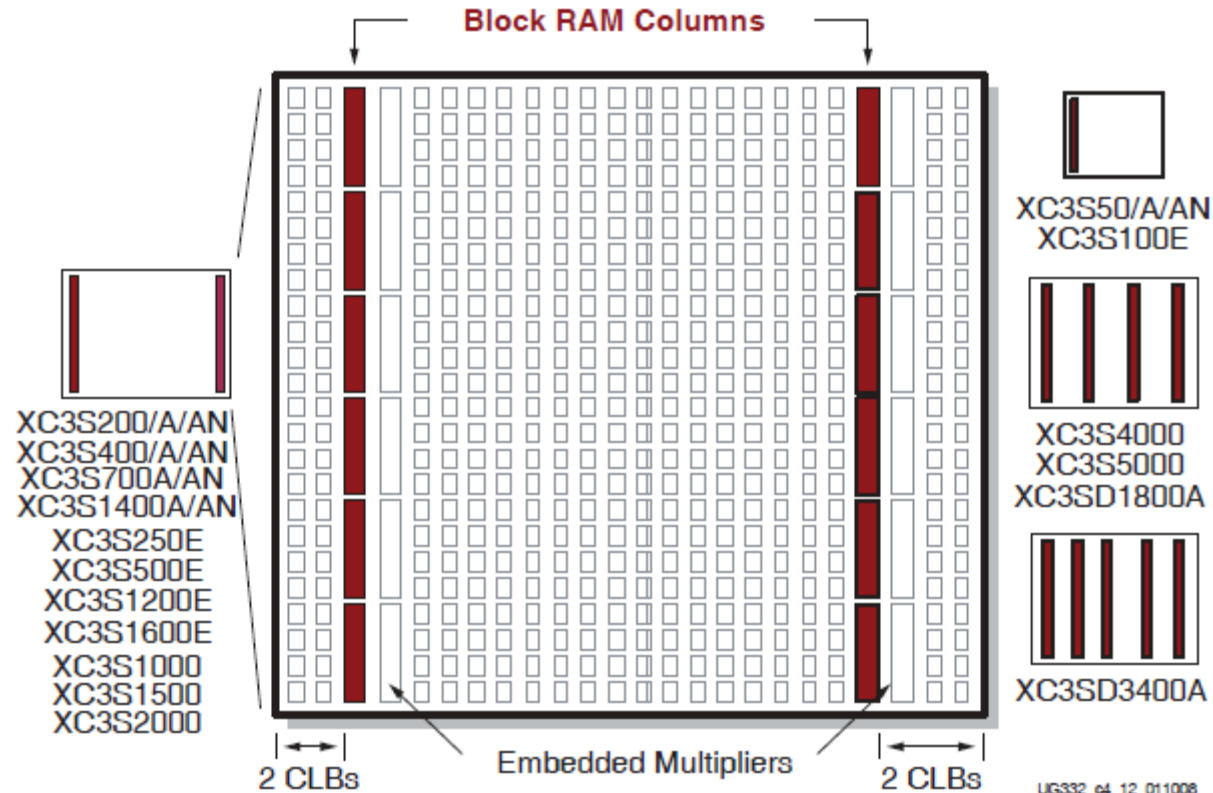
**Direct Connections**



# BLOCK RAM

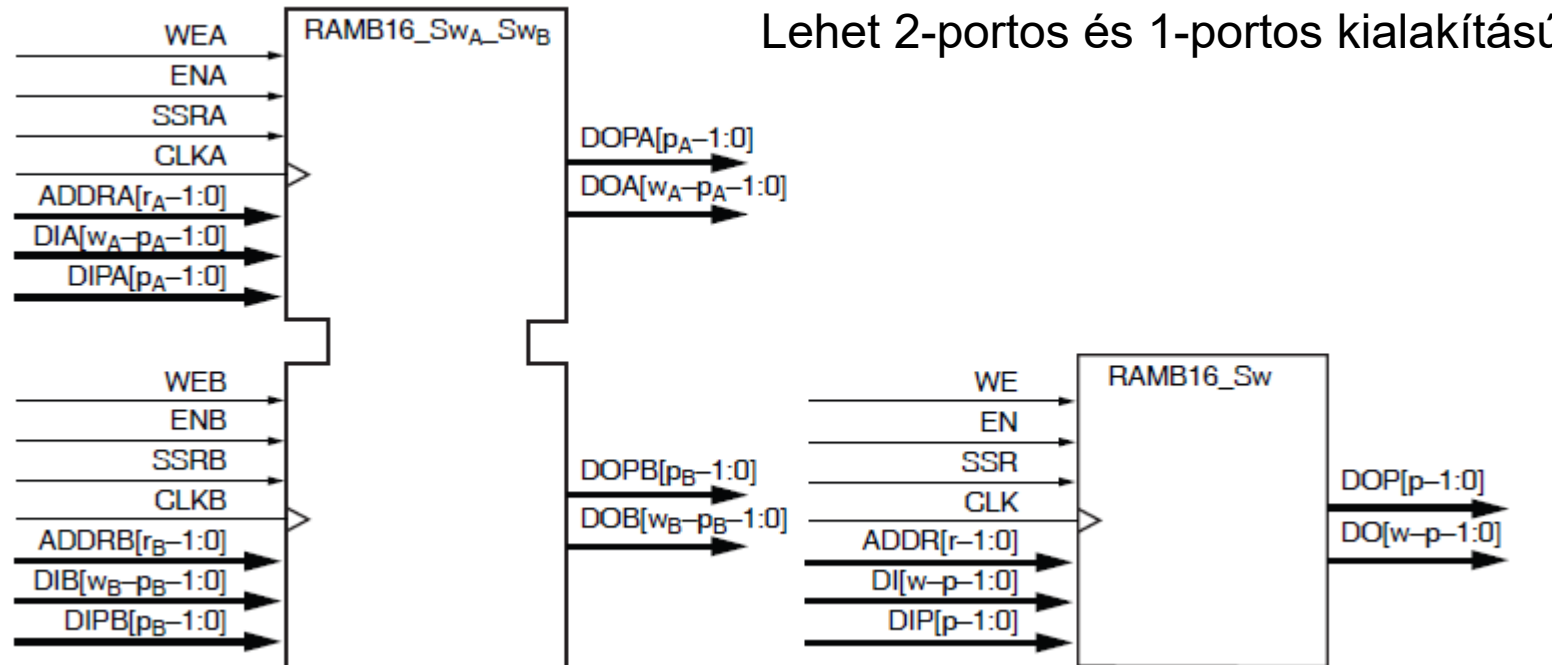
Family	Device	RAM Columns	RAM Blocks Per Column	Total RAM Blocks	Total RAM Bits	Total RAM Kbits
Extended Spartan-3A FPGAs	XC3SD1800A	4	20-22	84	1,548,288	1,512K
	XC3SD3400A	5	24-26	126	2,322,432	2,268K
	XC3S50A/AN	1	3	3	55,296	54K
	XC3S200A/AN	2	8	16	294,912	288K
	XC3S400A/AN	2	10	20	368,640	360K
	XC3S700A/AN	2	10	20	368,640	360K
	XC3S1400A/AN	2	16	32	589,824	576K
Spartan-3E FPGAs	XC3S100E	1	4	4	73,728	72K
	XC3S250E	2	6	12	221,184	216K
	XC3S500E	2	10	20	368,640	360K
	XC3S1200E	2	14	28	516,096	504K
	XC3S1600E	2	18	36	663,552	648K

# BLOCK RAM elhelyezkedése



# BLOCK RAM - alkalmazása

- RAM
- ROM
- FIFO
- Nagyméretű LUT
- Adathossz konvertálás
- Cirkuláris puffer
- Léptető regiszter
- Kódoló
- Dekódoló
- Függvénytábla
- Függvény generátor
- Állapotgép
- Verem



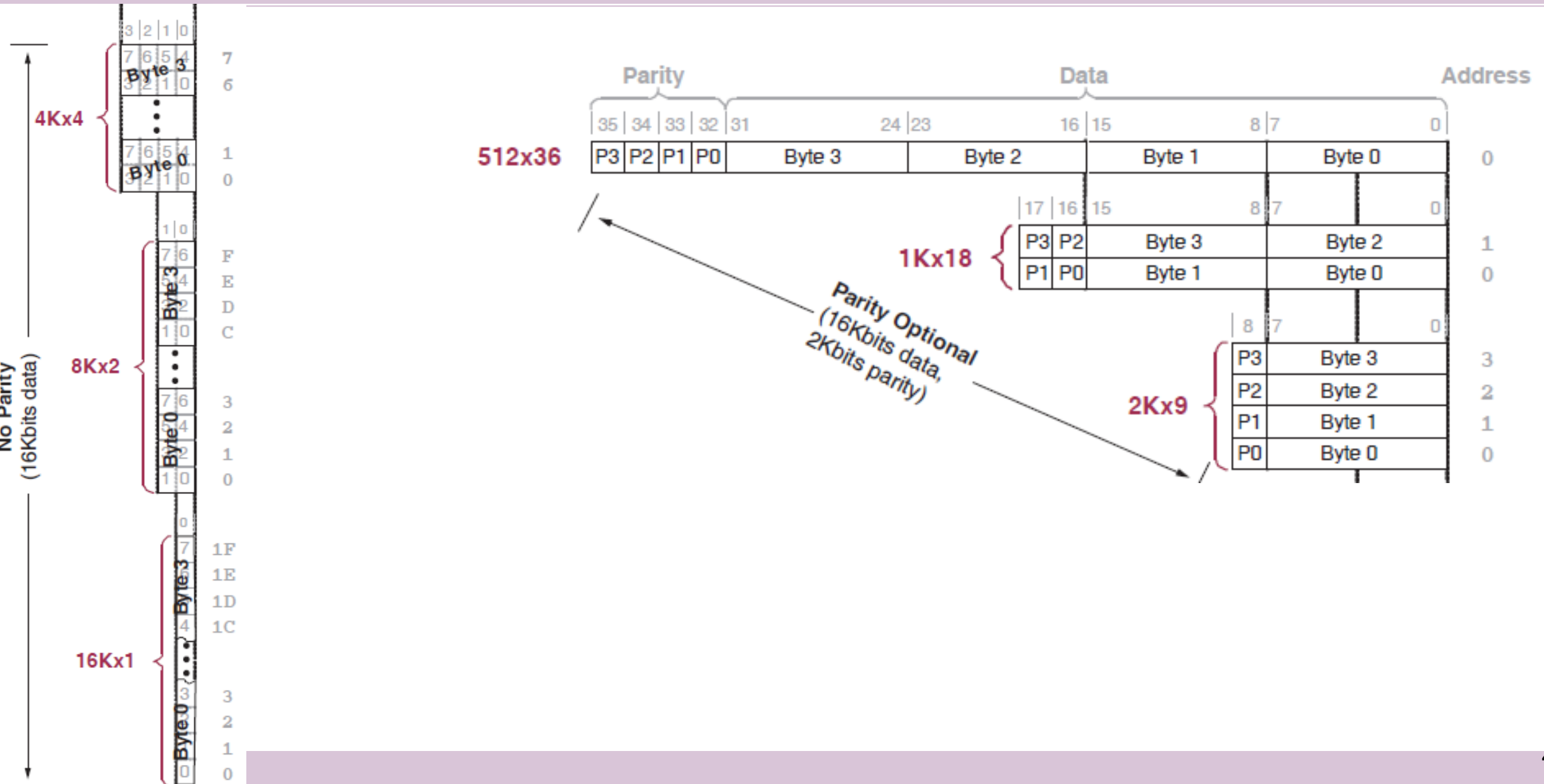
# BLOCK RAM - alkalmazása

*Table 4-2: SelectRAM 18K Block Memory Features and Applications*

Total RAM bits, including parity	18,432 (16K data + 2K parity)
Memory Organizations	16Kx1 8Kx2 4Kx4 2Kx8 (no parity) 2Kx9 (x8 + parity) 1Kx16 (no parity) 1Kx18 (x16 + 2 parity) 512x32 (no parity) 512x36 (x32 + 4 parity) 256x72 (single-port only)
Parity	Available and optional only for organizations byte-wide or greater. Parity bits optionally available as extra data bits.
Performance	240+ MHz (refer to individual FPGA family data sheet)
Timing Interface	Simple synchronous interface. Similar to reading and writing from a register with a setup time for write operations and clock-to-output delay for read operations.



# BLOCK RAM - szervezése



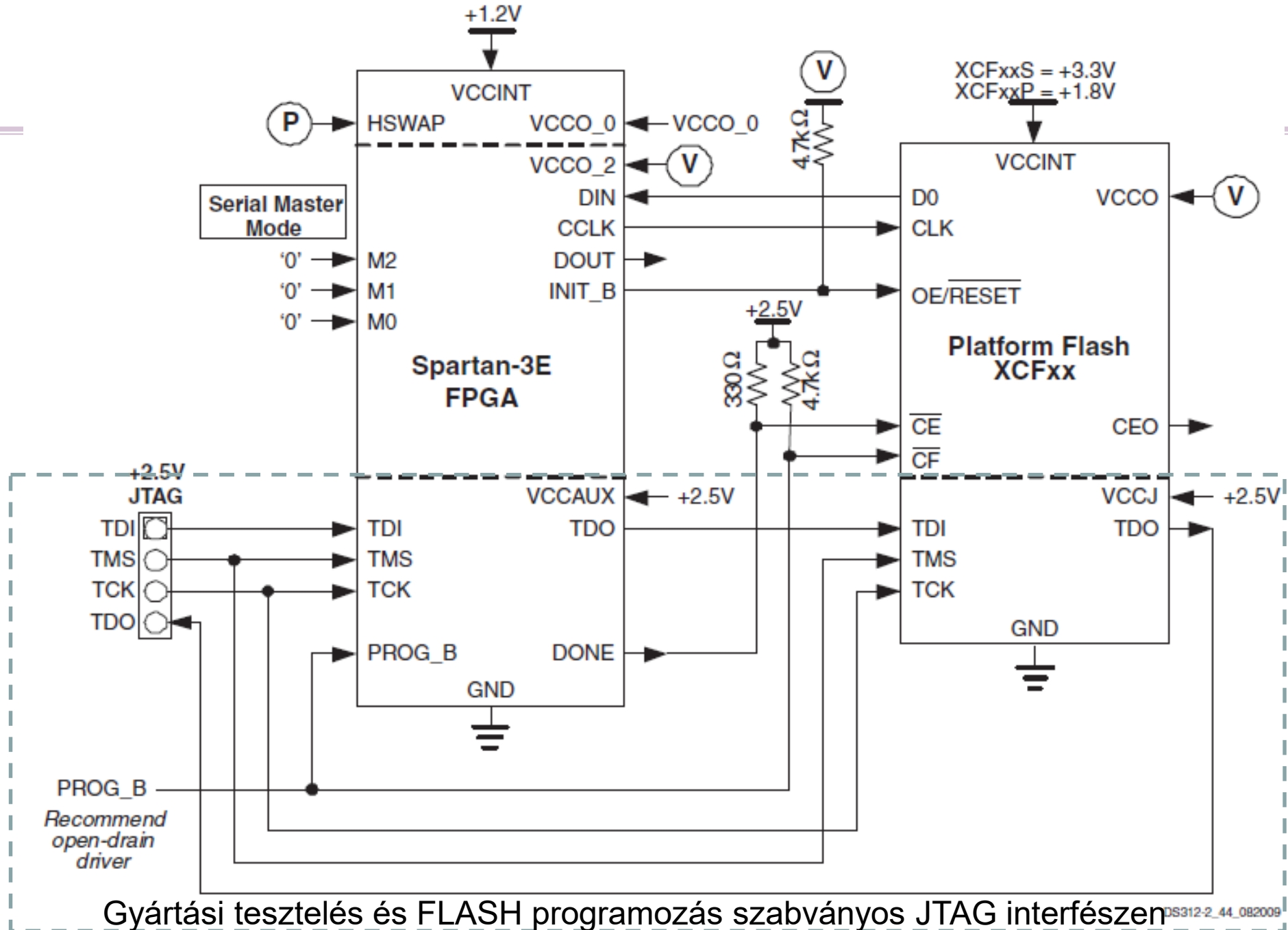
# Konfigurálás

	Master Serial	SPI	BPI	Slave Parallel	Slave Serial	JTAG
M[2:0] mode pin settings	<0:0:0>	<0:0:1>	<0:1:0>=Up <0:1:1>=Down	<1:1:0>	<1:1:1>	<1:0:1>
Data width	Serial	Serial	Byte-wide	Byte-wide	Serial	Serial
Configuration memory source	Xilinx <a href="#">Platform Flash</a>	Industry-standard SPI serial Flash	Industry-standard parallel NOR Flash or Xilinx parallel <a href="#">Platform Flash</a>	Any source via microcontroller, CPU, Xilinx parallel <a href="#">Platform Flash</a> , etc.	Any source via microcontroller, CPU, Xilinx <a href="#">Platform Flash</a> , etc.	Any source via microcontroller, CPU, <a href="#">System ACE™ CF</a> , etc.
Clock source	Internal oscillator	Internal oscillator	Internal oscillator	External clock on CCLK pin	External clock on CCLK pin	External clock on TCK pin
Total I/O pins borrowed during configuration	8	13	46	21	8	0
Configuration mode for downstream daisy-chained FPGAs	Slave Serial	Slave Serial	Slave Parallel	Slave Parallel or Memory Mapped	Slave Serial	JTAG
Stand-alone FPGA applications (no external download host)	✓	✓	✓	Possible using XCFxxP Platform Flash, which optionally generates CCLK	Possible using XCFxxP Platform Flash, which optionally generates CCLK	
Uses low-cost, industry-standard Flash		✓	✓			
Supports optional MultiBoot, multi-configuration mode			✓			

# Konfiguráció mérete

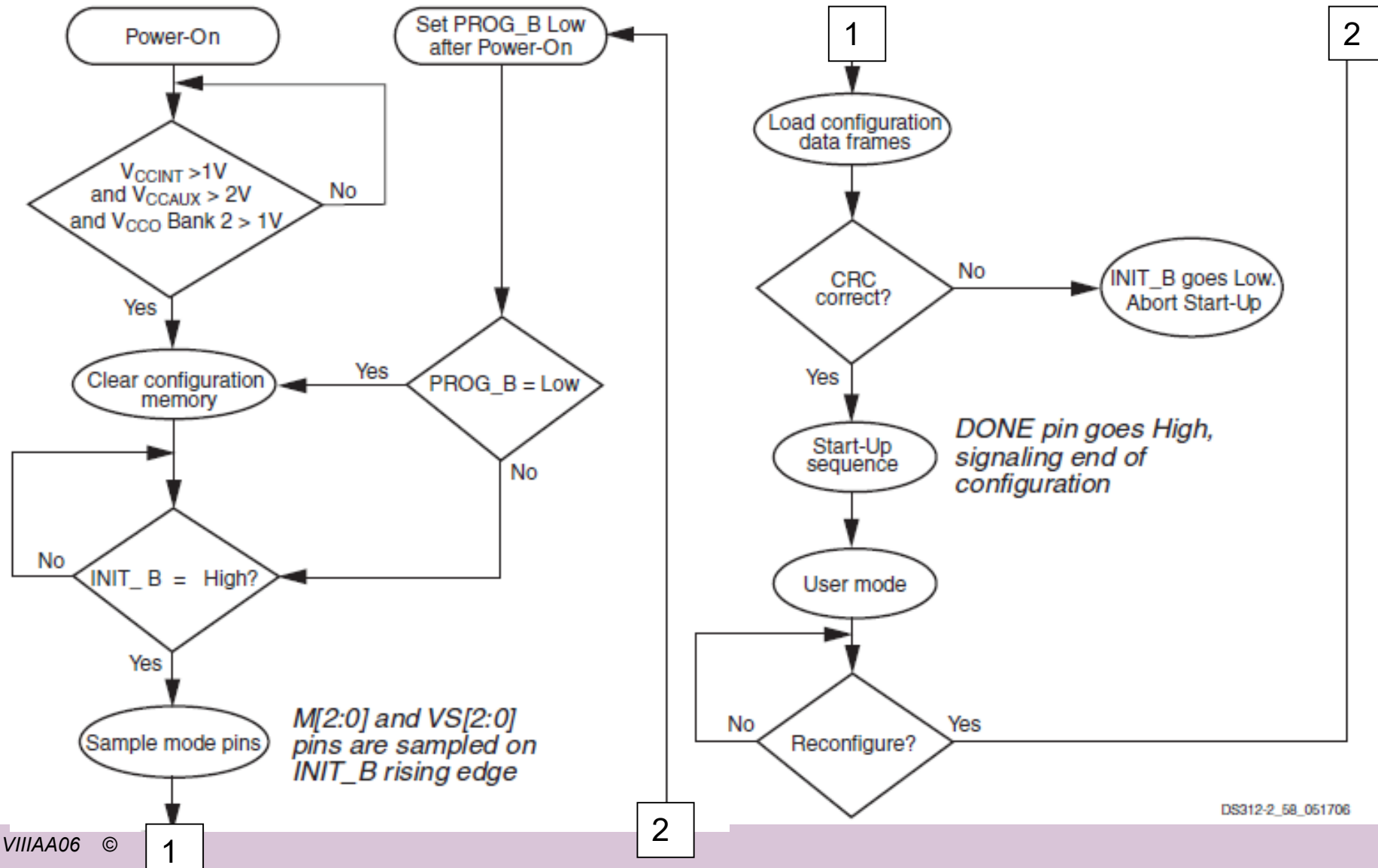
Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits <sup>(1)</sup>	Block RAM bits <sup>(1)</sup>	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156

Spatran-3E FPGA	Konfigurációs bitszám	[kbyte]
XC3S100E	581 344	71
XC3S250E	1 353 728	166
XC3S500E	2 270 208	278
XC3S1200E	3 841 184	469
XC3S1600E	5 969 696	729



Gyártási tesztelés és FLASH programozás szabványos JTAG interfészen

# Konfigurációs folyamat



# FT256 tokozás

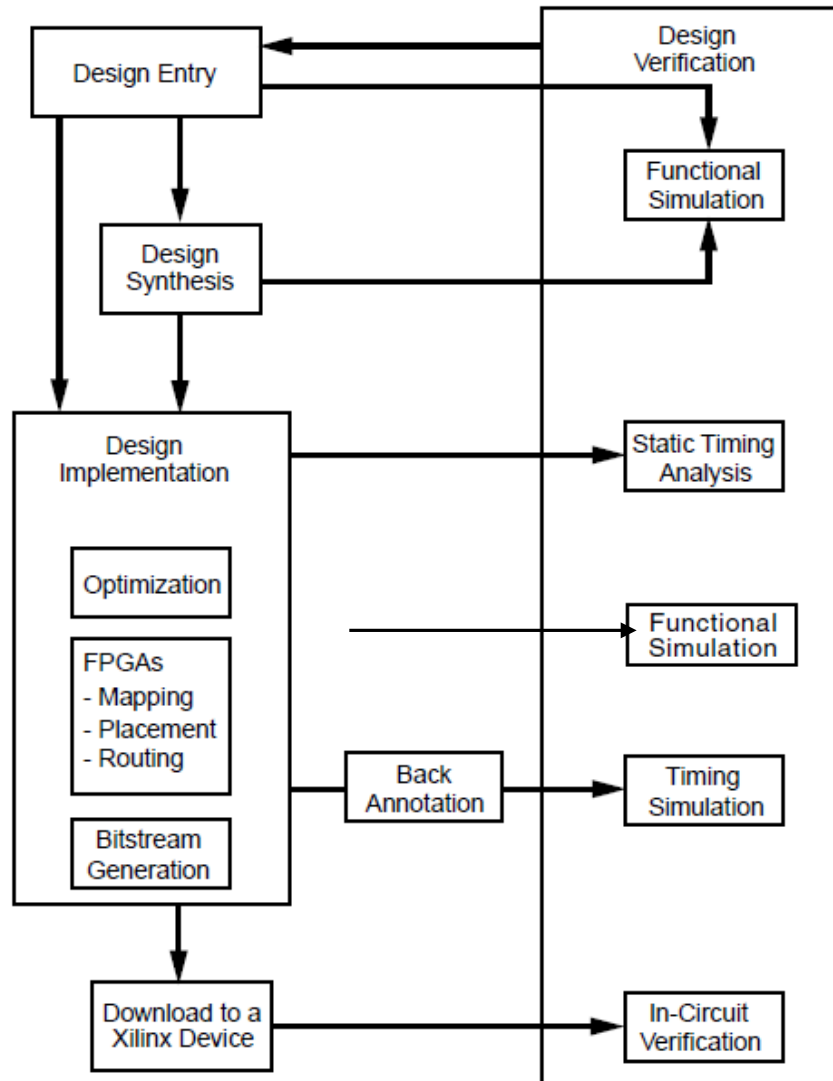


		Bank 0								Bank 1							
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Bank 7	A	GND	TDI	I/O VREF_0	I/O L01P_0 VRN_0	I/O	VCCAUX	I/O	I/O L32P_0 GCLK6	I/O	I/O L31N_1 VREF_1	VCCAUX	I/O	I/O L10N_1 VREF_1	I/O L01N_1 VRP_1	TDO	GND
	B	I/O L01P_7 VRN_7	GND	PROG_B	I/O L01N_0 VRP_0	I/O L25P_0	I/O L28P_0	I/O L30P_0	I/O L32N_0 GCLK7	GND	I/O L31P_1	I/O L29N_1	I/O L27N_1	I/O L10P_1	I/O L01P_1 VRN_1	GND	I/O L01N_2 VRP_2
	C	I/O L01N_7 VRP_7	I/O L16N_7	I/O L16P_7 VREF_7	HSWAP_EN	I/O L25N_0	I/O L28N_0	I/O L30N_0	I/O L31P_0 VREF_0	I/O L32N_1 GCLK5	I/O	I/O L29P_1	I/O L27P_1	TMS	TCK	I/O L16N_2	I/O L01P_2 VRN_2
	D	I/O L17N_7	I/O L17P_7	I/O L19P_7	VCCINT	I/O VREF_0	I/O L27P_0	I/O L29P_0	I/O L31N_0	I/O L32P_1 GCLK4	I/O L30N_1	I/O L28N_1	I/O VREF_1	VCCINT	I/O L16P_2	I/O L17P_2	I/O L17P_2 VREF_2
	E	I/O L20N_7	I/O L20P_7	I/O L19N_7 VREF_7	VCCINT	I/O L27N_0	I/O L29N_0	VCCO_0	VCCO_1	I/O L30P_1	I/O L28P_1	VCCINT	I/O L19N_2	I/O L19P_2	I/O L20N_2	I/O L20P_2	
	F	VCCAUX	I/O L22N_7	I/O L22P_7	I/O L21N_7	I/O L23P_7	GND	VCCO_0	VCCO_0	VCCO_1	VCCO_1	GND	I/O L21N_2	I/O L21P_2	I/O L22N_2	I/O L22P_2	VCCAUX
	G	I/O L40P_7	I/O	I/O L24N_7	I/O L24P_7	I/O L23N_7	VCCO_7	GND	GND	GND	GND	VCCO_2	I/O L23N_2 VREF_2	I/O L23P_2	I/O L24N_2	I/O L24P_2	I/O
	H	I/O L40N_7 VREF_7	GND	I/O L39N_7	I/O L39P_7	VCCO_7	VCCO_7	GND	GND	GND	GND	VCCO_2	VCCO_2	I/O L39N_2	I/O L39P_2	I/O L40N_2	I/O L40P_2 VREF_2
Bank 6	J	I/O L40P_6 VREF_6	I/O L40N_6	I/O L39P_6	I/O L39N_6	VCCO_6	VCCO_6	GND	GND	GND	GND	VCCO_3	VCCO_3	I/O L39P_3	I/O L39N_3	GND	I/O L40N_3 VREF_3
	K	I/O	I/O L24P_6	I/O L24N_6 VREF_6	I/O L23P_6	I/O L23N_6	VCCO_6	GND	GND	GND	GND	VCCO_3	I/O L23N_3	I/O L24P_3	I/O L24N_3	I/O	I/O L40P_3
	L	VCCAUX	I/O L22P_6	I/O L22N_6	I/O L21P_6	I/O L21N_6	GND	VCCO_5	VCCO_5	VCCO_4	VCCO_4	GND	I/O L23P_3 VREF_3	I/O L21N_3	I/O L22P_3	I/O L22N_3	VCCAUX
	M	I/O L20P_6	I/O L20N_6	I/O L19P_6	I/O L19N_6	VCCINT	I/O L28P_5 D7	I/O L30P_5	VCCO_5	VCCO_4	I/O L29N_4	I/O L27N_4 DIN D0	VCCINT	I/O L21P_3	I/O L19N_3	I/O L20P_3	I/O L20N_3
	N	I/O L17P_6 VREF_6	I/O L17N_6	I/O L16P_6	VCCINT	I/O	I/O L28N_5 D6	I/O L30N_5	I/O L32P_5 GCLK2	I/O L31N_4 INIT B	I/O L29P_4	I/O L27P_4 D1	I/O VREF_4	VCCINT	I/O L19P_3	I/O L17P_3 VREF_3	I/O L17N_3
	P	I/O L01P_6 VRN_6	I/O L16N_6	M0	M2	I/O L27P_5	I/O L29P_5 VREF_5	I/O	I/O L32N_5 GCLK3	I/O L31P_4 DOUT BUSY	I/O L30N_4 D2	I/O L28N_4	I/O L25N_4	I/O VREF_4	I/O L16P_3	I/O L16N_3	I/O L01N_3 VRP_3
	R	I/O L01N_6 VRP_6	GND	I/O L01P_5 CS_B	I/O L10P_5 VRN_5	I/O L27N_5 VREF_5	I/O L29N_5	I/O L31P_5 D5	GND	I/O L32N_4 GCLK1	I/O L30P_4 D3	I/O L28P_4	I/O L25P_4	I/O L01N_4 VRP_4	DONE	GND	I/O L01P_3 VRN_3
	T	GND	M1	I/O L01N_5 EDWR_B	I/O L10N_5 VRP_5	I/O	VCCAUX	I/O L31N_5 D4	I/O VREF_5	I/O L32P_4 GCLK0	I/O VREF_4	VCCAUX	I/O	I/O L01P_4 VRN_4	I/O	CCLK	GND
		Bank 5				Bank 4											

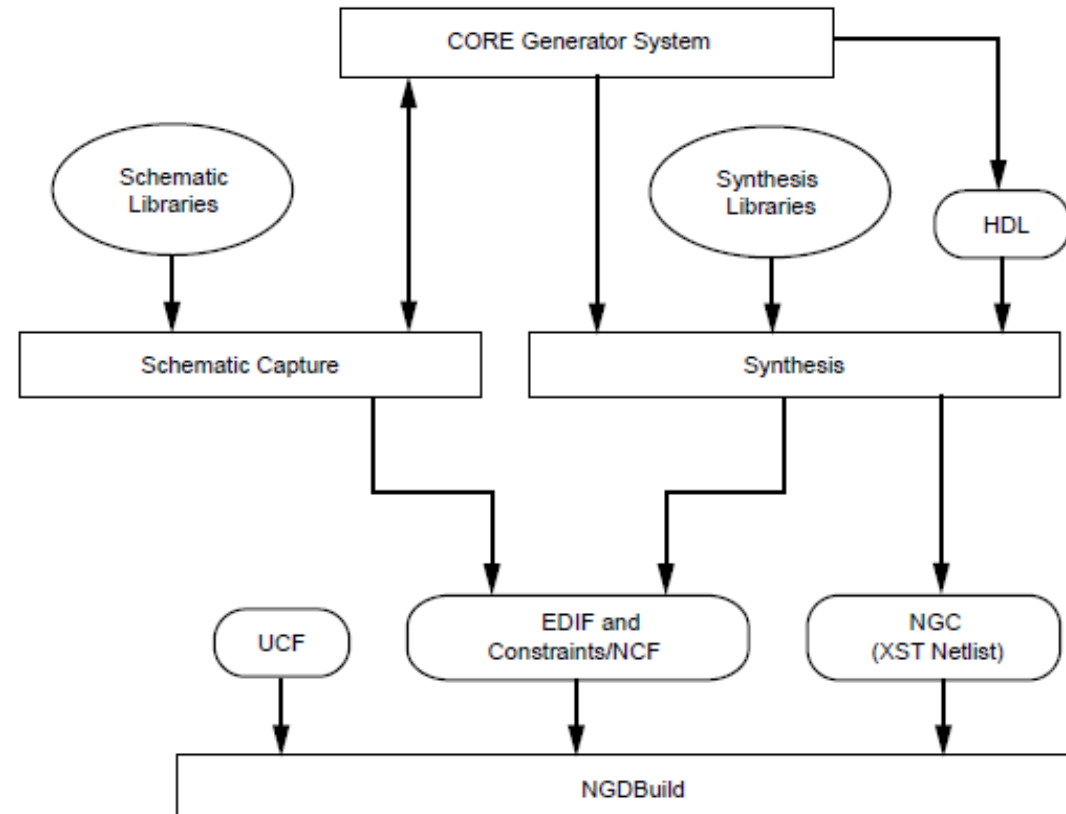
- 113 I/O: Unrestricted, general-purpose user I/O
- 16 DCI: User I/O or reference resistor input for bank
- 7 CONFIG: Dedicated configuration pins
- 0 N.C.: No unconnected pins in this package
- 12 DUAL: Configuration pin, then possible user I/O
- 8 GCLK: User I/O or global clock buffer input
- 4 JTAG: Dedicated JTAG port pins
- 32 GND: Ground
- 24 VREF: User I/O or input voltage reference for bank
- 24 VCCO: Output voltage supply for bank
- 8 VCCINT: Internal core voltage supply (+1.2V)
- 8 VCCAUX: Auxiliary voltage supply (+2.5V)



# A fejlesztés folyamata



UCF – User Constraints File  
 NCF – Netlist Constraints File  
 XST – Xilinx Synthesis Technology  
 HDL – Hardware Description Language  
 NGD – Native Generic Database  
 EDIF – Electronic Data Interchange Format



- Kapcsolási rajzzal (schematic editor)
- Hardver leíró nyelvvel (HDL)
  - VERILOG
  - VHDL
- Állapot gráffal

+ alkatrész könyvtárak

+ kész modulok (IP-k)

(később más tantárgyak foglalkoznak vele részletesen...)





# Grafikus kezelői felület

probafsm - [C:/Users/rg...]

File Edit Flow

Flow Navigator

- > RTL ANALYSIS
- > SYNTHESIS
  - ▶ Run Synthesis
  - > Open Synthesized
- > IMPLEMENTATION
  - ▶ Run Implementation
  - > Open Implemented
  - Constraints Wizard
  - Edit Timing Constraints
  - Report Timing
  - Report Clock Network
  - Report Clock Interaction
  - Report Methodology
  - Report DRC
  - Report Utilization
  - Report Power
  - Schematic
- > PROGRAM AND DEBUG
  - ▶ Generate Bitstream
  - > Open Hardware Manager

Device

Implementation Complete ✓

Default Layout

Gadget

WNS

W

y - Route Design 42.050

Design)

3%

SLICE\_X0Y77 (SLICEL)

clk

bemenet

KovAllapotMoore\_i

Q[1:0]

RTL\_MUX

KovAllapotMoore\_i\_0

Q[1:0]

RTL\_MUX

AllapotMoore\_reg

RTL\_REG

AllapotMoore\_reg[1:0]

RTL\_REG

kimenetMealy\_i

RTL\_MUX

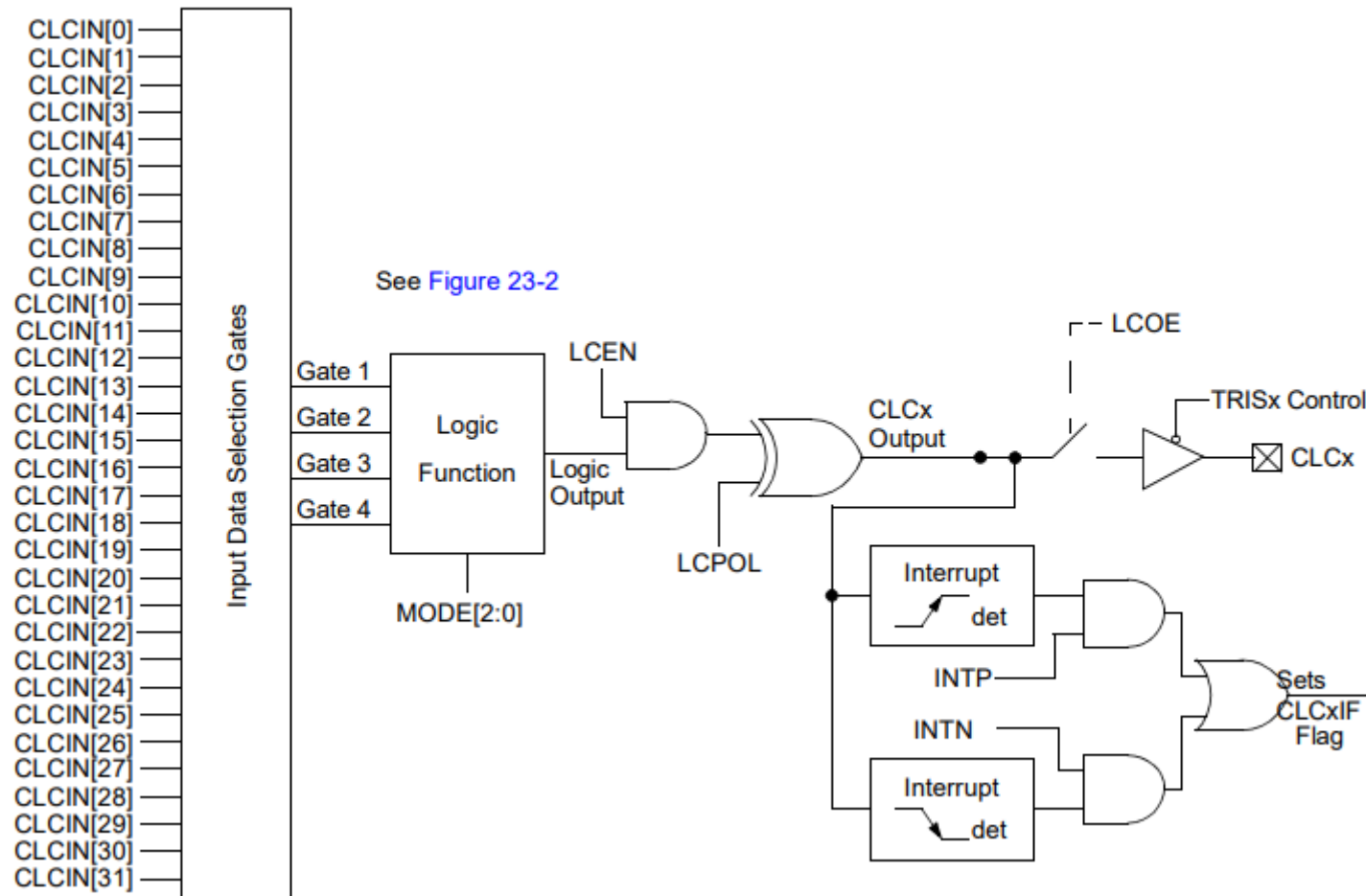
kimenetMoore\_i

RTL\_MUX

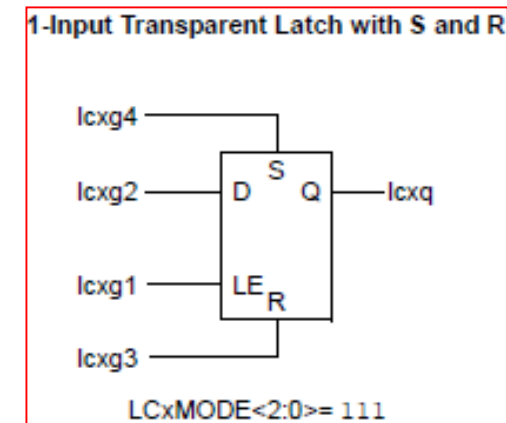
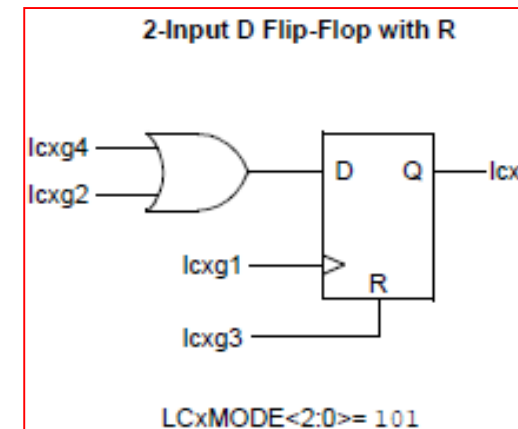
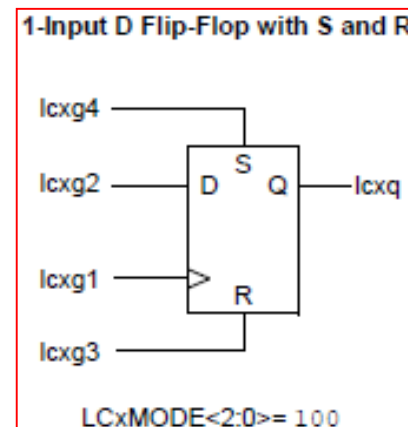
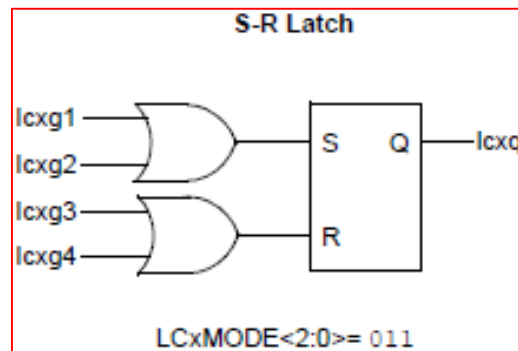
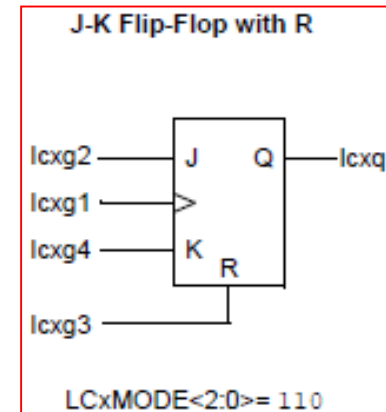
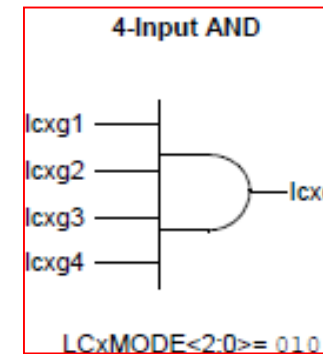
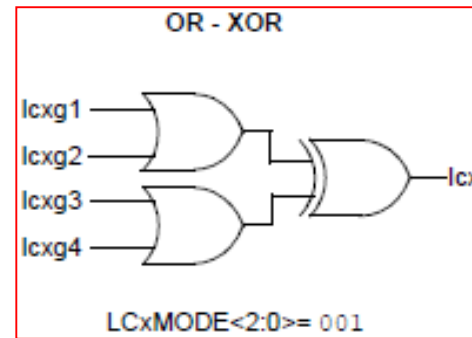
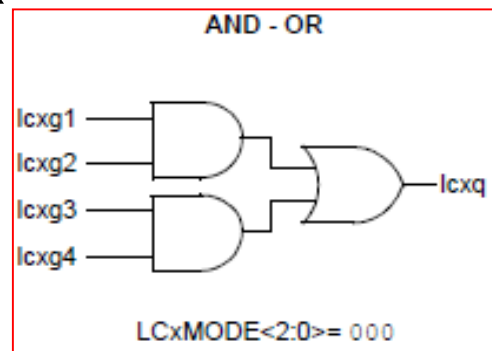
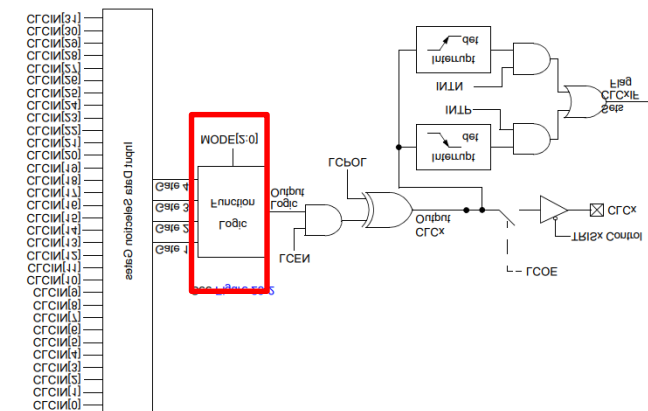
kimenetMealy

kimenetMoore

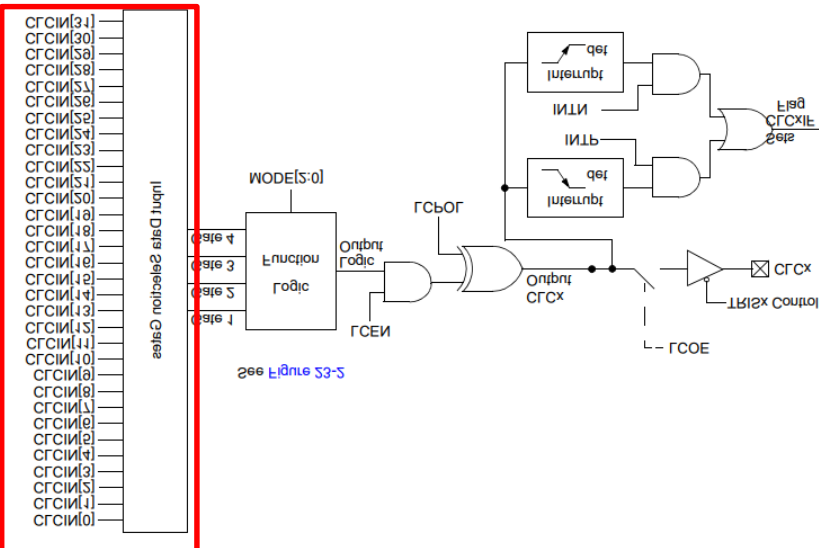
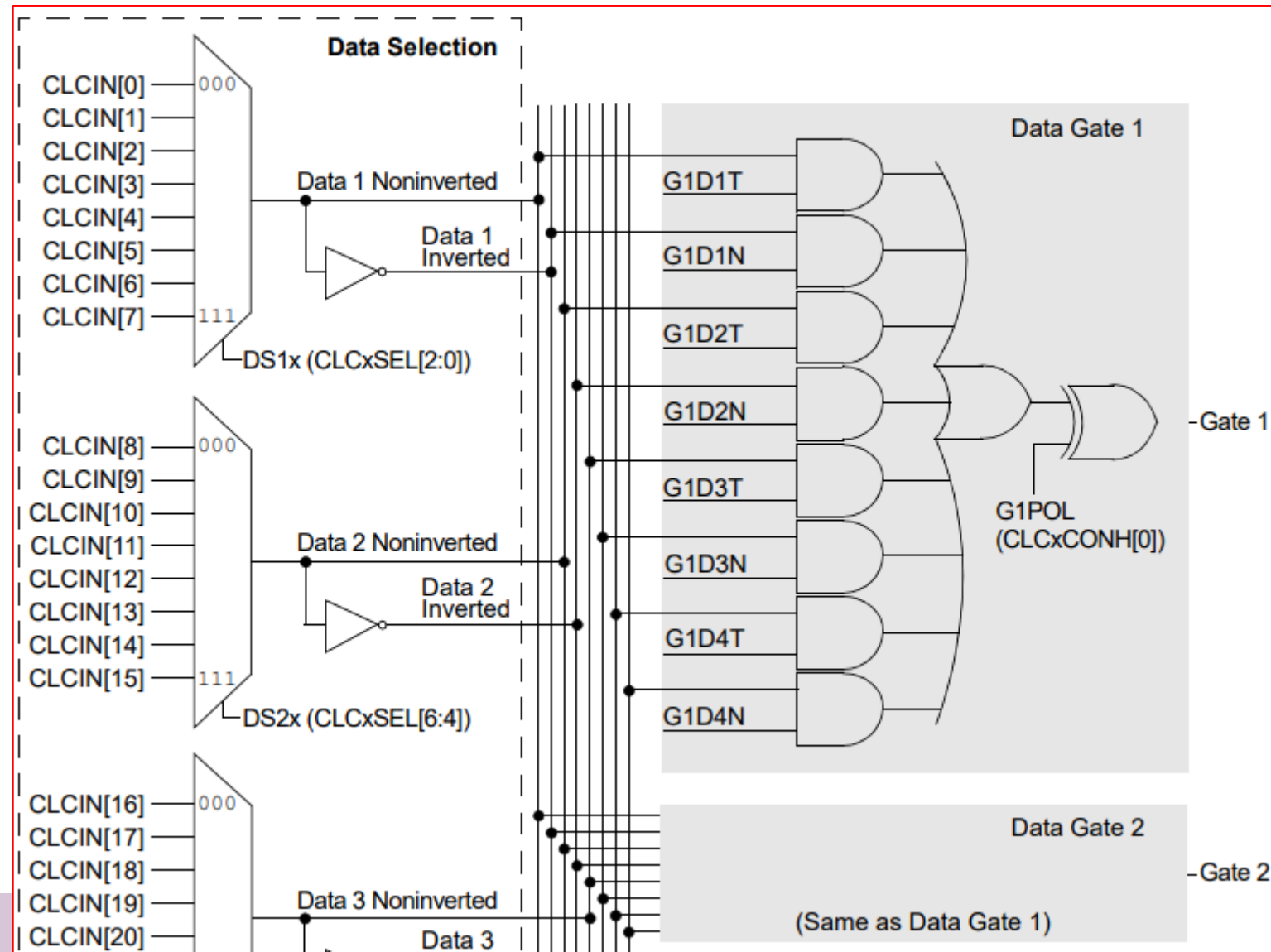
- Programból konfigurálható logikai cella, mint beépített periféria (mikrokontrollerekben)



- Programból konfigurálható logikai cella, mint beépített periféria (mikrokontrollerekben)
- Üzemmód regiszteren keresztül választható struktúra és portlábak



- Programból konfigurálható logikai cella, mint beépített periféria (mikrokontrollerekben)
- Üzem mód regiszteren keresztül választható bemeneti hálózat

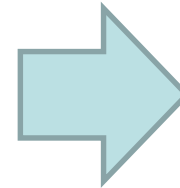
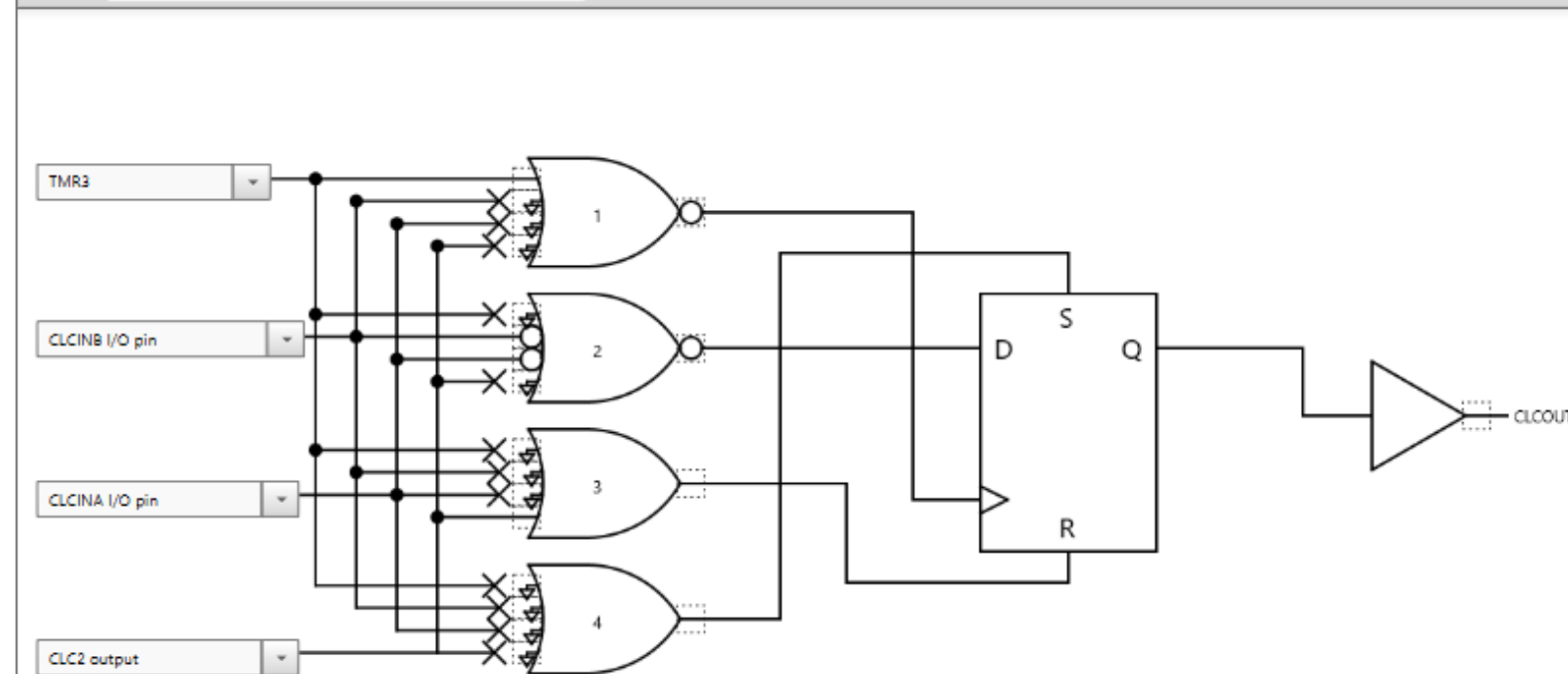


- A többi perifériához hasonlóan regiszterek beírásával állítható a funkciója, akár működés közben is változtatható. Több ilyen összeköthető.
- Grafikus konfigurátor is van hozzá, ami kitalálja az értékeket:

## Hardware Settings

- ☒ Enable CLC
- ☐ Enable CLC Output
- ☐ Enable Rising Event Output ☐ Enable Falling Event Output
- ☐ Enable CLC Interrupt

Mode: 1-input D flip-flop with S and R



Register: CLC1CONH	0x7
Register: CLC1CONL	0x8004
Register: CLC1GLSH	0x0
Register: CLC1GLSL	0x1402
Register: CLC1SELL	0x1001

- Csak írásbeli, összesen 60 pont
  - 20 pont beugró
    - Kis  $\leq 1$  perc alatt megválaszolható kérdések
    - 10-15db
  - 40 pont nagyfeladat
    - 4-5 db
- Tárgyhonlap
  - Előadásdiák, gyakorlatfeladatok (megoldással), labor útmutatók
  - Ellenőrző kérdések (gyakorló feladatok)
  - Előadások videóí (MS Stream)