

Laboratórium 1 felkészülési feladat

Hallgató: Kondor Máté András (WNC5FT)

Mérés sorszáma: 10

Egy $4 < n < 8$ állapotú, egyetlen X bemenettel rendelkező sorrendi automata a következőképpen működik:

Bekapcsolás után a kezdőállapotban marad mindaddig, amíg az X bemenete 1-nem lesz, itt $Z=0$ -át ad. Ezután minden órajelre újabb állaptra lép, és egy $n-1$ hosszúságú y kimeneti sorozat következő elemét adja a Z kimenetén. Ezt mindaddig folytatja, míg az n-edik állapotba nem lép, de $X=1$ esetén itt marad s a sorozat utolsó elemét adja a kimeneten, $X=0$ esetén pedig a kezdőállapotba lép és 0-át ad. A kimeneti sorozat természetesen nem lehet konstans és az utolsó bitje mindig 1.

Példa az $n=5$ és $y=1101$ esetre:

X:001xxxx1110001x□

Z:000110111100001□

Készítse el a fent leírt funkciót megvalósító Verilog modult $n = 5$, $y = 0111$ esetén!

A mérés kezdetén be kell mutatni a működő Verilog kódot és a működést igazoló szimulációt.

A modulnak legyen órajel engedélyező bemenete is! (Ez a tesztelhetőség szempontjából fontos.)

Kötelező kritériumok a beadandó anyagra: Ezek be nem tartása esetén a feladatot nem fogadjuk el!

Hozza el a teljes működő ISE projektet! Készítsen egy word (vagy pdf) dokumentumot, amiben szövegesen összefoglalja a kód felépítését, működését! Nem elég csupán a forráskódot bemásolni!

E dokumentumnak kötelezően tartalmaznia kell a működést igazoló szimulációs hullámformát és annak szöveges értelmezését. Az értelmezés nélküli képeket nem értékeljük, nem fogadjuk el.

A fájl kinyomtatása nem szükséges, ennél a mérésnél elektronikus dokumentációt kérünk.

A beadás tudnivalói:

- **Az önállóan kidolgozott feladatot a következő mérési gyakorlat elején a mérésvezetőnek kell bemutatni, - a mérési útmutatóban előírtak szerint - írott vagy elektronikus formában.**
- A felkészülési feladat utólag már nem adható be. Pótlására a szorgalmi időszak végén egy alkalommal, az adott mérési gyakorlat pótlásával egy időben van lehetőség.

A feladatokat önállóan, meg nem engedett segítség igénybevétele nélkül oldottam meg:

.....
aláírás

(1) A működést leíró kód és magyarázata

A feladatomban specifikált hálózat működését az alábbi, ISE Design Suite-ben készített "Verilog Module" írja le.

<pre> `timescale 1ns / 1ps module main(input x, input eng, input clk, output z); reg [2:0] állapot; reg ki; initial begin állapot <= 0; ki <= 0; end always @(posedge clk) if(eng) case(állapot) 0: begin ki <= 0; if(x) állapot <= 1; end 1: begin ki <= 0; állapot <= 2; end 2: begin ki <= 1; állapot <= 3; end 3: begin ki <= 1; állapot <= 4; end 4: begin if(x ki) ki <= 1; if(x==0) begin ki <= 0; állapot <= 0; end end endcase assign z = ki; endmodule </pre>	<p>A jelbemenet Az engedélyező bemenet Az órajel-bemenet A kimenet</p> <p>Az aktuális állapotot tároló változó A kimenet értékét tároló változó</p> <p>Kezdeti feltételek: kezdőállapot, "0" kimenet.</p> <p>Az órajel felfutó élére, ha van engedélyező jel, az állapot függvényében a következők legyenek:</p> <ul style="list-style-type: none"> • Kezdőállapotban a kimenet mindenképpen "0". Ha a bemenetre "1" érkezett, a rendszer az 1-es állapotba kerül. • 1-es állapotban, a specifikációnak megfelelően, a kimenet mindig "0", lépés a 2-es állapotba. • 2-es állapotban a kimenet mindig "1", lépés a 3-as állapotba. • 3-as állapotban a kimenet mindig "1", lépés a 4-es állapotba. • Ha a bemenet "1", és az előző állapot a 3-as volt, a kimenet tartsa az értékét. • Ha a bemenet "0", akkor a kimenet is legyen "0", majd lépés a kiindulási állapotba. <p>A modul kimenete legyen a belső ki változó.</p>
---	---

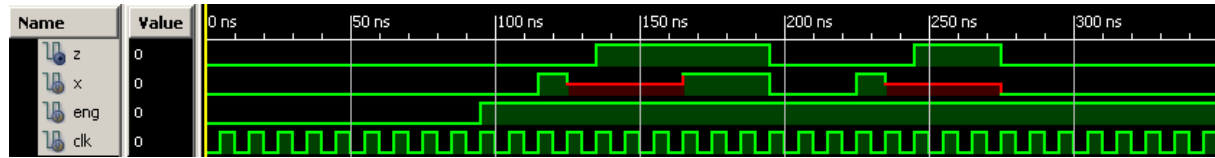
(2) Az ellenőrzésre szolgáló kód és magyarázata

Az elkészült modul ellenőrzését az alábbi "Verilog Test Fixture"-rel végeztem.

<pre> `timescale 1ns / 1ps module test; reg x; reg eng; reg clk; wire z; main uut (.x(x), .eng(eng), .clk(clk), .z(z)); initial begin x = 0; eng = 0; clk = 0; #95; eng = 1; x <= 0; #20 x <= 1; #10 x <= 1'bx; #40 x <= 1; #30 x <= 0; #30 x <= 1; #10 x <= 1'bx; #40 x <= 0; end always #5 clk <= ~clk; endmodule </pre>	<p>A modul be-, és kimenetei</p> <p>A tesztelni kívánt egység példányosítása.</p> <p>Kezdeti feltételek: bemenet, és az engedélyező jel is "0".</p> <p>95ns múltán megjelenik az engedélyező jel, de a bemenő jel még mindig "0". 20ns múlva megjelenik egy 1 órajel-periódus hosszúságú "1"-es bemenet.</p> <p>4 órajel-periódus ideig "don't care" a bemenet, ez alatt a hálózat "válaszol" az előbbi x=1 pulzusra. 3 órajel-periódusnyi "1"-es, ez alatt a hálózat tartja az utolsó állapotát. A hálózat a kezdőállapotba lép.</p> <p>Újabb x=1 pulzus, a hálózat ismét "válaszol".</p> <p>Most azonban nem kell tartania az utolsó állapotát, rögtön a kezdőállapotba lép vissza.</p> <p>10ns periódusidejű, 50% kitöltési tényezőjű órajel előállítás.</p>
--	---

(3) Az ellenőrzés során előálló hullámforma ábrája és magyarázata

A fenti Verilog fő-, és tesztmodulokra az ISim-mel végzett szimuláció a következő hullámformára vezetett.



A rendszer működésének értelmezése a hullámforma alapján:

Periódus	Esemény
0ns .. 95ns	Nincs engedélyező jel, a kimenet értéke "0".
95ns .. 115ns	Megjelent az engedélyező jel, de az x bemenet "0" értéke miatt a rendszer "0" kimenettel "várakozik".
115ns .. 125ns	Egy órajel-periódusnyi $x=1$ jel. A rendszernek erre az előírt $[0, 1, 1, 1]$ sorozattal kell "válaszolnia" x további 4 értékétől függetlenül.
125ns .. 165ns	x értéke "don't care", z-n megjelenik a specifikációnak megfelelő jelsorozat.
165ns .. 195ns	x értéke "1"-et vesz fel, így a rendszer az utolsó állapotban marad és z-n továbbra is "1" látható.
195ns .. 225ns	x értéke "0"-t vesz fel, a rendszer alapállapotba kerül, a kimeneten "0" látható.
225ns .. 235ns	Egy órajel-periódusnyi $x=1$ jel. A rendszernek ismét az előírt jelsorozattal kell "válaszolnia".
235ns .. 275ns	x értéke "don't care", z-n megjelenik a specifikációnak megfelelő jelsorozat.
275ns után	x értéke "0"-t vesz fel. A rendszer alapállapotba kerül, kimenete is "0"-t vesz fel. A szimuláció praktikusán véget ért: az órajelen kívül más bemenő jelben további változás nincs.

A hullámformából látható, hogy a rendszer a specifikációnak megfelelően működik.