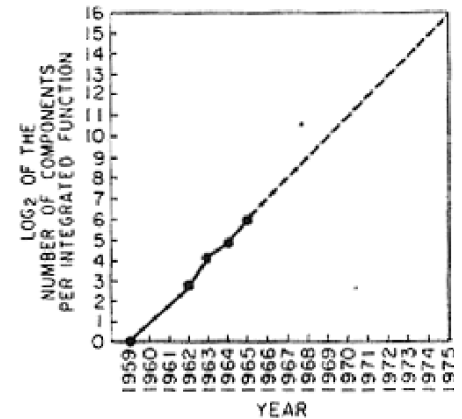


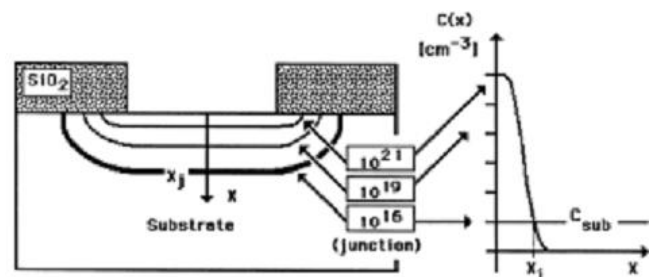
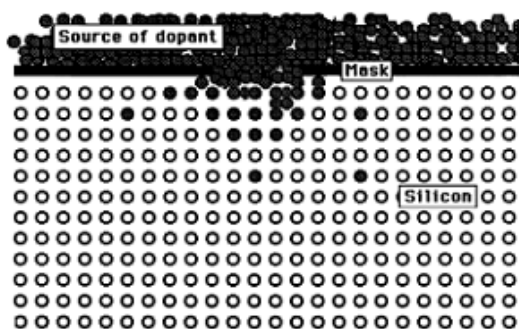
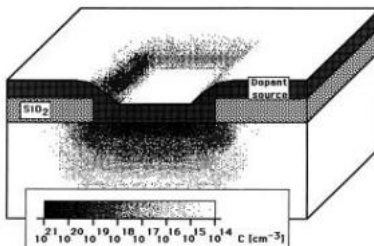
1. Moore törvény.

- 1965-ben Gordon Moore megjósolta, hogy az egy lapkára integrálható tranzisztorok száma 18..24 havonta megduplázódik (exponenciális növekedés)
- More than Moore: elemsűrűség erőteljesebb fokozása, pl. 3D kialakítással (pl. RAM-ok, lásd „pen drive”-ok)



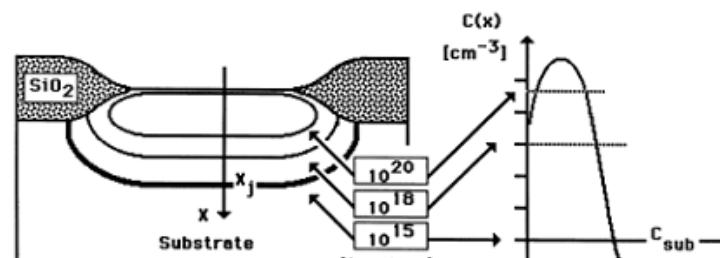
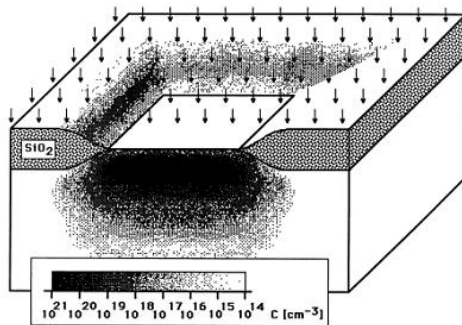
2. Adalékolási technológiák (diffúzió, ionimplantáció) főbb tulajdonságai.

- **Diffúzió**
 - Szilárdtest diffúzió: a felületre felvitt, vagy a felület környéki atmoszférában található adalék atomok diffundálnak a szilícium kristályba.
 - A Si atom és az adalék atom helyet cserél, a folyamat hajtóereje a pedig koncentráció-különbség.
 - Magas hőmérséklet, kb. 1000 °C szükséges a gyors diffúzióhoz.
 - A szelektivitás biztosítása:
 - A felülete azokon a helyeken, ahol nem szeretnének adalékolást, SiO_2 -al fedik, míg az adalékolni szándékolt tartomány „fedetlen”
 - Azaz a SiO_2 maszkol a diffúzióval szemben.
 - A diffúzió folyamata:
 - A felületi rétegek adalékoltsága erősebb.
 - ez minden diffúzióra igaz nyilvánvalóan.
 - A felülettől növekvő távolságra kb. exponenciálisan csökken az adalék koncentráció.
 - Az adalékolás oldalirányban is terjed. (valójában az egyes kristálytani irányokban a diffúzió nem egyforma sebességű)
 - Emiatt a kialakított réteg szélessége nem egyezik meg a maszk szélességével.
 - A kialakított réteg koncentráció eloszlása az ún. adalékprofil.
 - Az eszköz működése ennek lesz függvénye.
 - Kulcskérdés és igen nehéz technológiai feladat a művelet reprodukálhatósága.



- **Ionimplantáció**

- Gyorsított ionok belövése az anyagba
 - Szobahőmérsékletű művelet.
 - Az ionok mennyisége és átlagos behatolási mélysége könnyen szabályozható.
 - Az oldalirányú terjedés kevésbé jelentős, mint diffúzió esetén.
 - Egy vékonyabb felületi réteg „keresztül lőhető”.
 - Károsodik a kristályszerkezet.
 - A nagyenergiájú ionok ütköznek a kristály atomjaival, kilökhetik a kristályrácsból stb.
 - Az újrakristályosításhoz hőkezelés szükséges

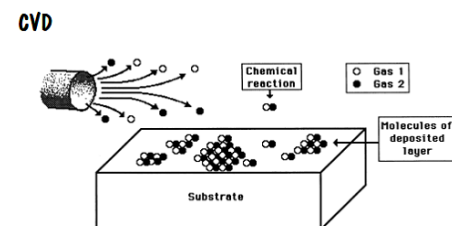


3. Rétegépítési/leválasztási technológiák (epitaxiális rétegnövesztés, CVD, PVD) főbb tulajdonságai.

- Kémiai vagy fizikai módszerek, amikkel a teljes szelet felületét beborító, összefüggő réteget hoznak létre.
- Oxidáció
 - A Si felületén a SiO₂ réteg létrehozása oxigén környezetben kb. 1000°C hőmérséklet hatására. A felületen a SiO₂ réteg tökéletes szigetelő, vegyi anyagokkal szemben szelektíven viselkedik.

- **Epitaxiális rétegnövesztés:**

- A felületen olyan Si réteg létrehozása, ami az egykristályos szerkezetet folytatja, de pl. kisebb adalékolású. 1200 °C hőmérsékletű művelet.
 - A szilícium szeletet magas hőmérsékleten tartják.
 - A felület felett gázatmoszférában olyan kémiai reakció zajlik, amelynek eredménye szilícium.
 - Megfelelő hőmérséklet és nyomás hatására a szilícium egykristály tovább épül, a lerakódó réteg folytatja az egykristály szerkezetet.
 - Nagyon jó minőségű egykristály réteg alakítható ki.
- Molekulasugaras epitaxia (molecular beam epitaxy)
 - Az épülő réteg sztöchiometriai összetétele akár atomsorról atomsorra változtatható.
 - Olyan rétegösszetételek alakíthatóak ki, amelyeket más technológiával nem lehet előállítani.
 - Pl. germánium beépítése
 - A nagyon vékony rétegek tulajdonságai nagymértékben eltérnek a tömbi anyag tulajdonságaitól a kvantummechanikai hatások miatt.

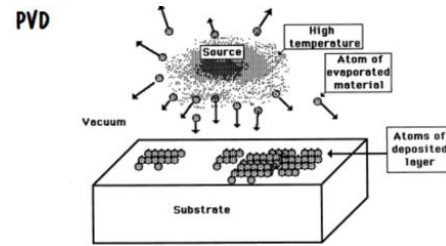


- **Kémiai gőzfázisú leválasztás=Chemical Vapor Deposition (CVD)**

- A szelet feletti atmoszférában gáz komponensek kémiai reakciója zajlik, amelynek (egyik) végterméke szilárd anyag
- A szilárd anyag a felszínre lerakódik, ez a leválasztott réteg.
 - Elsősorban szigetelő és passzíváló rétegek és a poliszilícium (polikristályos, azaz apró egykristályokból álló) leválasztására használt.

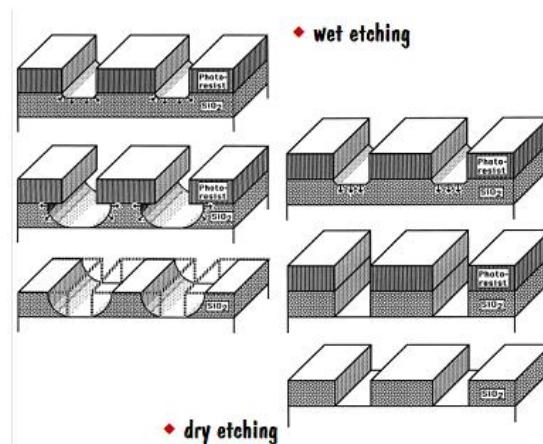
- **Fizikai gőzfázisú leválasztás = Physical vapor deposition (PVD)**

- Elsősorban fémrétegek leválasztására használt.
- Vákuumpárologtatás:
 - Vákuumban fémet párologtatnak el magas hőmérsékleten.
 - A hűtött hordozóra a fématomok lecsapódnak és réteget hoznak létre.
- Vákuumporlasztás:
 - pl. elektromágneses térrel gyorsított argon ionokkal bombáznak egy fém felületet. Ennek hatására atomok, atomcsoportok szakadnak le. (porlódnak)
 - Ezek eljutnak a hordozóra és réteget hoznak létre.



- **Rétegeltávolítás:**

- Azaz marás.
 - Olyan kémiai vagy fizikai-kémia reakcióval történik, amelyik szelektív (bizonyos anyagokat mar, más anyagokat nem.)
 - Ha sikerül a felületet olyan anyaggal beborítani, ami a marószer nem old, akkor szelektíven el lehet a kívánt helyről a réteget távolítani.
 - A mintázat kialakítása a litográfia feladata. (ld. a következő dia.)
 - Nedves kémiai marás: folyékony oldószerrel.
 - Plazma marás: oldószer atmoszférával.



4. A fotolitográfia.

- Feladata a szelektív mintázat kialakítása.
- A felületre ún. fotorezisztet visznek fel.
 - Szerves anyag, megvilágítás hatására bizonyos oldószerekkel szemben az oldhatósága megváltozik, pl. nem oldhatóvá válik.
- Egy maszkon keresztül (ami a megvalósítandó alakzatok körvonalát tartalmazza) megvilágítják.
- A rezisztet előhívják, azaz a szelektív oldószerrel a nem megvilágított részt leoldják.
 - Így a felületet a maszk által meghatározott területeken a fotoreziszt fedi.

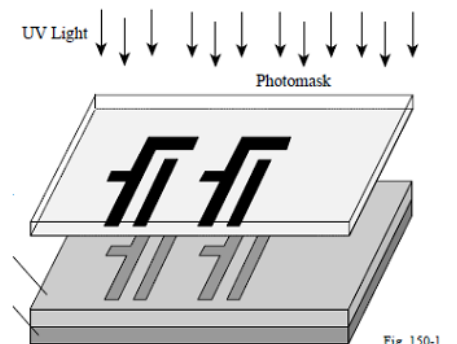
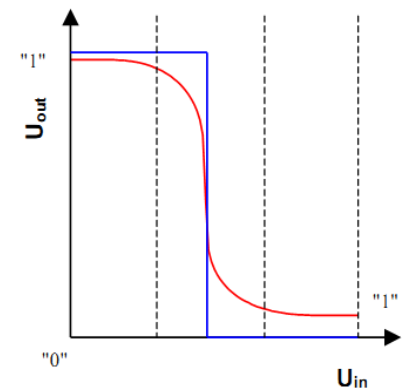


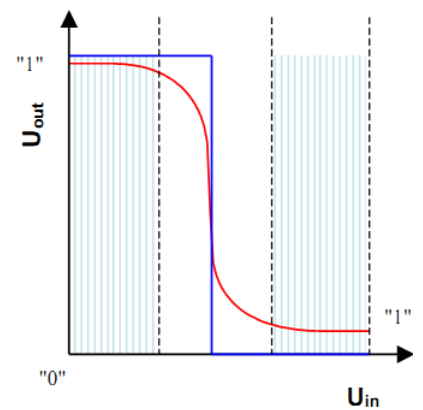
Fig. 150-1

5. Inverter transzfer karakterisztikája, főbb tulajdonságai (zavarvédetség, komparálási feszültség, logikai szint tartományok).

- A legalapvetőbb logikai elem, az összes többi elem ebből származtatható.
- **Transzfer karakterisztika**
 - A kimeneti jel logikailag a bemeneti jel invertáltja
 - A transzfer karakterisztika az inverter kimeneti feszültsége a bemeneti feszültség függvényében.
 - Azaz a $U_{OUT} = f(U_{IN})$ függvény.
 - Általában a V_{DD} tápfeszültség környékét tekintjük logikai 1-nek.
 - Más néven a HIGH szintnek
 - A 0V környéki feszültség felel meg a logikai nullának
 - Más néven a LOW szint.
- **Zavarvédetség:**
 - Széles U_{IN} tartományhoz azonos U_{OUT} érték tartozik.
 - A karakterisztika három szakaszból áll.
 - A két szélső szakasz laposan fut, azaz a bemeneten lévő feszültségváltozások csak nagyon kis változást okoznak a kimeneten.
 - Ez lehetőséget teremt arra, hogy biztonságos logikai szint tartományokat jelöljünk ki.



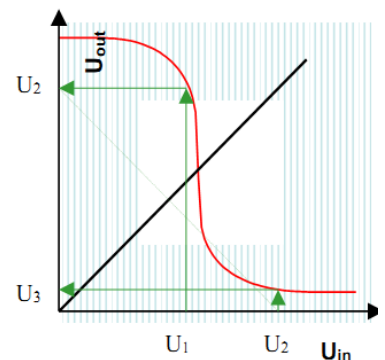
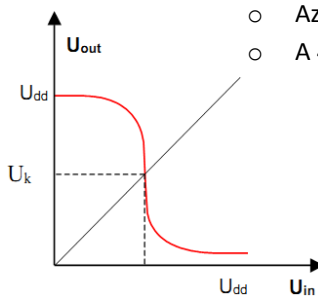
ideális és valós inverter transzfer karakterisztikája



- **Jel regenerálás**
 - A jel regeneráló képesség a középső szakasz meredekségétől függ.
 - Tekintsünk néhány, sorba kötött invertert!
 - Az első inverter bemenetére egy „rossz” logikai 0 érkezik, U_1
 - A kimeneten keletkező U_2 már közelebb áll az elfogadható magas szinthez.
 - A második kapu kimenete pedig, U_3 már „jó” logikai jelszint.
 - Elméletileg egy végtelen hosszú kapusorozat, a gyakorlatban kb. 3-4 kapu a jelszintet tökéletesen helyreállítja.

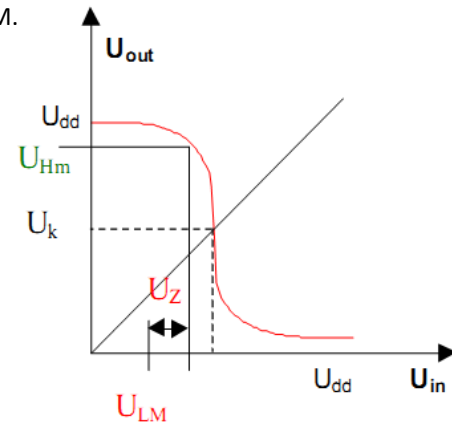
• A komparálási feszültség

- Az a határ, ami felett logikai 1 szint regenerálódik, alatta pedig logikai 0.
- Azaz: $U_{IN} = U_{OUT}$
- A 45°-os egyenes és a karakterisztika metszéspontja.
 - A regenerálódás csak ideális logikai rendszerben igaz, a valóságban az egyes kapuk komparálási feszültsége eltér egymástól.
 - A komparálási feszültségen történő működés teljesen bizonytalan.



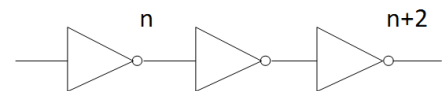
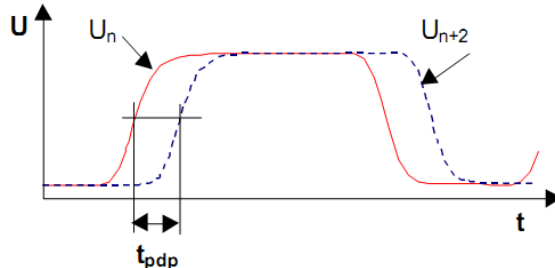
- **Logikai szint tartományok**

- o A logikai 0 és 1 szint azon feszültségtartományra, amelyen belül adott zavar szintek mellett az áramkör biztonságosan működik.
- o Tételezzük fel, hogy a láncba kapcsolt, egyforma inverterek mindegyik kapcsolódási pontján keletkeznek zavarjelek, amelyek maximális amplitúdója U_{ZM} .
- o A jelregenerálódás feltételei:
 - $f(U_{LM} + U_{ZM}) \geq U_{Hm}$
 - $f(U_{Hm} - U_{ZM}) \leq U_{LM}$
- o Kritikus feszültségek:
 - U_{LM} , a logikai 0 szint maximuma
 - U_{Hm} , a logikai 1 szint minimuma
- o Ezek betartása esetén a legrosszabb megengedett logikai szint és a legnagyobb zajfeszültség mellett is elfogadható logikai szintet kapunk.

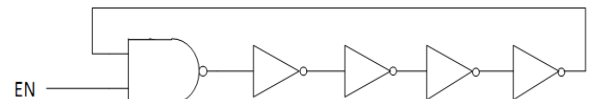


6. A párkésleltetés.

- Tegyük fel, hogy a jel egy hosszú, egyforma inverterekből álló láncon terjed. Elegetően sok inverter után a jel formát csak az inverterek belső tulajdonságai határozzák meg.
- A jel 2 inverter után megegyezik, a késleltetés pedig t_{pdp}

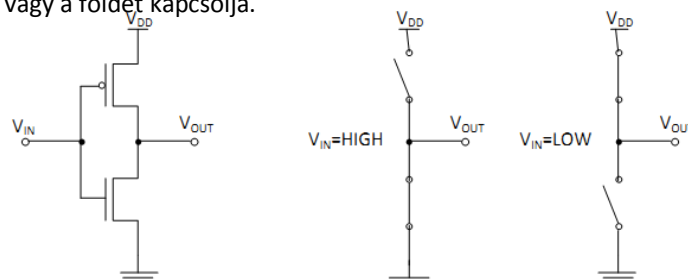


- A párkésleltetés mérése: ring oszcillátor
 - o páratlan számú inverter láncba kapcsolva, nincs stabil állapota, oszcillál.
 - o A NAND kapu az indításhoz szükséges.
 - o $T = N * t_{pdp}$

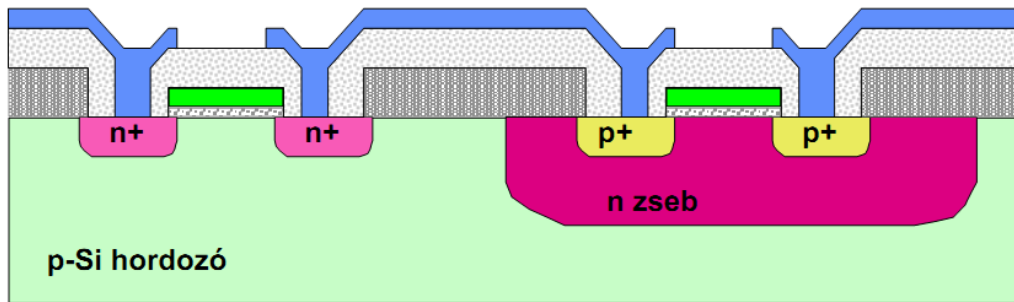


7. CMOS inverter kapcsolási rajza.

- Egy n és egy p csatornás MOS tranzisztorból áll.
- Állandósult állapotban a két tranzisztor közül csak az egyik vezet, a másik mindig lezár.
- Digitális áramkörök esetén a MOS tranzisztorokra a következő igaz:
 - o Logikai magas szint esetén nMOS vezet, pMOS zár.
 - o Logikai alacsony szint esetén pMOS vezet, nMOS zár.
 - (a kis karika a pMOS szimbólumán sokat segít...)
- Azaz mint egy olyan kapcsoló, ami a kimenetre a bemeneti jel szintjétől függően vagy a tápfeszültséget, vagy a földet kapcsolja.



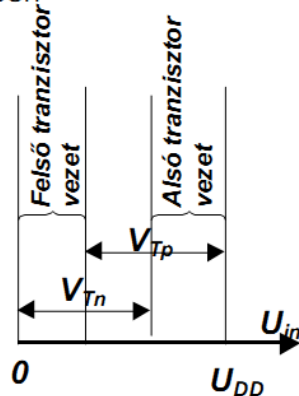
8. CMOS inverter keresztmetszete.



- Az egyik tranzisztortípusnak külön zsebet kell kialakítani
- Az összes n csatornás tranzisztor szubsztátja a legnegatívabb feszültségre (általában 0V) van kötve.
- Az összes p csatornás MOS tranzisztor zsebe pedig a tápfeszültségre.
- A zsebek és a hordozó között tehát egy záróirányú pn átmenet van.

9. CMOS inverter transzfer karakterisztikája.

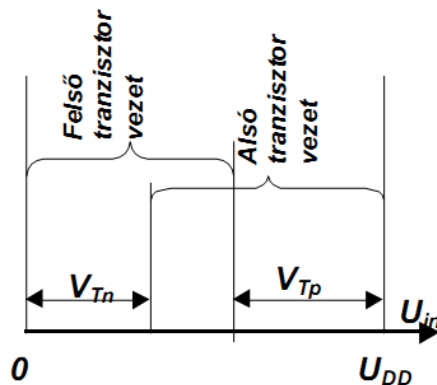
Két alapeset: a **tápfeszültségtől** és a tranzisztorok **küszöbfeszültségétől** függően



1. kis tápfeszültség:

$$U_{DD} < V_{Tn} + |V_{Tp}|$$

egyszerre csak az egyik tranzisztor vezet

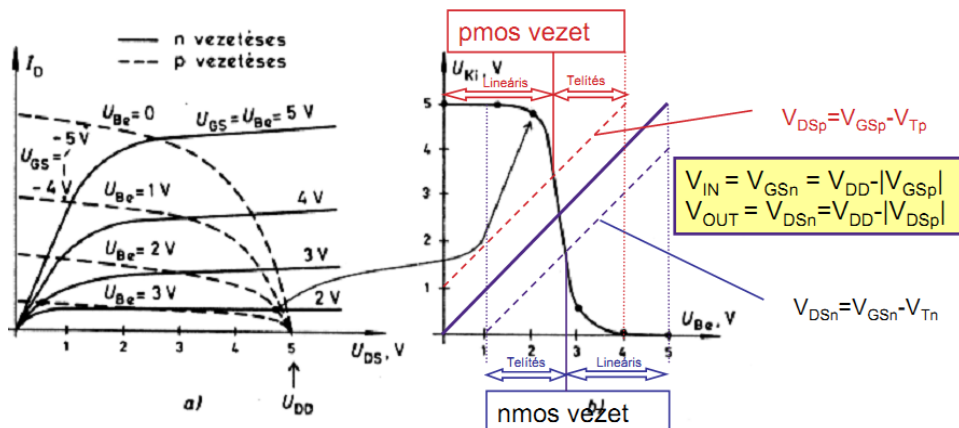


2. nagyobb tápfeszültség:

$$V_{dd} > V_{Tn} + |V_{Tp}|$$

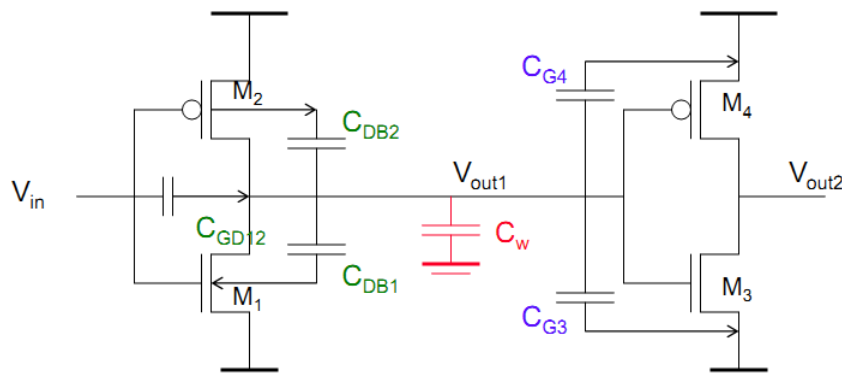
átkapcsoláskor egyszerre vezet mindkét tranzisztor

- Nagyobb tápfeszültség: $V_{dd} > V_{Tn} + |V_{Tp}|$
- A karakteristika szerkesztése:



10. CMOS kapu kimenetét terhelő kapacitások.

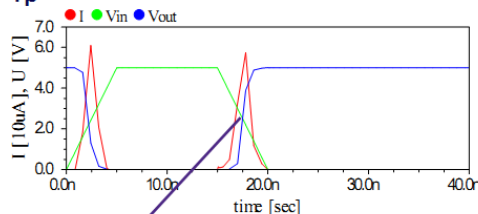
- **Meghajtó fokozat tranzisztorainak belső kapacitásai**
- **Következő fokozat tranzisztorainak bemeneti kapacitásai**
- **Vezetékezés kapacitása**
 - Az első kettő ismert, hiszen a kapu végleges megvalósítása alapján kiszámítható, megmérhető.
 - A vezetékezés kapacitása viszont csak a kapuk elhelyezésekor lesz ismert!
 - Emiatt a tervezés iteratív – hiszen pontos késleltetést számolni csak a vezetékhossz ismeretében lehetséges.



11. CMOS inverter statikus és dinamikus fogyasztása.

- Dinamikus összetevők – minden kapcsolási eseménykor
 - egymásba vezetés, töltéspumpálás
 - eseményűrűséggel arányos
 - órajel frekvencia
 - az áramkör aktivitása
- Parazita jelenségek miatt további összetevők:
 - küszöb alatti áramok (subthreshold current)
 - pn-átmenetek szivárgási áramai – leakage: ma már nagyon jelentős
 - tunnell áram a gate-n keresztül
- A működés közbeni, dinamikus fogyasztás két részből áll
 - Egymásba vezetés
 - a bemenő jel felfutásának egy szakaszában mindkét tranzisztor egyszerre vezet, ha $V_{Tn} < V_{in} < V_{DD} - V_{Tp}$

$$V_{DD} - V_{Tp}$$



(SPICE
szimuláció)

$$I_{MAX} = \frac{K}{2} \frac{W}{L} (V_{DD}/2 - V_T)^2$$

az átfolyó töltés, $\Delta Q = b \cdot t_{UD} \cdot I_{MAX}$
 ahol t_{UD} az idő, amíg áram folyik, b egy konstans, ami az átkapcsoló jel alakjától függ. $b \approx 0,1-0,2$

$$P = f \Delta Q V_{DD} = f V_{DD} b t_{UD} \cdot \frac{K}{2} \frac{W}{L} (V_{DD}/2 - V_T)^2$$

$$\longrightarrow P \sim f \cdot U_{DD}^3$$

- Töltés-pumpálás
 - Jelváltásokkor a kimeneten lévő CL terhelést 1-re váltáskor a p tranzisztoron keresztül tápfeszültségre töltjük, majd 0-ra váltáskor az n tranzisztoron keresztül kisütjük. → töltést pumpálunk a tápból a föld felé.
 - A töltéspumpálás teljesítmény igénye arányos a frekvenciával és a tápfeszültség négyzetével.

$$\Delta Q_L = C_L \cdot V_{DD}$$

$$P_{cp} = f \cdot C_L \cdot V_{DD}^2$$

- A töltéspumpálás teljesítmény igénye arányos a frekvenciával és a tápfeszültség négyzetével.
- **A teljes fogyasztás a 2 összege (ha egymásba vezetés is van), arányos a frekvenciával és a tápfeszültség 2.-3. hatványával.**

12. CMOS logikai alapelemek.

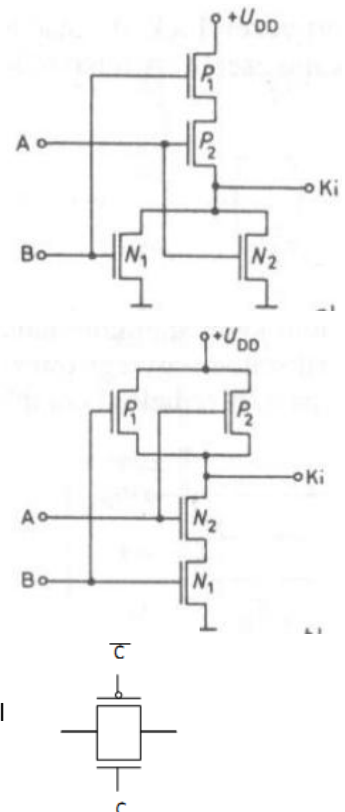
- A kapuk esetében egy p csatornás tranzisztorokból álló „pull up” (PUN) ill. n csatornás tranzisztorokból álló „pull down” hálózat (PDN) alkotja a kaput, mindkét hálózat annyi tranzisztorból áll, ahány bemenete van a függvénynek.
 - Azoknál a bemeneti kombinációknál, ahol a függvény értéke 0, a PDN rövidzár a kimenet és a föld között, míg a PUN szakadás a kimenet és a táp között.
 - Ha a függvény értéke 1, akkor a PDN szakadás, a PUN rövidzár.
 - **a p ill. n tranzisztorokkal ún. duális hálózatokat kell megvalósítani**
 - hurokból vágat, vágatból hurok.
 - Egyszerűbben: amit az egyik hálózatban sorbakötöttünk, azt a másik hálózatban párhuzamosan kell kötni.
 - duális alkatrészek: NMOS helyett PMOS
- De Morgan azonosságok alapján belátható
- **CMOS NOR kapu**
 - Az alsó hálózat két párhuzamosan kötött tranzisztorból áll.
 - Ha A vagy B bemenet magas, valamelyik alsó tranzisztor vezet, a felső hálózatban viszont zár, így a kimenet 0.
 - Ha mindkét bemenet 0, akkor a két alsó tranzisztor zár, a két felső nyit, a kimenet 1.

$$Y = \overline{A + B} = \overline{A} \overline{B}$$

- **CMOS NAND kapu**
 - Az alsó hálózat két sorba kötött tranzisztorból áll.
 - Egy n bemenetű CMOS kapuhoz 2n db tranzisztorra van szükség.

$$Y = \overline{AB} = \overline{A} + \overline{B}$$

- **CMOS transzfer kapu**
 - A jelfolyam útjába helyezett kapcsoló.
 - CMOS kivitelben egy n és egy p típusú tranzisztort kapcsolnak össze, a vezérlő jelek egymás inverzei.
 - A jel vagy az egyik vagy a másik vezető tranzisztoron veszteség nélkül átvitelre kerül.
 - **C=0 : Szakadás**



13. CMOS komplex kapuk kialakítása, méretezése.

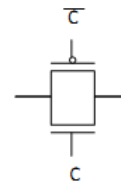
- Első lépés a PDN (pull-down network) megtervezése, ezt n csatornás tranzisztorokkal kell megvalósítani. A negált logikai függvény minden 0 értékéhez a kimenet és föld között áram utat kell biztosítani, a függvényben szereplő összegnek párhuzamosan, a szorzatoknak sorba kapcsolt hálózatrészek felelnek meg.
- A második lépés PUN (pull-up network) megtervezése, ezt a p vezetésű tranzisztorokkal kell megvalósítani.
 - A pull-up network a negált függvény minden 1 értékéhez a tápfeszültség és a föld között áramutat kell, hogy biztosítson.
 - Ennek egy módszere az, hogy meghatározzuk a PDN duális hálózatát.
 - A duális hálózatban sorbakapcsolt hálózatrészeknek párhuzamosan kapcsolt hálózatrészek, a párhuzamosan kapcsolt hálózatrészek pedig sorbakapcsolt részek felelnek meg.
- A másik módszer az, hogy meghatározzuk De Morgan azonosságok alkalmazásával a függvényt a bemenetek negált értékei függvényében, azaz az függvényt (mivel a p csatornás MOS tranzisztor logikai 0 szintnél fog vezetni) és a PDN-nél alkalmazott módszer szerint előállítjuk a hálózatot. Ebben az esetben:

Sok-sok ábra és szemléltetés: 9. slide 5-10

14. CMOS transzfer kapu.

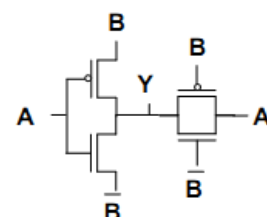
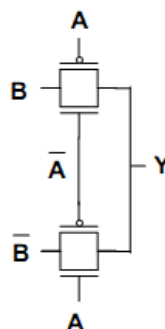
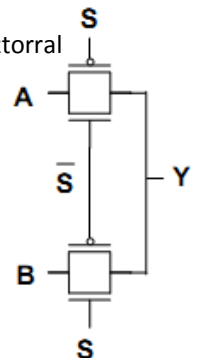
- A jelfolyam útjába helyezett kapcsoló.
- CMOS kivitelben egy n és egy p típusú tranzisztort kapcsolnak össze, a vezérlő jelek egymás inverzei.
- A jel vagy az egyik vagy a másik vezető tranzisztoron veszteség nélkül átvitelre kerül.

C=0 : Szakadás



15. Multiplexer és XOR kapu transzfer kapukkal.

- **Multiplexer**
 - Bizonyos funkciók transzfer kapuk alkalmazásával jóval egyszerűbben, kevesebb tranzisztorral valósíthatók meg.
 - Tipikusan a kiválasztó jellegű funkciók ilyenek.
 - $Y = A\bar{S} + BS$
 - Komplex kapuval 8 tranzisztor szükséges a megvalósításhoz.
 - A transzfer kapus megoldás mindössze négy tranzisztor igényel. Feltételeztük, S és $\bar{S}$ rendelkezésre áll.
 - Ez szimpla huzalozási kérdés, mert a tárolók a tárolt érték ponált és negált változatát is szolgáltatják...
- **XOR kapu**
 - Multiplexerből alakítjuk ki
 - Mindkét változat 4 tranzisztor, ha a negált és ponált jelek rendelkezésre állnak (a komplex kapu 8 tranzisztort tartalmaz)
 - Ha a negált jelek nem állnak rendelkezésre az első kapu 8, a második 6 tranzisztort tartalmaz. (komplex kapu 12 tranzisztort)
 - $Y = A \oplus B = \bar{A}B + A\bar{B}$



16. C2MOS = Clocked CMOS= Órajel vezérelt CMOS

- Kis terület
- 3-állapotú (tri-state) kapuk
 - $\Phi = 0$: a kimenet lebeg
 - $\Phi = 1$: a kimenet a bemenet invertáltja

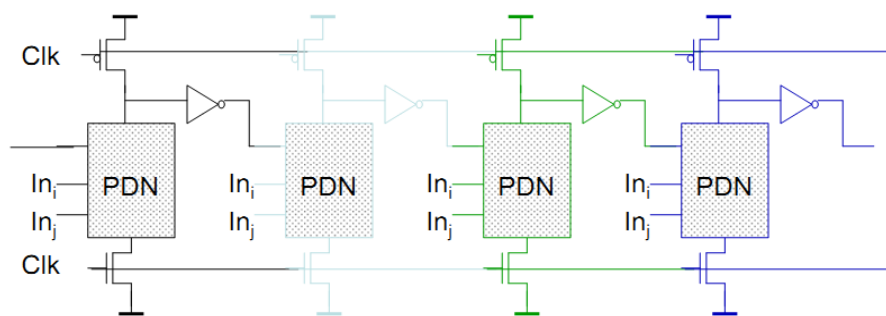
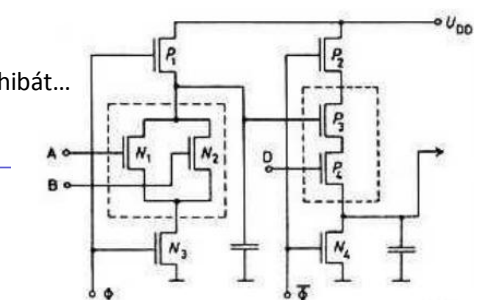
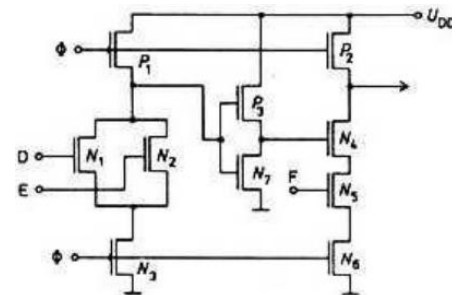
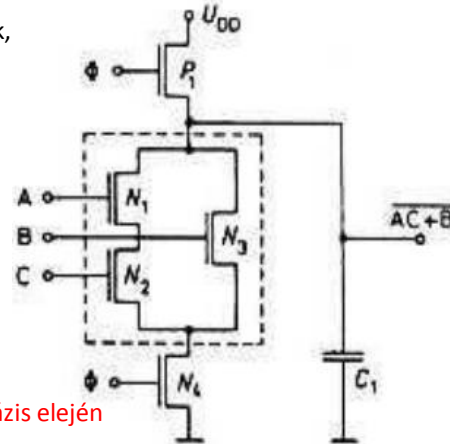
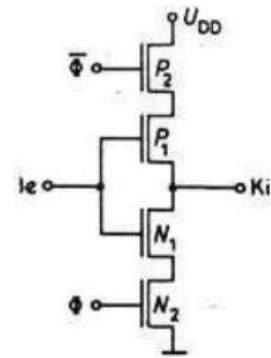
17. CMOS dominó logika.

- Előtöltés: a kimenetet terhelő C-t előre tápfeszültségre töltjük, mert a kisütés gyorsabb mint a feltöltés.
- $\Phi = 0$: előtöltés VDD-re, p1 = be, n4 = ki
- $\Phi = 1$: kiértékelés, p1 = ki, n4 = be
- Tranzisztorszám: n+2
- Csak dinamikus fogyasztás

- **Problémája:** ki = 0, csak késéssel jelenik meg → a kiértékelő fázis elején rövid ideig egy hamis 1 állapot (glitch) van a kimeneten.

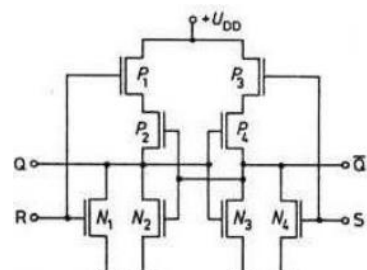
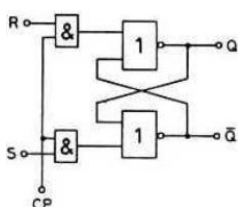
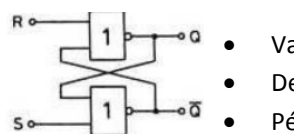
Megoldások:

- inverteres megoldás
 - egy további inverter (hagyományos), ami a pozitív glitch-et negatívvá változtatja, ami nem okoz problémát → dupla inverzió
- váltott logikájú megoldás
 - a következő kaput célszerűbb komplementer logikával megvalósítani, itt a glitch nem okoz hibát...



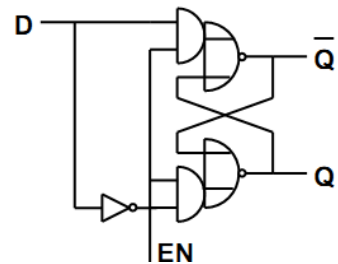
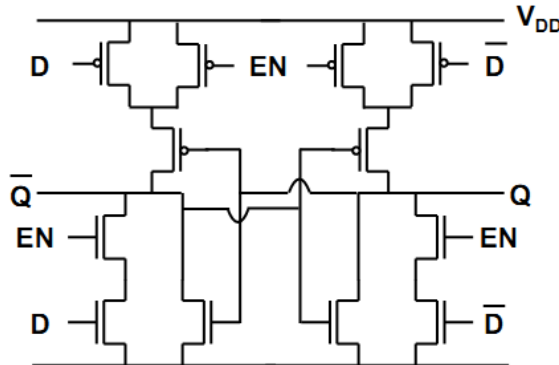
18. SR latch

- Van lehetőség latch-ek kialakítására logikai kapuk segítségével.
- De a tranzistor szintű építkezés kedvezőbb mind készletetés, mind pedig helyfoglalás tekintetében.
- Példa: SR latch.
 - Két NOR kapuból épül fel, mint ahogy az közismert.
 - Az engedélyezést pl. egy ÉS kapuval lehet megoldani.

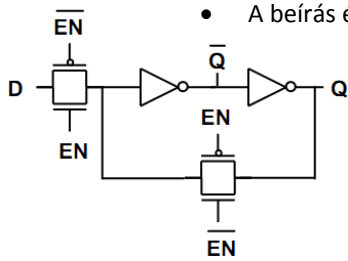


19. D – latch komplex kapuval.

- Komplex kapuk segítségével az engedélyező funkciót összevonhatjuk a tároló/beíró funkcióval.
- AND-OR-INVERT kapus kivitel.
- Két komplex kapuval, összesen 12 tranzisztorral realizálható.
- A D ellentettjére is szükség van.



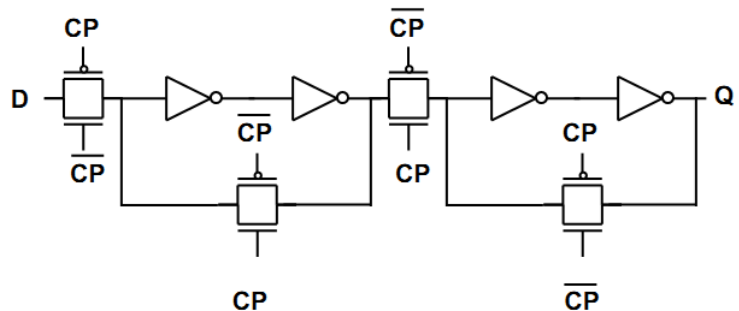
20. D – latch transzfer kapuval



- A beírás és a visszacsatoló ág egy egy transzfer kapuval van ellenfázisban vezérelve.
 - EN=1 alatt transzparens működés, $Q = D$, mivel a beíró ág transzfer kapuja vezet, a visszacsatoló ágban elhelyezett transzfer gate viszont zárt.
 - EN=0 alatt a kimenet visszairódik a bemenetre, a transzfer kapuk most ellentétesen vezetnek: a visszacsatoló ág „él”, a beíró ág elzárt.
 - Összesen nyolc tranzisztorral megvalósítható és nincs szükség a D negáltjára.

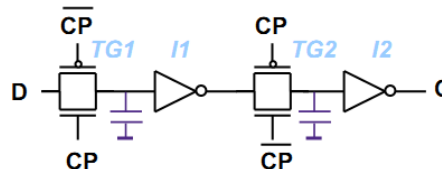
21. Master-Slave D tároló.

- 2 sorbakötött, ellenütemű órajellel vezérelt latch-ből állíthatók össze.
- Master-slave D-tároló, felfutó élre

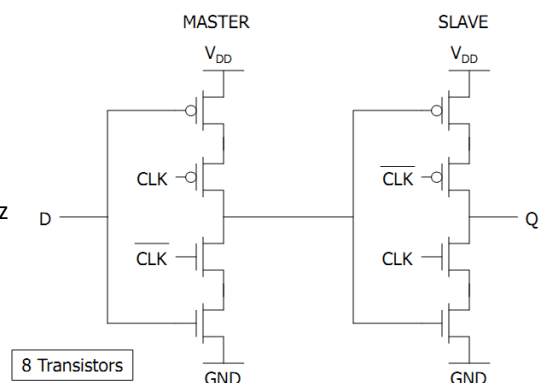


22. Dinamikus D tároló.

- Dinamikus D flip-flop
 - CP=1 esetén TG1 nyitott, TG2 zárt. D értéke a jelölt szórt kapacitásában tárolódik.
 - CP=0 esetén, lefutó élre TG1 zár, TG2 nyit. A master logikai értéke a slave-be másolódik.



- Dinamikus D flip-flop C²MOS megvalósítás
 - Egyszerűen két órajel vezérelt invertert kapcsolunk össze.
 - Ezeket ellentétesen vezéreljük.
 - A master és a slave közötti kapacitásban tárolódik az információ.



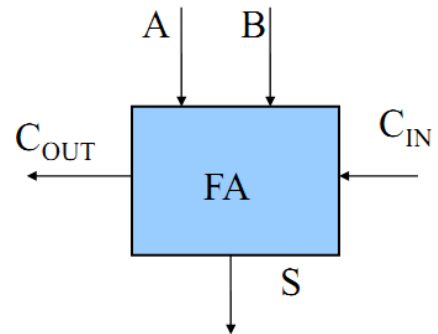
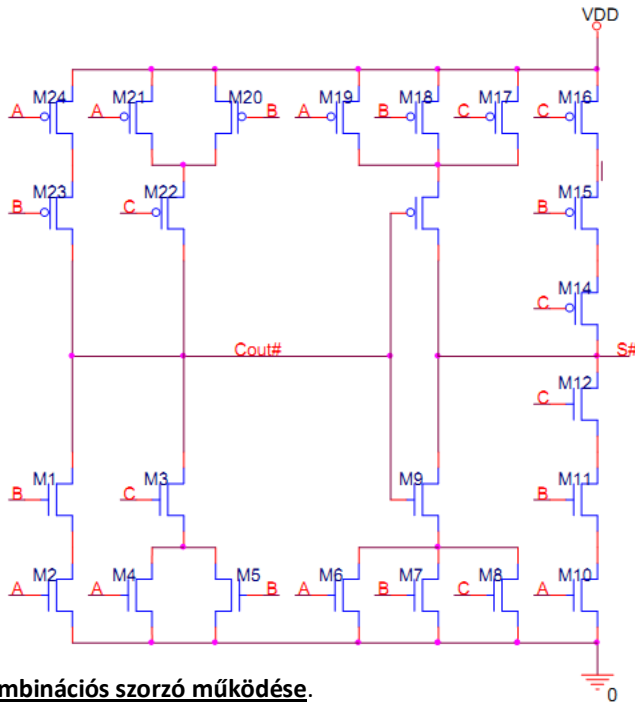
23. A teljes összeadó.

- 3 bemenete és 2 kimenete van
- bemenetek: A, B, C_{IN}
- kimenetek: S, C_{OUT}
- két komplex kapuval realizálható, de C_{OUT} 1, míg S 2 kapu késleltetéssel képződik.
- További probléma, hogy a kimenetek negáltak $\rightarrow$ további inverterekre van szükség.

A teljes összeadás kimeneti logikai függvényei:

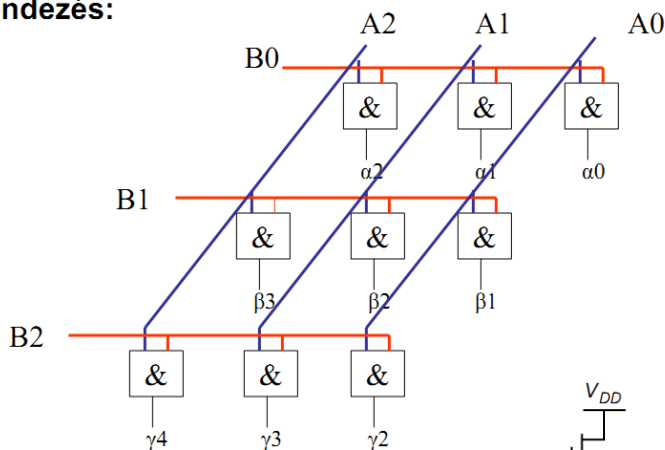
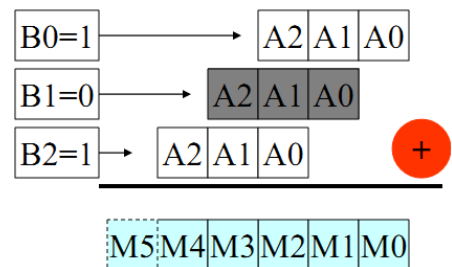
$$C_{OUT} = AB + C_{IN}(A + B)$$

$$S = ABC_{IN} + (A + B + C_{IN})\overline{C_{OUT}}$$



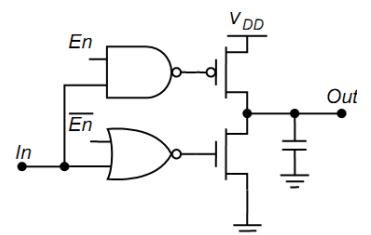
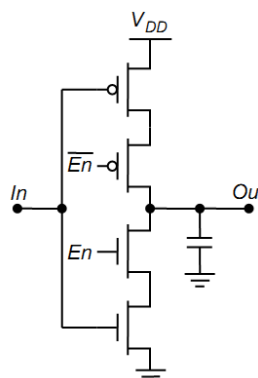
24. Kombinációs szorzó működése.

- Az összeszorandó számok A_n és B_n
- Bináris számok szorzása
- Ha B adott bite 1, bekerül az összegbe, egyébként nem.
- **kritikus művelet, sok gyorsító megoldás létezik**
- **Az ezt megvalósító áramkörü elrendezés:**



25. Tri-state buffer.

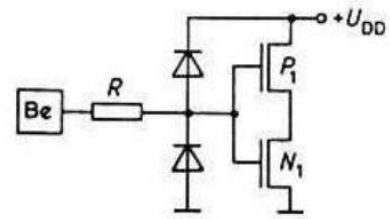
- $En=0$ esetén a kimenet nagyimpedanciás



Increased output drive

26. CMOS áramkörök bemeneti védelme.

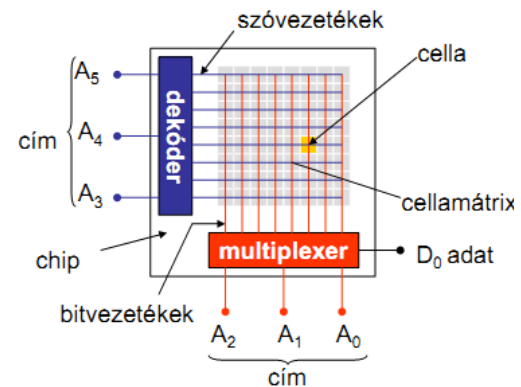
- A tápfeszültségnél nagyobb, vagy negatív feszültségre a diódák kinyitnak így védik meg a bemenetet.



Két dióda
nyitókarakterisztikáját
kihasználó védelem

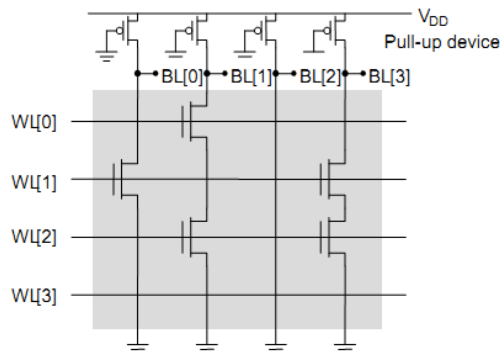
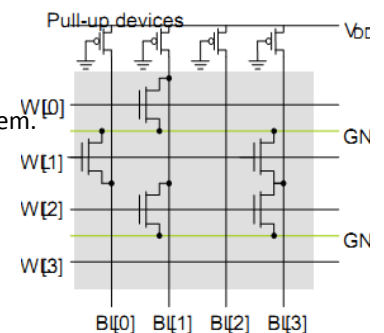
27. A memória cellamátrix.

- cella:** 1 bit információt tárol
- vízszintes vezetékek:**
 - szóvezeték:** a cellamátrix valamelyik sorának kijelölése
- függőleges vezetékek:**
 - bitvezeték:** ezen keresztül lehet a kijelölt sor celláit írni vagy olvasni
- a szóvezetéseket mindig egy dekóder hajtja meg,
- a bitvezetékekhez csatlakozó áramkör az író/olvasó erősítő, ami a kiolvasás során multiplexerként működik



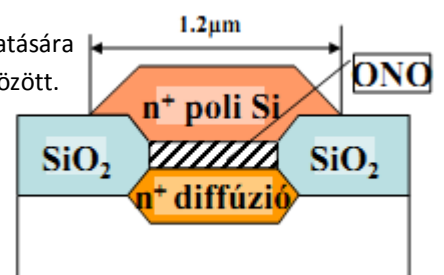
28. Mi a különbség a NOR ill. NAND típusú ROM memóriák kiolvasása között?

- NOR**
 - Az információt az tárolja, hogy az adott helyen van-e tranzistor, vagy sem.
 - Minden oszlop egy NOR-kapu (a p tranzistor a passzív terhelés)
 - Egy szóvezeték megcímzésekor, ha van a szó és a bitvonal között tranzistor, a kimenet alacsony szintű, egyébként logikai 1.
- NAND**
 - Olvassáskor minden szóvonal 1, kivéve a megcímzett.
 - Ha nincs tranzistor, a tárolt érték 0, egyébként 1



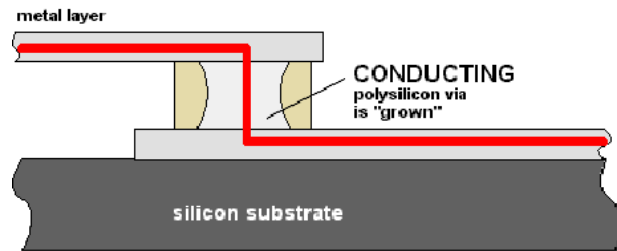
29. Az antifuse felépítése, tulajdonságai (plíce, vialink)

- „Anti-fuse” (a biztosíték tagadása ;-)) egy olyan eszköz, amelyik akkor vezet az áramot, ha kiégetjük, egyébként programozatlanul szakadásként viselkedik.
- PLICE**
 - Az n+ diffúzió és a n+ poli-Si között egy vékony, 10 nm-es dielektrikum réteg található.(oxid-nitrogén-oxid)
 - A kb. 16V, 5 mA, 1 ns impulzus ezt a dielektrikumot átüti, a hő hatására
 - megolvad és összeköttetés jön létre a poliSi és a diffúziós réteg között.



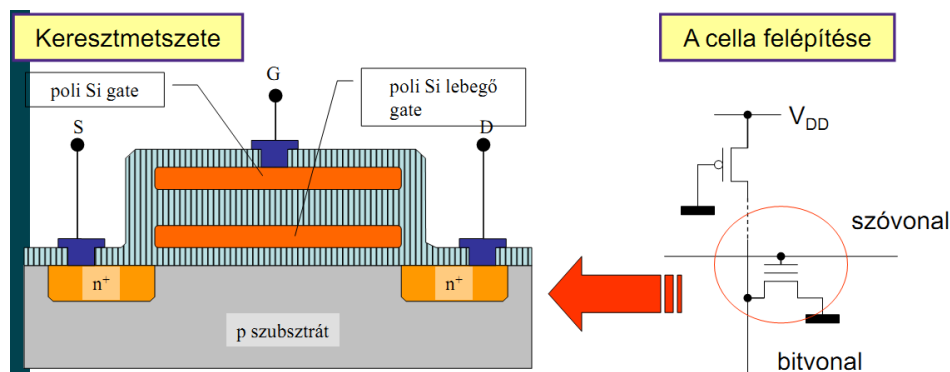
- **ViaLink**

- Két huzalozási réteg közötti átkötési területet, azaz viát amorf szilíciummal töltenek fel. Ez szigetel, de nagy térerősségnél átüt, megolvad és poli-szilíciummá kristályosodik át, ami viszont már elektromosan vezet.



30. FAMOS tranzisztor felépítése, működése, tulajdonságai.

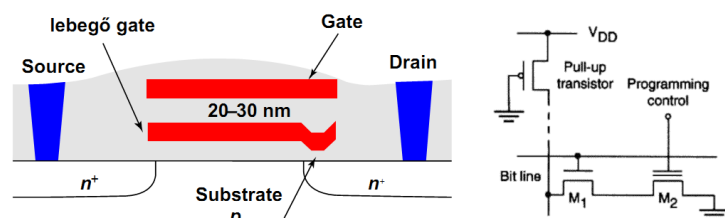
- Elektronikusan programozható, UV fénnel törölhető információ tároló elem az EPROM (NOR típusú)-ban: egy ún. **FAMOS** tranzisztor {Floating gate Avalanche MOS}
- A MOS tranzisztorban egy további „lebegő” (nincs sehova kötve) gate van kialakítva.



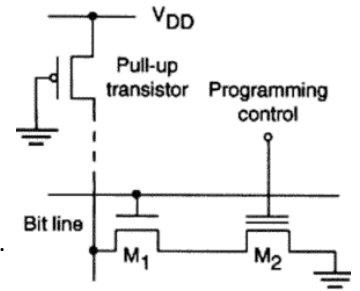
- Programozás
 - A source-t földeljük, a gate-re és a drain-re nagy pozitív feszültséget kapcsolunk. (kb. 12 V)
 - → letörés jön létre a MOS tranzisztor csatornájában
 - → a nagy energiájú elektronok átjutnak az oxid potenciálgátján (3,2 eV) és a lebegő elektródára kerülnek. A folyamat önszabályozó, mert a küszöbfeszültség megnövekszik, így az áram csökken.
 - A lebegő elektródán a negatív töltés évekig megmarad. (10 évet garantálnak a gyártók általában) Emiatt a tranzisztor küszöbfeszültsége megnövekszik, és akkor sem nyit ki, ha a gate-re tápfeszültséget kapcsolunk.
 - Programozás nélkül az eszköz úgy viselkedik, mint egy közösleges MOS tranzisztor.
- Törlés:
 - Nagy energiájú UV fénnel a lebegő elektródáról eltávolíthatjuk az elektronokat. Kb. 20 perc alatt a folyamat lezárul és az eszköz újraprogramozható.

31. EEPROM memóriák főbb tulajdonságai

- Elektromosan programozható és törölhető
- Egy cella 2 tranzisztorból áll, egy kiválasztó és egy speciális lebegő gate-es tranzisztorból.
- A FAMOS tranzisztortól annyiban tér el, hogy a gate a drain felé nyúlik, a lebegő gate-et a draintól egy vékony, 5-10 nm oxid választja el → az elektronok ezen a vékony oxidon keresztül juthatnak. (alagútjelenség, tunnel hatás)

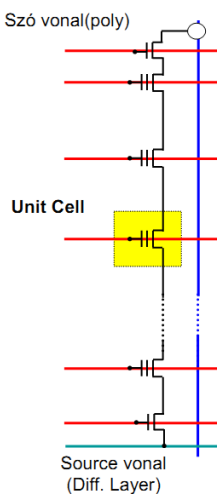
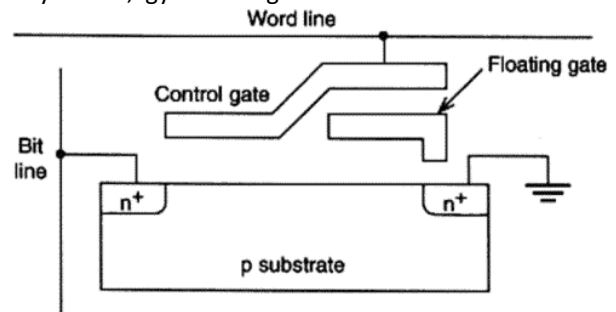


- Programozás
 - A gate-et földeljük, a drainre nagy pozitív feszültséget kapcsolunk.
 - Az elektronok a lebegő gate-ről a drain felé „tunneleznek”,
 - A lebegő gate pozitív töltésűvé válik, ez a tranzistor küszöbfeszültségét lecsökkenti, tehát a tranzistor 0V gate-source feszültség mellett is vezet.
- Törlés
 - Pozitív feszültséget kapcsolunk a gate-re és a drain-t földeljük.
 - Ellenkező irányú tunneláram indul a lebegő gate felé.
 - A lebegő gate negatív töltésűvé válik, így a küszöbfeszültség növekszik, a tranzistor nem vezet.
- A vezérlő gate-et csak programozáskor használjuk, a kiolvasáshoz kell egy „hagyományos” MOS tranzistor.

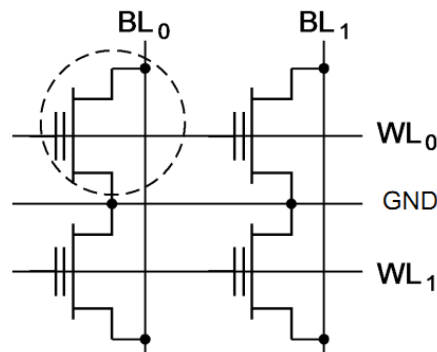


32. Flash memória cellája, működése, tulajdonságai.

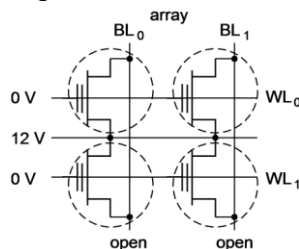
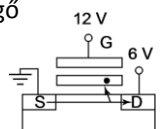
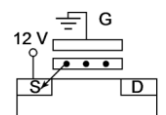
- A két tranzisztoros EEPROM cellát egy különleges tranzistor helyettesíti, így a sűrűség összemérhető az EPROM sűrűségével.
- **Programozás:** mint az EPROM cellánál, lavinaletöréssel.
- **Törlés:** mint az EEPROM-nál, tunnelezéssel.
- A programozás – törlés a tranzistor küszöbfeszültségének változtatását jelenti.
- SLC – (single level cell) két elkülöníthető VT
- MLC – (multi level cell) több, 4 vagy 8 különböző állapot.
- **NAND:**



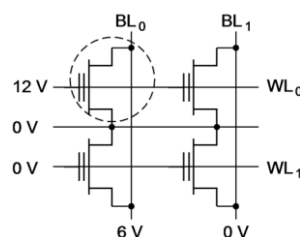
NOR:



- **NOR Flash**
 - A helytakarékoság miatt két egymást követő szóvonálhoz tartozó tranzistor „szembe fordul”.
 - Az olvasás véletlen elérésű.
 - Törlés: A source-ra kapcsolt nagy pozitív feszültség hatására a lebegő gate elektronjai tunnelezéssel távoznak
 - Programozáskor lavinaletörést hoznak létre a drain-nél, a nagyenergiájú elektronok a lebegő gate-re kerülnek.



törlés



programozás

- **NAND Flash:**

- Jóval helytakarékosabb, mint a NOR flash, de lassabb a sok sorba kapcsolt MOS tranzisztor miatt.
- Nagyobb kapacitású, mivel a tranzisztorok sorba vannak kötve, és több sorbakötött tranzisztorhoz tartozik egy bitvonal.
- A sor egy aktiváló tranzisztor nyitja és zárja.
- A kiolvasás, programozás jóval bonyolultabb
 - Pl. SLC esetén az olvasás:
 - az aktivált cellán kívül az összes szóvonalat magas feszültségre kapcsolják (ezek a tranzisztorok tehát mindenképpen vezetnek), az aktivált cellára a „0” értéknél kicsit nagyobb gate feszültséget kapcsolnak.
 - Ha a tranzisztor vezet, akkor az egész sor vezet, tehát a benne tárolt érték logikai 1, egyébként pedig 0.
 - MLC esetén különböző feszültségszintekkel kell ugyanezt végigpróbálni.
 - Nem túl egyszerű, MLC esetén sok a bithiba – ezt megfelelő hibajavító kód kezeli.

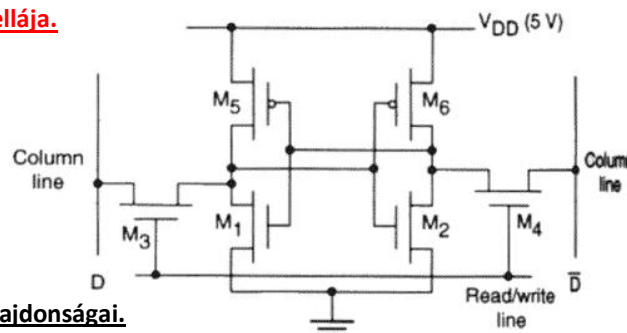
33. Mi a különbség az SLC ill. az MLC flash között?

- SLC – (single level cell) két elkülöníthető VT
- MLC – (multi level cell) több, 4 vagy 8 különböző állapot.

34. Flash memóriák főbb tulajdonságai.

- A két tranzisztoros EEPROM cellát egy különleges tranzisztor helyettesíti, így a sűrűség összemérhető az EPROM sűrűségével
- A NOR
 - olvasása véletlen elérésű.
- A NAND
 - jóval helytakarékosabb, mint a NOR flash, de lassabb a sok sorba kapcsolt MOS tranzisztor miatt.
 - Nagyobb kapacitású, mivel a tranzisztorok sorba vannak kötve, és több sorbakötött tranzisztorhoz tartozik egy bitvonal.

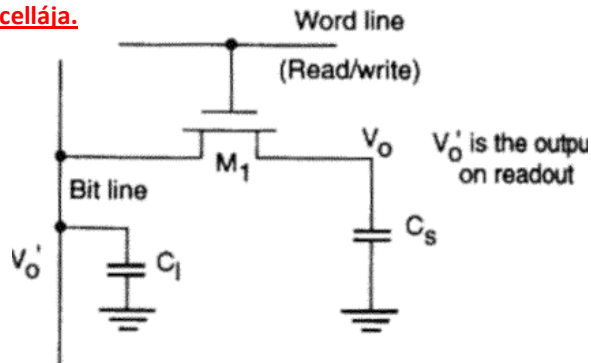
35. Az SRAM elemi cellája.



36. Az SRAM főbb tulajdonságai.

- Gyors!!!
- a beírt információ a tápfeszültség eltűnéséig megmarad.
- Minden egyes cella egy kétállapotú áramkör, ez tárolja az információt.
- 6 tranzisztorból áll.
- Az információt a 2 keresztbe csatolt CMOS inverter tárolja, aminek 2 stabil állapota van (flip-flop).
- A beírás, kiolvasás a 2 NMOS tranzisztor segítségével történik.

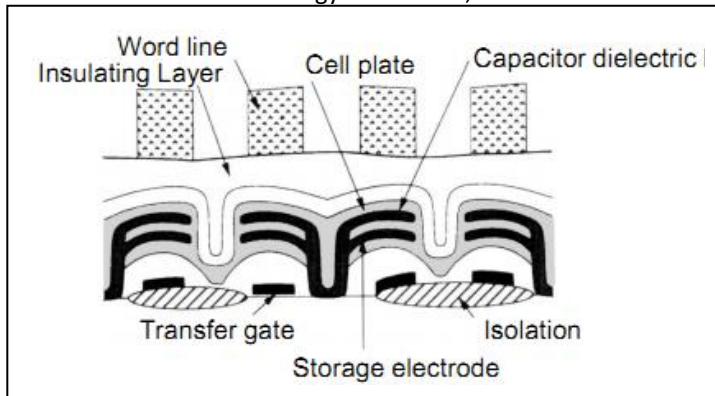
37. A DRAM elemi cellája.



- Az információt a C_S kapacitás tárolja, amit az M1 tranzisztor kapcsol rá a bitvonalra.
- A C_S kapacitás kb. 20..50 fF. 2,5V töltés esetén 20fF kapacitásban kb. 300 000 elektron van.

38. A DRAM elemi cella fizikai megvalósítása.

- A DRAM cella egy tranzisztorból és egy kapacitásból áll.
- Azonos felületen kb. négyszer sűrűbb, mint a statikus RAM.



- **árokkapacitás** (trench kapacitás): A szilíciumba árkot marnak, aminek afalát oxid fedi, ebbe kerül a poli-Si.
- **„stack” kapacitás**: a fegyverzeteket vékony oxid szigeteli el. A kapacitásnövelése több réteggel lehetséges.

39. A DRAM főbb tulajdonságai.

- A DRAM cella egy tranzisztorból és egy kapacitásból áll.
- Azonos felületen kb. négyszer sűrűbb, mint a statikus RAM.
- Az információt a C_S kapacitás tárolja, amit az M1 tranzisztor kapcsol rá a bitvonalra.
- A C_S kapacitás kb. 20..50 fF. 2,5V töltés esetén 20fF kapacitásban kb. 300 000 elektron van.
- Elfelejtí ami tárolva van benne->frissíteni kell

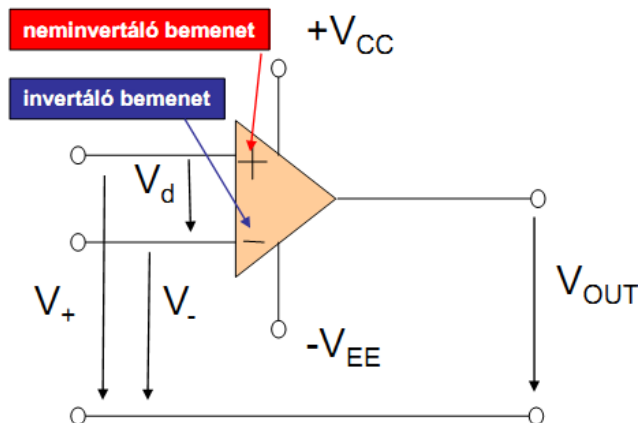
40. DRAM cella kiolvasása.

- Kiolvasás: a szóvonal aktivizálásakor a bitvonalra kapcsoljuk a C_S kapacitást. A bitvonal saját kapacitása nagyobb, mint a tároló kapacitás, így töltésmegoszlás történik.
- $$\Delta U_L = \frac{C_S}{C_S + C_L} U_L$$

- Példa:
 - Legyen $C_L = 20 \cdot C_S$, $V_{DD} = 3,3 \text{ V}$, $V_T = 0,7 \text{ V}$
 - Ekkor a C_S kapacitás „1” szintje $U_{DD} - V_T = 2,6 \text{ V}$ lesz. A bitvonal feszültségváltozása ennek 21-ed része, azaz kb. 120 mV.
 - Az érzékelő erősítőnek tehát ezt kell helyreállítani. A kiolvasás destruktív, tehát kiolvasás után mindenképpen frissíteni kell.

41. A műveleti erősítő főbb tulajdonságai.

- A hagyományos erősítő tulajdonságait a belső felépítése határozza meg a műveleti erősítővel (operational amplifier) épült áramkörök működését a külső negatív visszacsatolás határozza meg.
- Közel ideális tulajdonságokkal rendelkezik,
 - méretben, árban alig tér el a tranzisztoroktól, alkalmazása pedig jóval egyszerűbb.



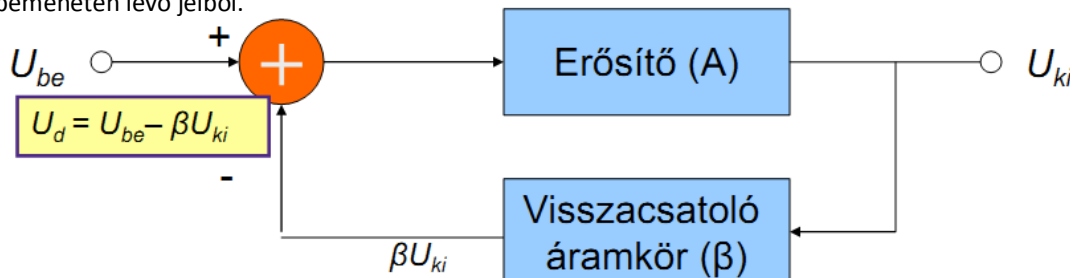
- Bemenete differenciális erősítő: 2 bemenete van, az ezek közötti feszültségkülönbséget erősíti, ez az ún. differenciális feszültség erősítés.
 - $V_{out} = A_d(V_+ - V_-)$

42. Az ideális műveleti erősítő paraméterei.

- $A_d \rightarrow \infty, r_d \rightarrow \infty, r_{ki} \rightarrow 0$,
- ahol r_d a differenciális bemeneti ellenállás, r_{ki} a kimenő ellenállás.

43. Műveleti erősítő negatív visszacsatolása.

- A kimeneti jel egy részét a visszacsatoló hálózaton keresztül visszavezetjük a bemenetre, és kivonjuk a bemeneten lévő jelből.



Stabil állapotban:

$$U_{ki} = A \cdot U_d = A(U_{be} - \beta \cdot U_{ki})$$

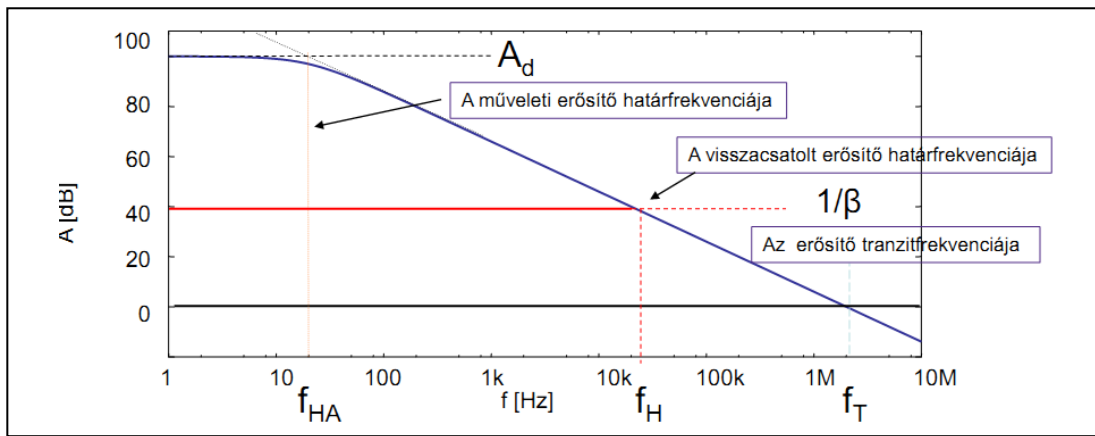
átrendezve:

$$A_v = \frac{U_{ki}}{U_{be}} = \frac{A}{1 + \beta \cdot A}$$

Ha $\beta A \gg 1$, akkor

$$A_v \approx \frac{1}{\beta}$$

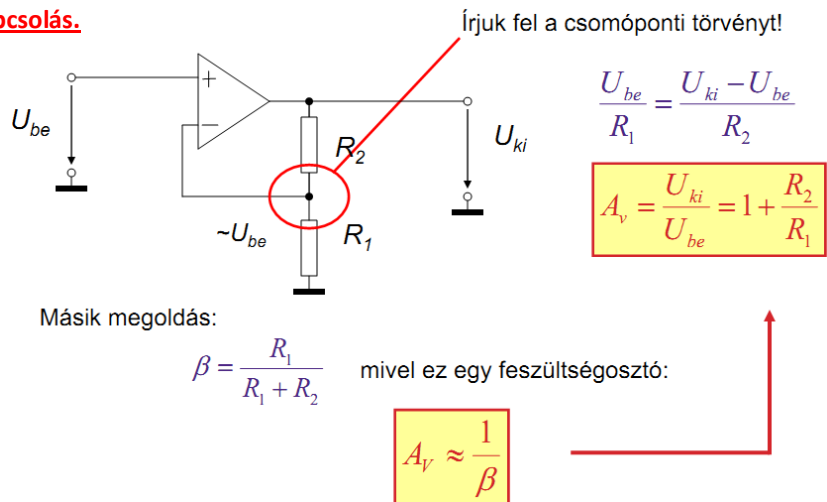
Az erősítést a visszacsatolás határozza meg!



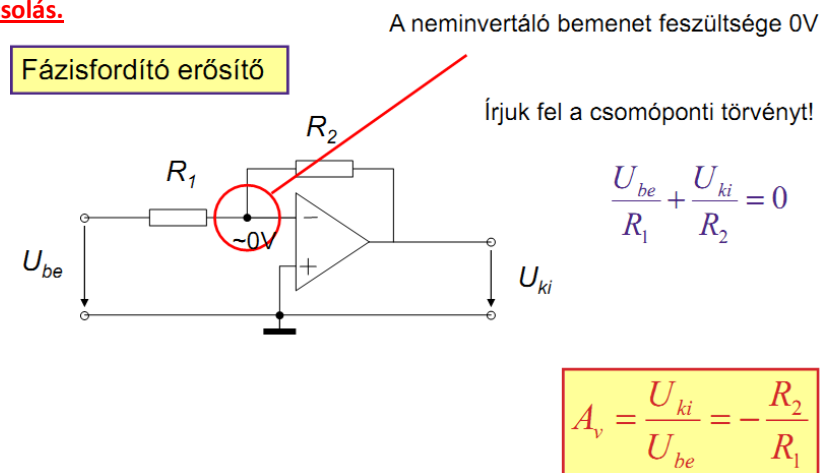
$$f_H * A_V = f_{HA} * A = f_T = GBW$$

- A negatívan visszacsatolt erősítő erősítés-sávszélesség szorzata egyenlő az erősítő tranzitfrekvenciájával.

44. Fázist nem fordító alkapcsolás.

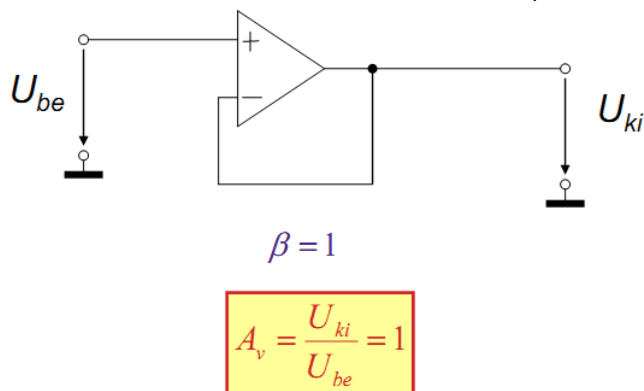


45. Fázisfordító alkapcsolás.

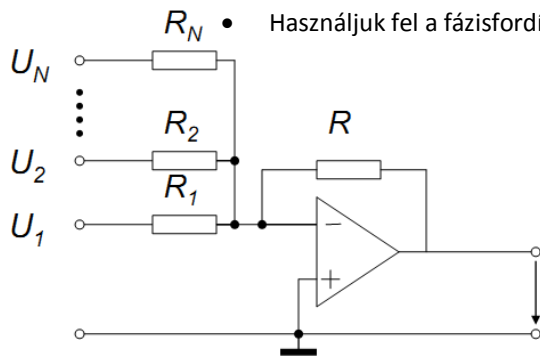


46. Feszültségkövető.

- Az U_{be} forrást minimálisan terheli, a kimeneti ellenállás kicsi, ún. impedanciaváltó $r_{in} \rightarrow \infty, r_{out} \rightarrow 0$



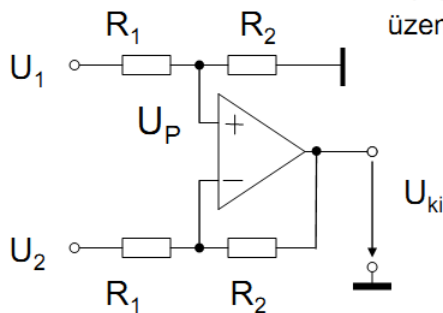
47. Összeadó erősítő.



- Használjuk fel a fázisfordító erősítő erősítésének képletét és a szuperpozíció elvét...

$$U_{ki} = - \left(\frac{R}{R_1} U_1 + \frac{R}{R_2} U_2 + \dots + \frac{R}{R_N} U_N \right)$$

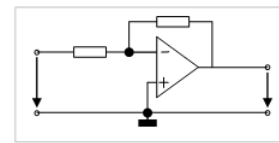
48. Kivonó erősítő.



A szuperpozíció elvét alkalmazzuk

Ha $U_1 = 0$, akkor **fázisfordító erősítőként** üzemel a kapcsolás:

$$U_{ki} = - \frac{R_2}{R_1} U_2$$

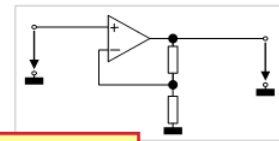


Ha $U_2 = 0$, akkor **fázist nem fordító erősítőként** üzemel a kapcsolás:

$$U_p = \frac{R_2}{R_1 + R_2} U_1$$

A fázist nem fordító erősítő kapcsolás erősítése:

$$\frac{U_{ki}}{U_p} = 1 + \frac{R_2}{R_1} \quad \text{így} \quad U_{ki} = \frac{R_2}{R_1} U_1$$



A megoldás a két eredmény összegzésével:

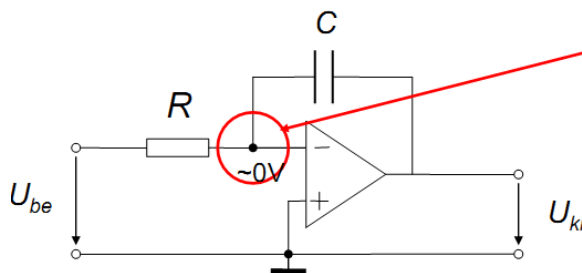
$$U_{ki} = \frac{R_2}{R_1} (U_1 - U_2)$$

49. Integrátor.

- Az integrátorok általában:

$$u_{ki}(t) = K \int u_{be}(t) dt + u_{ki}(t=0)$$

kifejezést valósítják meg.



Az áram törvényből:

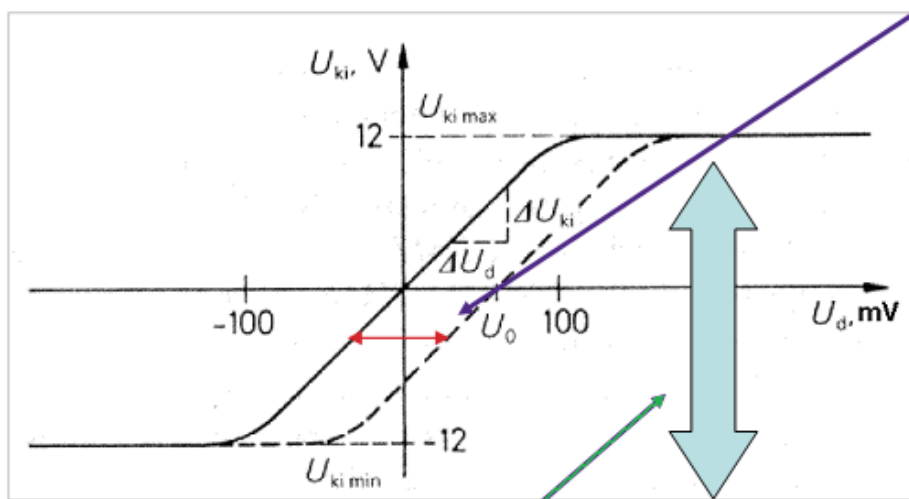
$$\frac{u_{be}}{R} + C \frac{du_{ki}}{dt} = 0$$

Megoldva:

$$u_{ki} = - \frac{1}{RC} \int_0^t u_{be}(t) dt + u_{ki}(0)$$

50. Valós műveleti erősítők paraméterei, offset, kivezérelhetőség, slew-rate.

- **Offset feszültség:** A bemenetre valamekkora feszültségkülönbséget kell adni ahhoz, hogy a kimenet 0 legyen. Ez az ún. bemenetre redukált offset feszültség, néhány mV nagyságrendű.
- Maximális jelváltozási sebesség (slew rate): A kimeneten a jel véges sebességgel változhat meg.
 $SR = dU_{ki} / dt$ maximuma.
- **Kivezérelhetőségi határ:** min túl az erősítő kimeneti feszültsége nem fog növekedni,
 - általában a tápfeszültség – néhány V,
 - léteznek olyan műveleti erősítők is amelyek a tápfeszültségekig vezérelhetők (rail-to-rail működés)



51. Differenciális és közös módusú vezérlés, CMRR.

- **Differenciál** erősítő, a pontos erősítést a kívülről kapcsolt R_G ellenállás állítja be, általában kb. $1..1000\times$
- Közös módusú erősítés:

Ha a két bemenetre ugyanazt az U_k feszültséget kapcsoljuk, a kimenetnek ideális esetben 0-nak kellene lenni.

A valóságban az erősítő kimeneti feszültsége függ az U_k feszültségtől, ez az ún. közös módusú erősítés.

Legyen $U_m = U_k - U_d / 2$ és $U_p = U_k + U_d / 2$
 Ekkor a differenciális feszültségerősítés:

$$A_d = \frac{\partial U_{ki}}{\partial U_d}$$

a közös módusú
feszültségerősítés:

$$A_k = \frac{\partial U_{ki}}{\partial U_k} \quad A_k \ll A_d$$

A katalógusok általában a **közös módusú feszültség elnyomást** adják meg
 (Common Mode Rejection)

$$CMRR = \frac{A_d}{A_k}$$

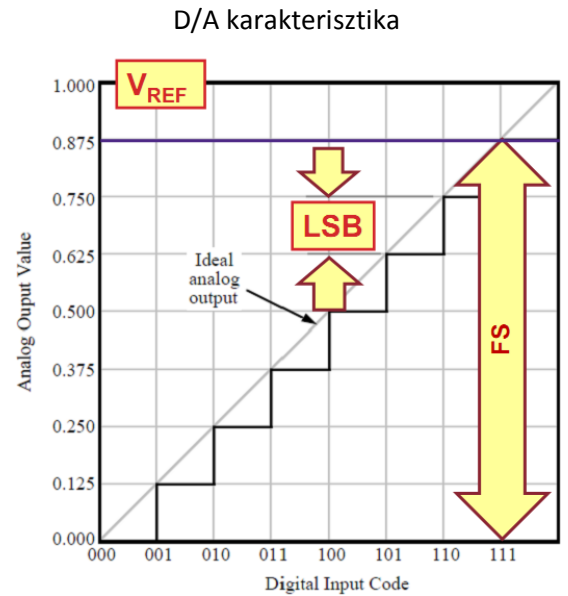
értéke 10^4 körül van.

52. A mintavételezés.

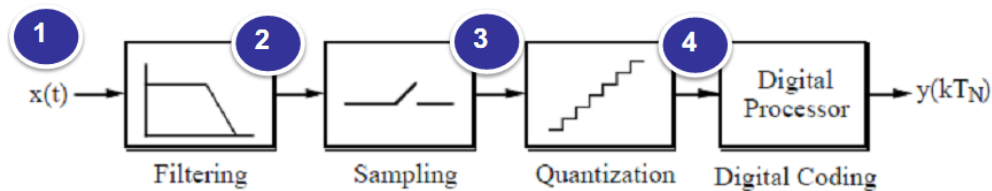
- Egy analóg bemeneti jel diszkrét jelek sorozatává alakítható, ha $t[i] = i T_s$ egyenlő időközönként mintát veszünk a bemenetről. A kapott lépcsős függvény annál jobban közelíti az eredeti jelet, minél nagyobb a **mintavételi frekvencia: $f_m = 1/T_m$**
- Nyquist -Shannon-tétel:
 - Ha a bemeneti jel spektruma (Fourier-transzformáltja) f_{max} frekvencia felett nem tartalmaz érdemleges összetevőket, akkor $f_m \geq 2 * f_{max}$

53. DA és AD konverter karakterisztikája, alapfogalmak: referencia feszültség, FS, LSB.

- V_{LSB} = a legkisebb helyiértékű bithez tartozó feszültség
 - $V_{LSB} = \frac{V_{REF}}{2^N}$
- Referencia feszültség: amelyhez az A/D átalakítók az A analóg mennyiséget viszonyítják és amely a kimeneti feszültség maximális értékét is meghatározza.
- Full Scale:
 - $FS = V_{OUT,MAX} = \frac{V_{REF}}{2^N} (2^N - 1)$
 - $V_{OUT,Min} = 0$
- AD-nál ugyanaz a karakterisztika csak invertálva van a számegegyenes



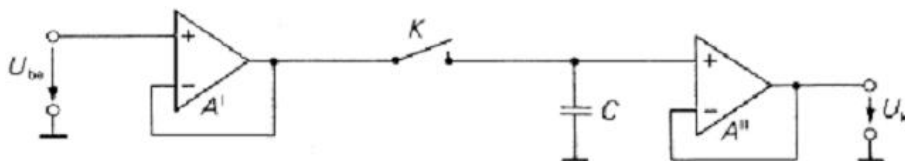
54. Az AD átalakítás folyamata.



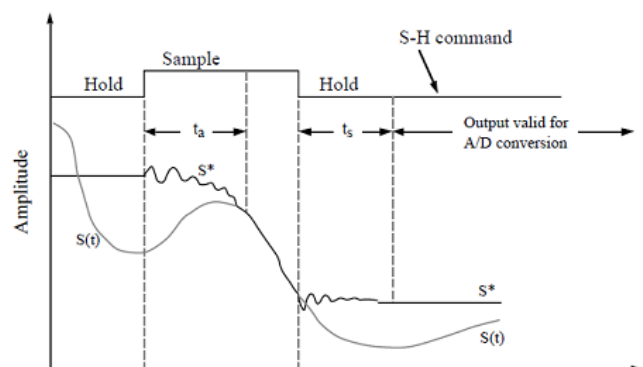
1. Anti aliasing szűrő: aluláteresztő szűrő, feladata a jelből eltávolítani az esetlegesen jelenlévő maximális frekvencia feletti komponenseket.
2. Mintavételezés
3. Kvantálás
4. Digitális kódolás

55. Mintavevő és tartó.

- Bekapcsolt állapotban a kimeneti feszültség követi a bemeneti jel feszültségét.
- Kikapcsoláskor tartja a feszültséget addig, amíg az A/D átalakító elvégzi az átalakítást.

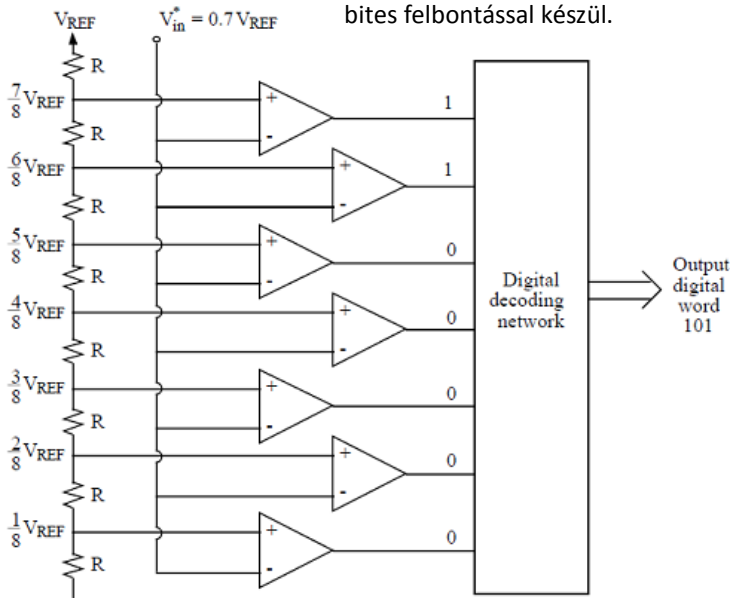


- A tároló (tartó) funkciót a C kondenzátor látja el.
- A K kapcsoló zárásakor a kondenzátor U_{be} feszültségre töltődik.
- A kapcsoló nyitásakor a kondenzátor feszültsége U_{be} , amit minél tovább meg kell őriznie ezért egy feszültség-követő van utána kapcsolva, ami leválasztja a terhelést.



56. A flash konverter.

- A referencia feszültséget egy feszültségosztó ellenállás láncsal egyenlő közökre osztjuk.
 - A bemenő feszültséget komparátorokkal (kimenete logikai szint, attól függően, hogy $U_p > U_{in}$) hasonlítjuk össze a felosztott referencia feszültségekkel.
 - A komparátorok kimenete egy ún. thermometerikus kód, ezt bináriszá kell transzformálni.
 - N bites felbontáshoz $2N-1$ komparátor kell
 - Nagy chip területhez és fogyasztáshoz vezet, emiatt flash konverter kb. max. 8-9 bites felbontással készül.



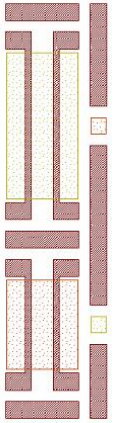
57. Standard cellás ASIC főbb jellemzői.

- A maszk minták előre tervezettek, ezek az ún. cellák
 - Van egy „standard könyvtár” – logikai funkciókkal
 - A szintézis ezeket fogja használni
 - A cellák magassága adott, szélessége funkciótól függően változik.
 - Az összeköttetések helye (táp és földcsín, be és kimenetek stb.) rögzített.
- A tervezés a standard cellák elhelyezéséből és huzalozásából áll
 - Teljes mértékben automatizált...
 - Memória elhelyezésére ún. generált megacella blokkok állnak rendelkezésre
 - Az elhelyezés szabályos, a cellákat sorokban helyezik el, majd összehuzalozzák.
 - Az összes maszkot le kell gyártani, így nem túl olcsó...
 - Prototípus gyártása esetén több, különböző forrásból származó tervet kombinálnak össze, hogy a maszk költségeket megosszák. (MPW – multi project wafer)

58. A gate-array felépítése, főbb jellemzői.

- A fémezés kivételével előre gyártott.
 - „Sea of gates” elrendezésben a chipen n és pMOS tranzisztorokat találunk, előre meghatározott mintázatban és pozícióban.
 - Struktúrált ASIC esetén pedig FPGA-hoz hasonló logikai blokkokat. (ld. később...)
- Az áramkör végleges funkciójának kialakítása a két vagy több rétegű fémezés meghatározásával történik.
 - A tranzisztorok összekötésével kapukat alakítunk ki,
 - majd a kapuk összekötésével a végleges funkciót.

- A logikai kapuk belső összeköttetései általában meg vannak tervezve.
 - Szintén a tervezés nagyrészt automatikus.
- Olcsóbb megoldás
 - Mivel a maszkok száma kevesebb
 - Pl. egy két fémréteges technológia esetében négy maszk szükséges csak
 - Kontaktus a félvezetőhöz, 1. fémréteg, viák az 1. és 2. fémréteg között, 2. fémréteg
 - a tranzisztorokat tartalmazó „félkész” szelet (az ún. master) előre elkészíthető és raktározható
- Kompromisszum:
 - A felépítésből adódóan nem lehet a teljes Si területet kihasználni, mindig maradnak „üres” területek



59. Programozható logikai eszközök konfigurálásának főbb módszerei és összehasonlításuk.

- Teljes egészében előre gyártottak, logikai funkciók és összeköttetésekből áll.
 - A logikai funkció és az összeköttetés is programozható.
- A konfigurálás elektromosan történik.
 - Ugyanazokat a technológiákat használják, mint a memória áramkörök.
 - Volatile
 - A konfigurálást statikus RAM végzi.
 - Emiatt a rendszer indításakor egy EEPROM memóriából a beállításokat be kell tölteni, ezt néha magán a chipen helyezik el.
 - Működés közben újrakonfigurálható.
 - Non-volatile
 - Flash EEPROM tranzisztor
 - Antifuse (PLICE vagy ViaLink)

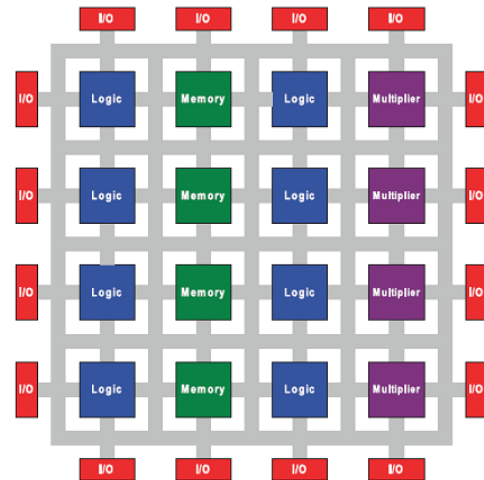
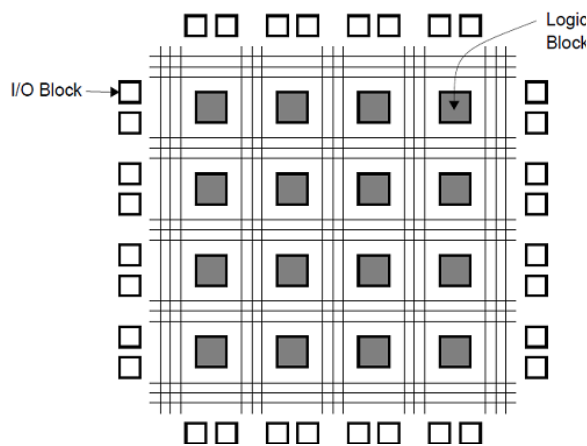
	SRAM	FLASH	Anti-fuse
Sérülékenység	Igen	Nem	Nem
Újraprogramozhatóság	∞	korlátozottan	Nem
Elfoglalt terület	6 tranzisztor	1 tranzisztor	Egy kontaktus
Technológia	Standard CMOS	Spec. flash	Spec. ViaLink
ISP	Igen	Igen	Nem
Kapcsoló ellenállása (Ω)	500-1000	500-1000	20-100
Kapcsoló kapacitása (fF)	1-2	1-2	<1
Visszafejthetőség	Titkosításra van szükség	Igen nehéz	Igen nehéz

60. CPLD-k főbb tulajdonságai.

- A PLA/PAL utódja.
- A „segéd” logika előállítására a feladata (az ún. glue logic) egy több kereskedelmi IC-t tartalmazó kártya esetén pl. a feladat a busz illesztés illetve esetleges segéd logikai jelek generálása
 - Erre tradicionálisan a 74xx-t használták...
- Makrocellákból áll.
 - egy makrócellában a PAL-hoz hasonló ES mátrix van logikai függvények előállítására.
 - Egy programozható típusú (D, JK, T) flip-flop
 - A makrocella általában közvetlenül kimenetet is hajthat.
 - EEPROM segítségével programozható.

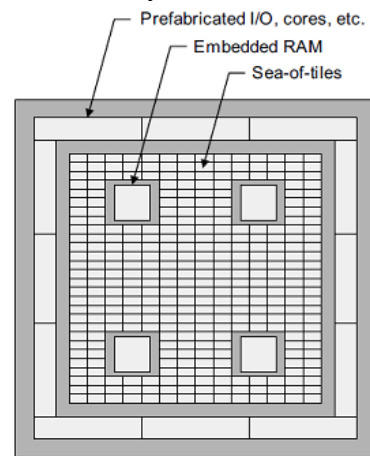
61. FPGA-k főbb tulajdonságai.

- Teljes mértékben előre gyártottak
- SRAM vagy antifuse elven programozhatóak
 - Az SRAM a leggyakoribb, mert teljesen standard CMOS kompatibilis.
- A legegyszerűbb változatok konfigurálható logikai cellákból és programozható összeköttetésekből áll.
- Modern FPGA-k
 - A konfigurálható logikai blokkokon kívül tartalmaznak:
 - Memóriát
 - Ún. DSP blokkokat – ezek leggyakrabban szorzók
 - PLL-eket a pontos órajel előállítására.



62. A strukturált ASIC.

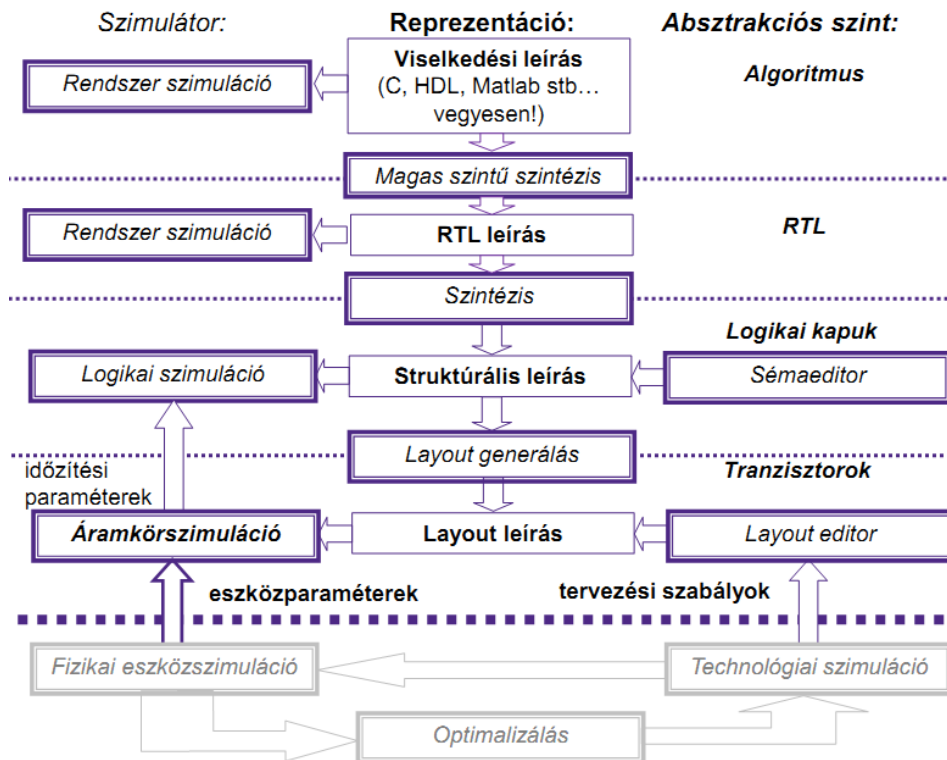
- Az FPGA és a standard cellás IC tulajdonságait egyesíti.
- A megacellák (pl. beágyazott RAM, CPU stb.) az FPGA-hoz hasonló logikai blokkokkal vannak körülvéve.
- Nagyrészt előre gyártott, a programozás a felső 2-3 fémréteg elkészítését jelenti, ez jóval olcsóbb, mint az összes maszk legyártása.
- Mivel nincs kapcsoló tranzisztor, az összeköttetések okozta késleltetés jóval kisebb, mint az FPGA esetén
- Teljes rendszerek kialakítására alkalmas technológia (SoC – System on a Chip)
 - Processzor
 - Memória (ROM/RAM)



63. Standard cellás ASIC, FPGA ill. strukturált ASIC jellegzetes helyfoglalási, fogyasztási, késleltetési viszonyai.

	std. Cell	FPGA	Strukturált ASIC
Maximális órajel (%)	100	15	75
Teljesítmény (%)	100	1200!	300
Kapuszám egységnyi területen (%)	100	1	33

64. A digitális „design-flow”.

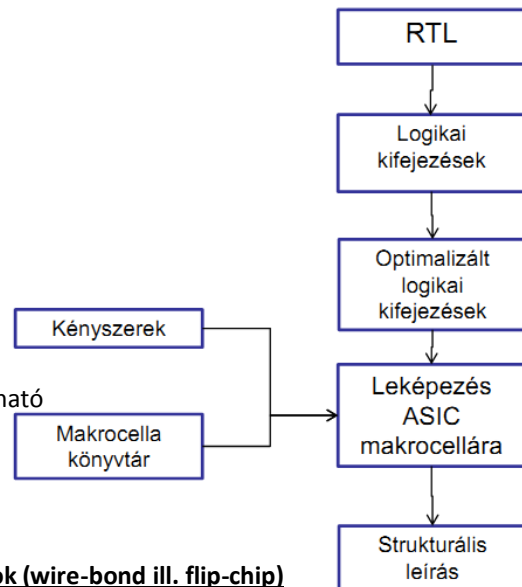


65. A magas szintű szintézis alapvető tulajdonságai.

- Viselkedési szintű (algoritmikus) leírásból készül RTL leírás
 - Változatosság a lehetőségek
 - A hardverleíró nyelvek alkalmasak viselkedési szintű leírásra
 - Léteznek különböző eszközök, amelyek pl.
 - Időzítésmentes C kód
 - MATLAB kód
 - Egyéb, akár grafikus felülettel rendelkező eszközök
 - Itt történik az architektúra kiválasztása
 - Az RTL ugyanis már a megvalósított architektúrához kötött, ami nem minden esetben ad optimális megoldást.
 - Egyetlen algoritmikus leírásból keletkezhet sok különböző RTL leírás
 - Automatikusan
 - Más és más terület, késleltetés és teljesítmény igényvel.
 - Nem kell törődni a megvalósítás részleteivel
 - Órajel, reset, start/stop stb. ez a szintézer feladata lesz.
 - A HLS eszköz automatizálja a hardver erőforrások kiosztását, ütemezését.
 - Az újrafelhasználhatóság emiatt sokkal hatékonyabb...

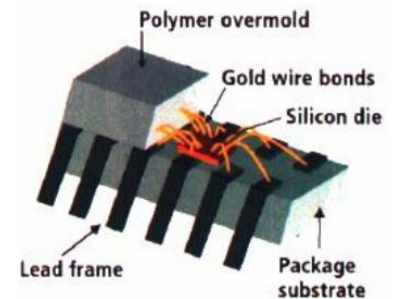
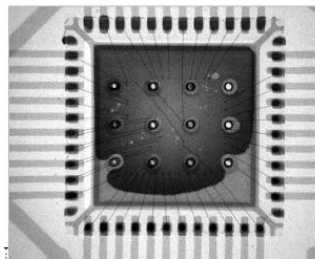
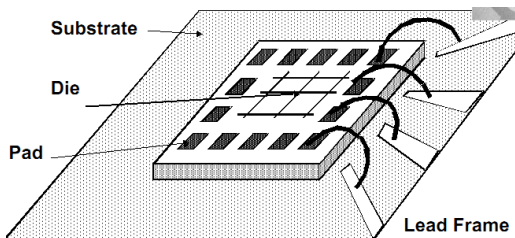
66. A logikai szintézis alapvető tulajdonságai.

- RTL leírás → strukturális leírás (kapusintű)
- Kényszerek:
 - Időzítés
 - Teljesítmény
 - Terület
- ASIC makrocella
 - Ami az adott technológiában megtalálható
 - IC: kapuk
 - FPGA: LE-k.

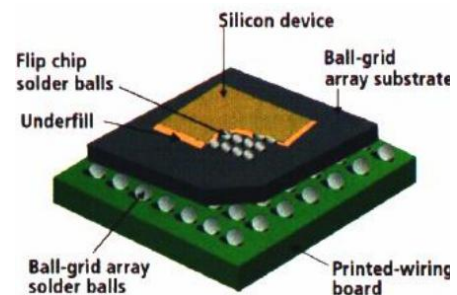
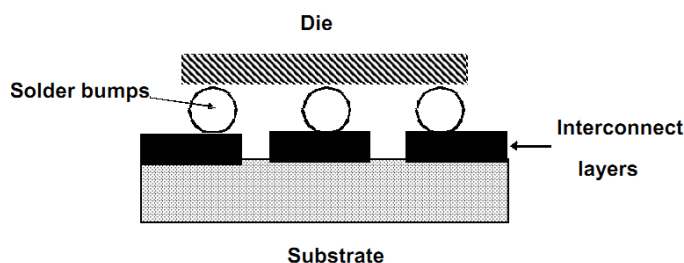


67. A leggyakrabban alkalmazott IC tokozási megoldások (wire-bond ill. flip-chip)

- Wire bonding
 - pl: műanyag DIL tok

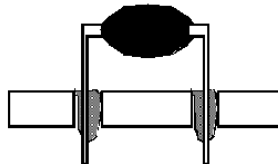


- Flip-chip (megfordított chip)
 - pl: BGA tok



68. A leggyakrabban alkalmazott szereléstechnikai megoldások. (furat ill. felületszerelés)

- Furatszerelt
 - (Through-Hole Mounting)



- Felületszerelt
 - (Surface Mount)

