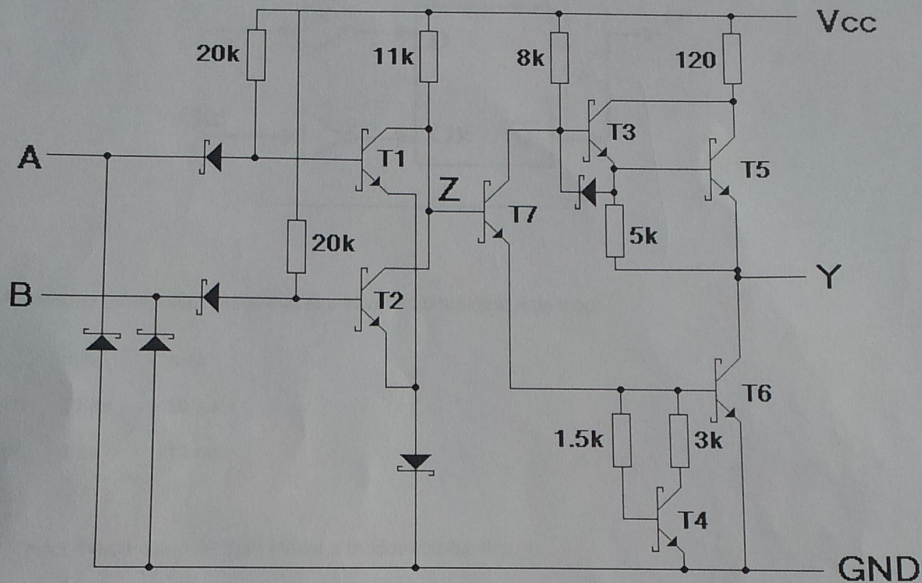


Laboratórium 1 felkészülési feladat

Mérés sorszáma: 9

1. A következő ábrán egy TTL-LS kapu kapcsolási rajza látható:



Elemesse az áramkör működését! Válaszolja meg írásban a 1.1., 1.3., 1.4. kérdéseket!

1.1. Határozza meg az áramkör által megvalósított logikai funkciót a bemenetek és az Y kimenet között!

1.2. Határozza meg az áramkör által megvalósított logikai funkciót a bemenetek és a belső Z pont között!

1.3. Határozza meg, hogy hogyan változik a tranzisztorok állapota, ha az A lábon 0-tól 5 V-ig folyamatosan emeljük a feszültséget és a másik lábra 0 V-ot adunk!

1.4. Határozza meg, hogy hogyan változik a tranzisztorok állapota, ha az A lábon 0-tól 5 V-ig folyamatosan emeljük a feszültséget és a másik lábra 5 V-ot adunk!

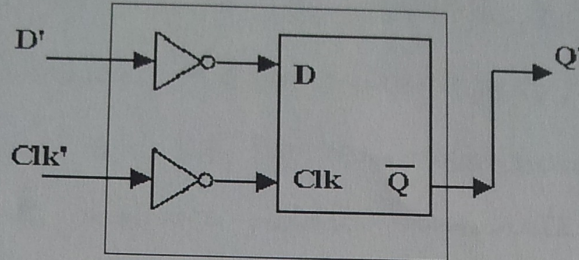
A feladatokat a kapcsolás (szöveges) elemzésével kell megoldani. Szimulációt lehet (de nem szükséges) a megoldás során végezni. Azonban önmagában a szimulációs eredmények nem elégségesek a feladat elfogadásához!

2. Egy D flip-flop -ot a következő gyári időadatok jellemeznék:

setup time: 13 ns,

hold time: 6 ns

A flip-flop-ból negatív élvezérlésű flip-flop-ot készítettünk a következő módon:



Az inverter jelterjedési késleltetését a következő táblázat adja meg:

	min	max
tLH	10 ns	20 ns
tHL	6 ns	12 ns

h 7 h 12

2.1 Adja meg a setup és hold időket a módosított flip-flop-ra.

A beadás tudnivalói:

- **Az önállóan kidolgozott feladatot a következő mérési gyakorlat elején a mérésvezetőnek kell bemutatni, - a mérési útmutatóban előírtak szerint - írott vagy elektronikus formában.**
- A felkészülési feladat utólag már nem adható be. Pótlására a szorgalmi időszak végén egy alkalommal, az adott mérési gyakorlat pótlásával egy időben van lehetőség.

A feladatokat önállóan, meg nem engedett segítség igénybevétele nélkül oldottam meg:

[Redacted signature box]

aláírás

helyezett Schottky-diódák (amiket gyorsaságuk miatt használnak az integrált digitális áramkörökben) valójában funkcionálnak, az esetleg fellelő reflexionál keletkező negatív hullámokat levágnak (hosszú jelvezeték esetén szükséges).

A bemenetek és a T1, T2 tranzisztorok közötti diódák akkor nyitnak, ha az adott bemeneten logikai 0 van, hiszen az áram egy ellenálláson keresztül a tápon van. Ekkor (nyitott állapotukban) rövidzárral helyettesíthető, logikai 1-es bemenet esetén pedig (TTL esetben $U_{min} \approx 2V$) szakadással helyettesíthető, mivel a katód oldalon lesz a nagyobb feszültség.

A tranzisztorokat is hasonlóan kezelhetjük. Ha a tranzisztor bázisán logikai 1-es van, akkor "kinyitnak", és ekkor a CE-átmenet rövidzárral, egyébként pedig szakadásnak feleltethető meg. (Idealizált eset)

~~1.1.-2. A Z pont értéke mindig logikai 1-en lesz függetlenül a bemenetektől ($V_{cc} - I_{k} \cdot R_T \approx V_{cc}$)~~

(Folytatás a következő ^{lapon} oldalon, gépelt formában.)

1.1. – 1.2.

A) Ha mindkét bemenet logikai 0-an van, akkor a diódák nyitnak, vagyis rövidzárral tápfeszültségen van a T1 és T2 tranzisztor a logikai 0 hatására zár. Ekkor a Z pont megjelenő logikai 1 hatására kinyit (C-E átmenet rövidzár). A rövidzár hatására a T7 emitterére bázissal csatlakozó tranzisztorok (T4, T6) is kinyitnak. Ezzel ellentétben a T7 kollektora előtt lévő T3 a rövidzár miatt nem fog kapni nyitófeszültséget, zárni fog, és így az van (T7 nyit), míg Y-on logikai 0 van, mert T5-nél szakadás van, a T6-on lévő rövidzár pedig a földbe húzza Y-t.

B) Ha valamelyik bemenetre logikai 1-et kötünk (vagy mindkettőre), annak hatására az utána következő dióda zárni fog, tehát szakadással helyettesíthető. Ekkor a zárt dióda után lévő tranzisztor bázisa (T1 és/vagy T2) tápfeszültségre kerül, és kinyit. Ekkor mivel ennek a két tranzisztornak az emittere a földön van, a rövidzár miatt most már a kollektora is földön lesz, amiből következik, hogy a Z pont is. A Z ponton tehát logikai 0 van, és a T7 tranzisztor zár. Mivel a T7 zár, adja magát, hogy a T4 és T6 is zár, míg a T3 bázisa tápfeszültségre kerül, és T5-tel együtt kinyit. Vagyis Y kimeneten logikai 1 van a 120 kΩ-on keresztül.

A	B	Z	Y
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

Tehát a bemenet és a Z pont között logikai NOR kapcsolat, a bemenet és a Y pont között logikai OR kapcsolat van.

1.3.

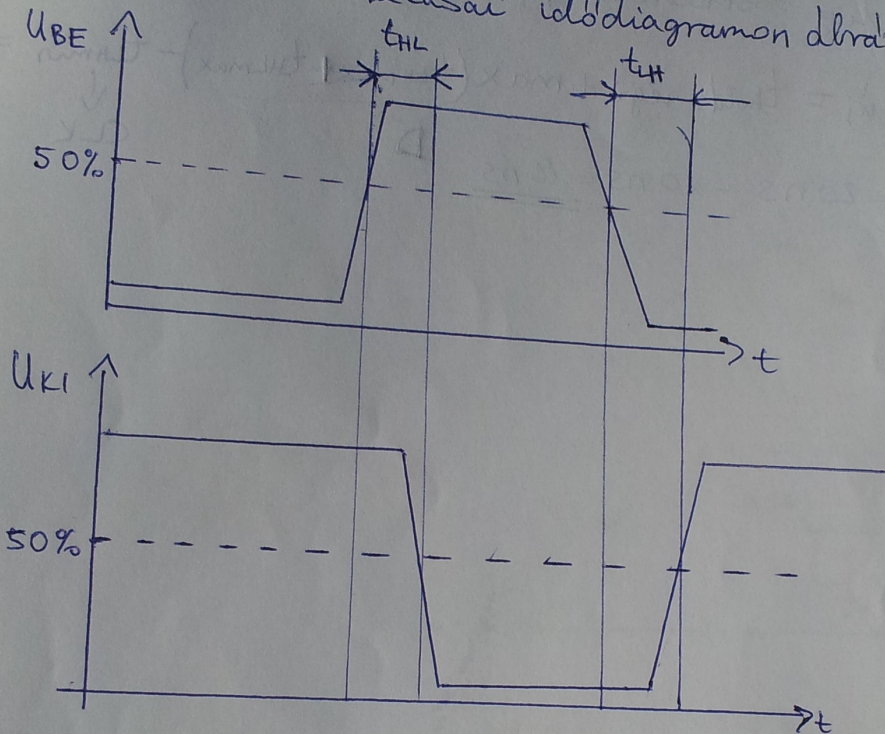
Ha mindkettő bemeneten 0 V van kezdetben, akkor az előbbi feladatrészt A) bekezdésében vázolt kezdő állással rendelkeznek a tranzisztorok: T1, T2, T3, T5 zár és T7, T4, T6 pedig nyit. Ahogy az A bemenet eléri a TTL áramkörökre jellemző $U_{Hmin} = 2V$ feszültséget, akkor a hozzátartozó dióda egyszer csak lezár, és a T1 kinyit. Ha pedig kinyit a T1, akkor a fentebbi B) bekezdésben leírtak fognak beállni kis késleltetésekkel: T2, T7, T4, T6 zár és T1, T3, T5 pedig nyitott állapotba kerül.

1.4.

Mivel B bemenetén A változásának során végig tápfeszültség van, ezért csak T1 állapota fog megváltozni. A komparálási feszültség felett fog kinyitni a T1, míg a többi tranzisztor közül a T2, T3, T5 nyitott állapotban, T4, T6 és T7 pedig zárt állapotban lesz végig.

megoldás során feltételeztem, hogy az új setup és hold time-ok a worst case esetek lesznek, vagyis ennél nagyobbak nem lesznek.

Az inverterek hatásvai idődiagramon ábrázolva:



A setup time azt az időt adja meg, amennyivel az ~~előtti~~ drájel felfutó éle előtti már stabilnak kell lennie a D szintjének. Vagyis a flip-flop bemeneti jelehek késése csökkenti a setup time-ot, ezért a worst case-hoz nekünk ennek a minimális értéke kell ($\min(t_{LHmin}, t_{HLmin})$). Az drájel előtti ~~inverter~~ pedig a legnagyobb késélettel kell számolnunk a t_{LH} esetében. Így adja magát a képlet:

$$t_{setup-max-új} = t_{setup-égi} + t_{LHmax} - \min(t_{LHmin}, t_{HLmin}) = \underline{\underline{27ns}}$$

$(13ns + 20ns - 6ns = 27ns)$
↓ CLK
↓ D
→

A hold time maximumánál pedig pont fordítva kell eljárunk. Mivel a hold time azt adja meg, hogy az órajel felhúzó élé után mennyi ideig kell még a bemeneti jelnek stabilnak maradnia, ezáltal ha a D jelle kicsib, az növeli a hold time-ot, az órajel késése pedig csökkenti. Így a képlet:

$$t_{hold-max} új = t_{hold- régi} + \max(t_{LHmax} + t_{HLmax}) - t_{Hmin} =$$

$$= 6 ns + 20 ns - 10 ns = \underline{\underline{16 ns}} \quad \begin{matrix} D \\ \downarrow \\ CLK \end{matrix}$$

