



Budapesti Műszaki és Gazdaságtudományi Egyetem  
Elektronikus Eszközök Tanszéke

# Elektronika alapjai

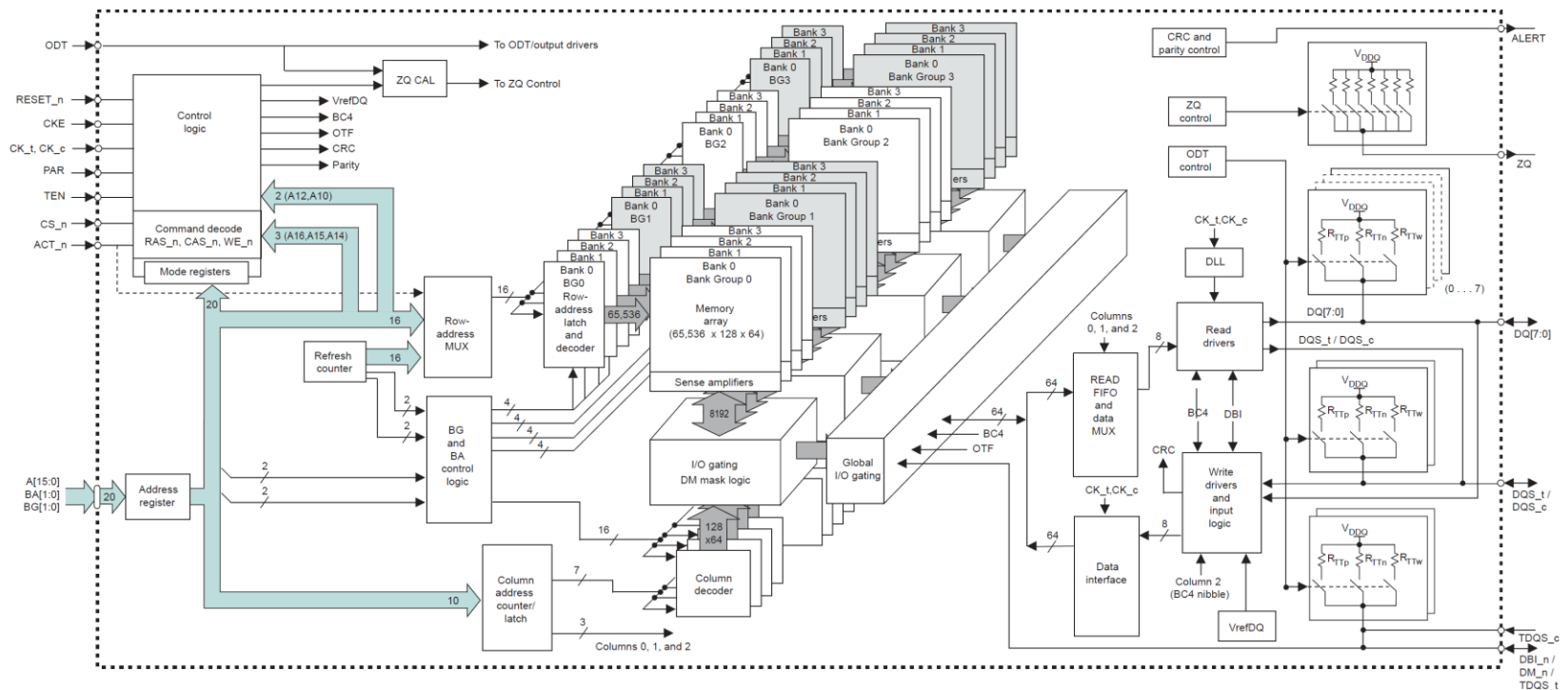
## 5. Gyakorlat – Memóriák

Összeállította:

Ress Sándor, Jani Lázár, Krammer Olivér, Straubinger Dániel

**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!

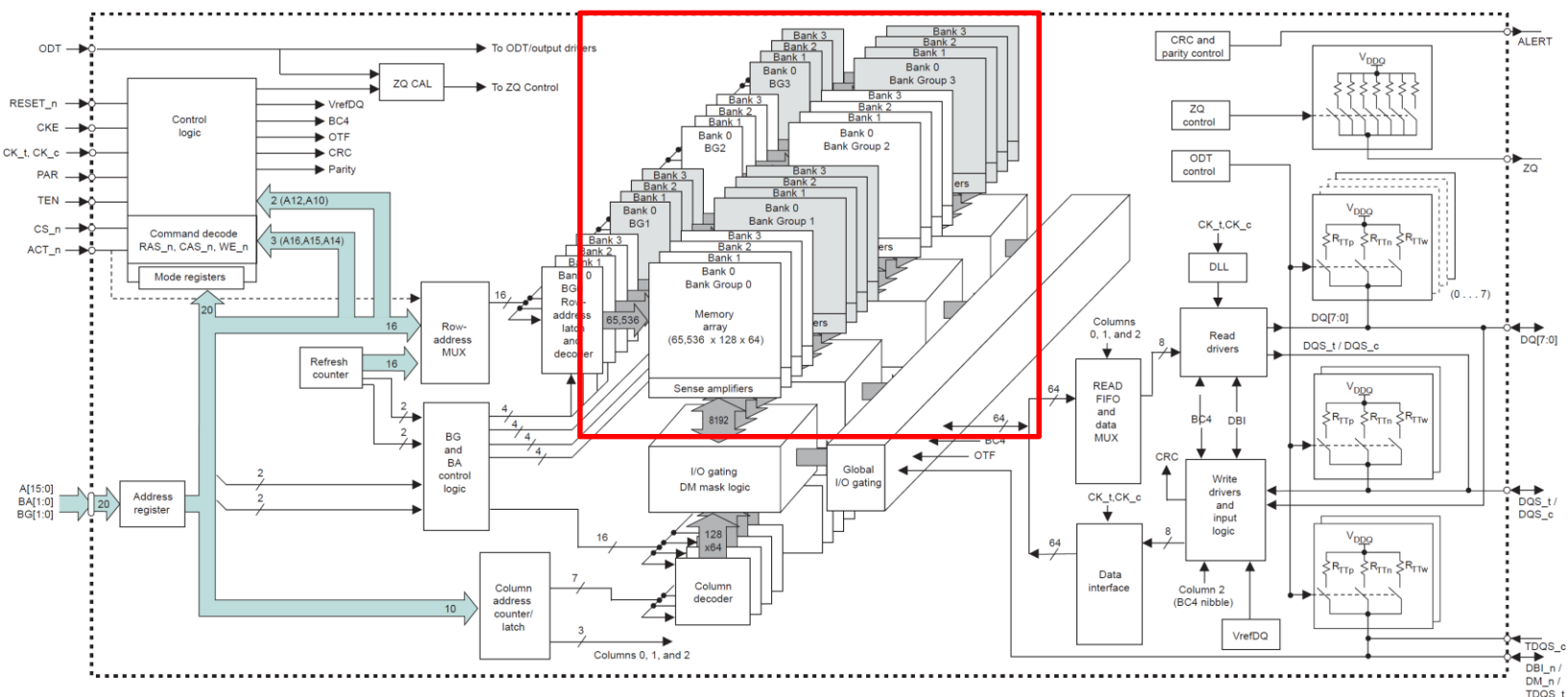
a) mekkora méretű egy mátrix?



A valódi memóriák szervezése picit eltér az előadáson megismerttől. Ennek oka az, hogy egy nagy kapacitású memória esetén a memória mátrix kezelhetetlen méretű lenne, ezért több mátrixot helyeznek el a chip felszínén.

**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!

a) mekkora méretű egy mátrix?



A valódi memóriák szervezése picit eltér az előadáson megismerttől. Ennek oka az, hogy egy nagy kapacitású memória esetén a memória mátrix kezelhetetlen méretű lenne, ezért több mátrixot helyeznek el a chip felszínén.

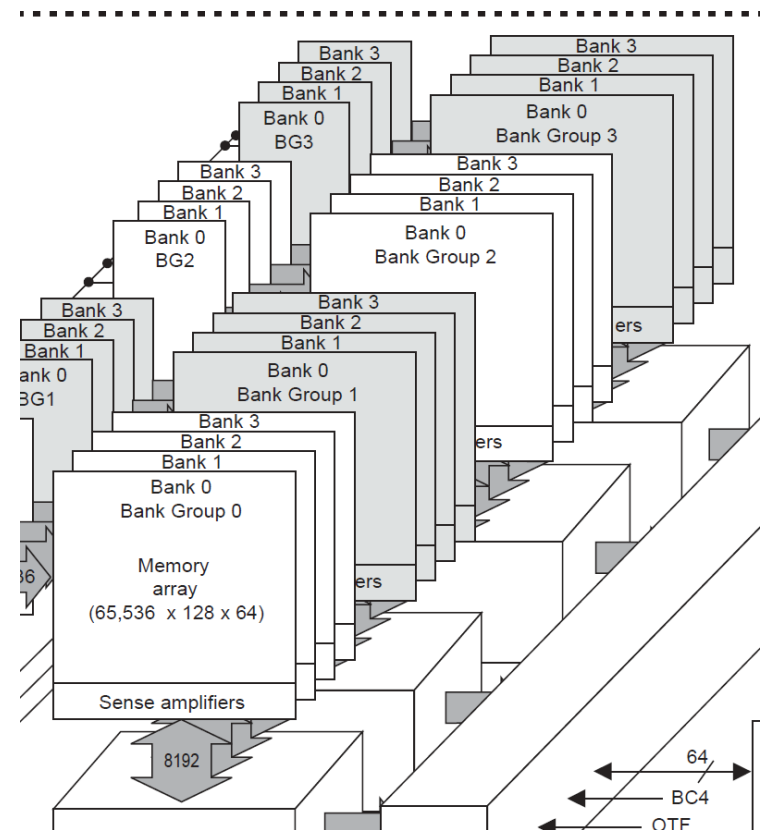
**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!

a) mekkora méretű egy mátrix?

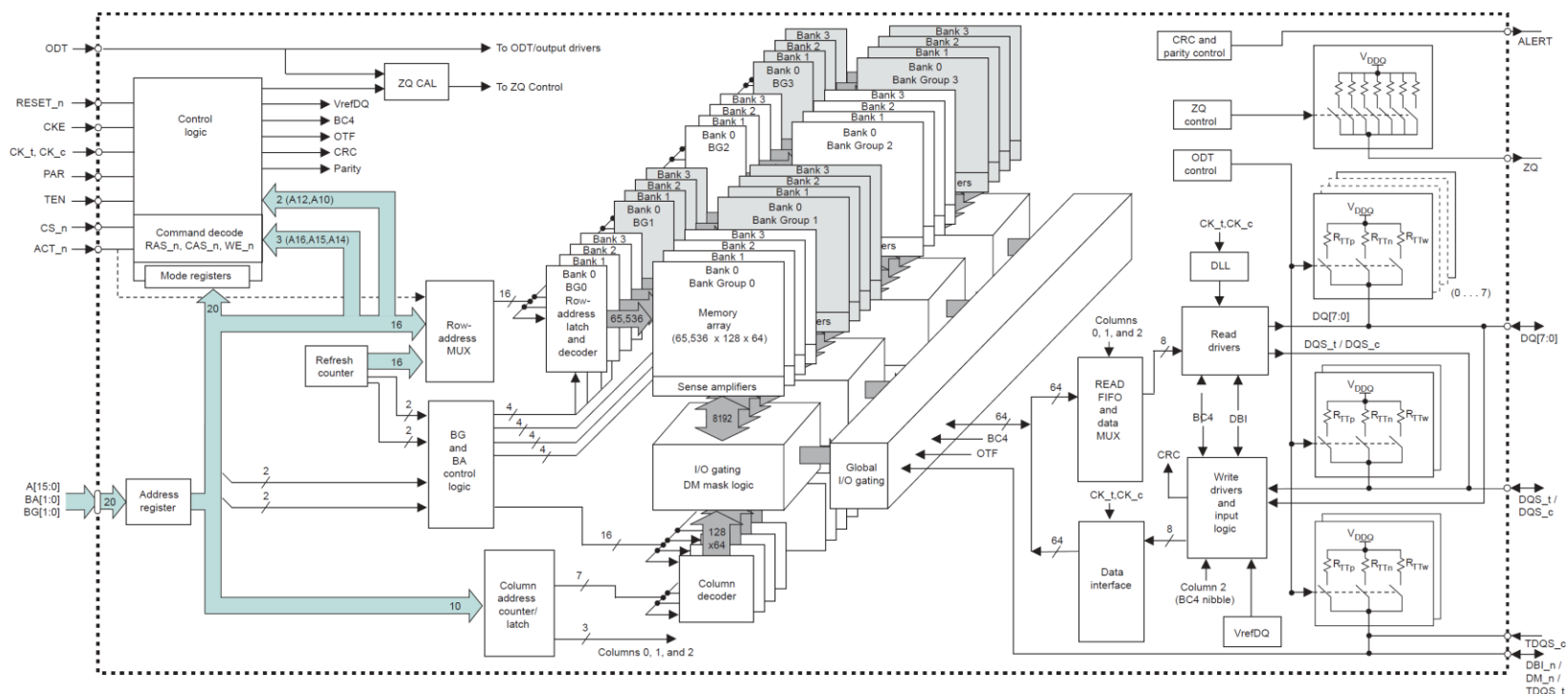
- A memória-mátrixok négy "bank-group"-ba vannak csoportosítva és minden egyes csoport 4 mátrixot tartalmaz; összesen 16 mátrix van.
- Egy mátrix mérete:  

$$m = 65536 \cdot 128 \cdot 64 = 536\,870\,912 \text{ bit}$$
- A teljes memória pedig:  

$$M = 65536 \cdot 128 \cdot 64 \cdot 16 \cong 8 \text{ Gbit} = 1 \text{ GB}$$



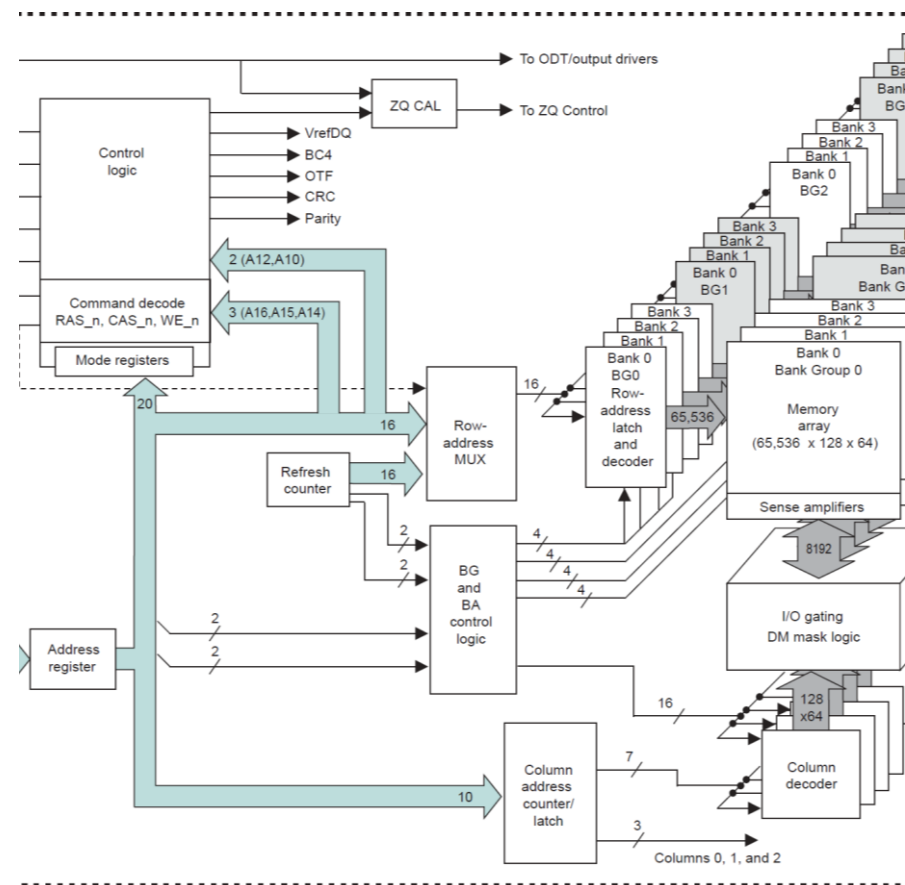
**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!  
 b) hogyan történik pontosan a címzés?



A valódi memóriák szervezése picit eltér az előadáson megismerttől. Ennek oka az, hogy egy nagy kapacitású memória esetén a memória mátrix kezelhetetlen méretű lenne, ezért több mátrixot helyeznek el a chip felszínén.

**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!  
 b) hogyan történik pontosan a címzés?

- A címzés két részletben történik.





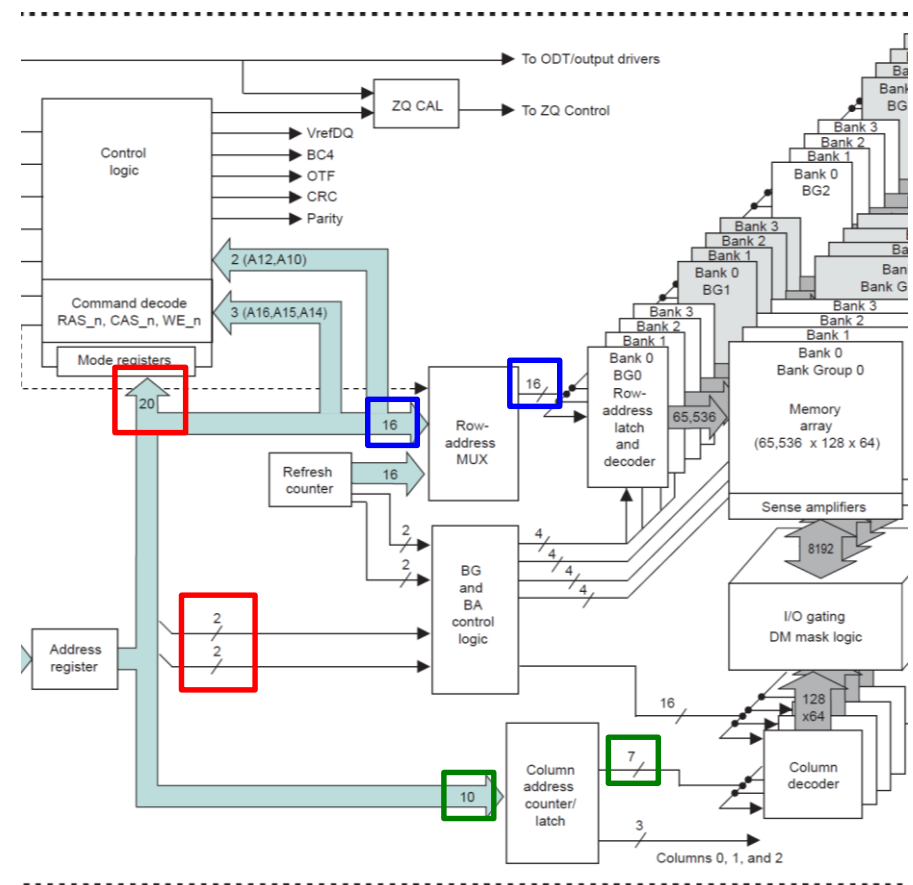




**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!

b) hogyan történik pontosan a címzés?

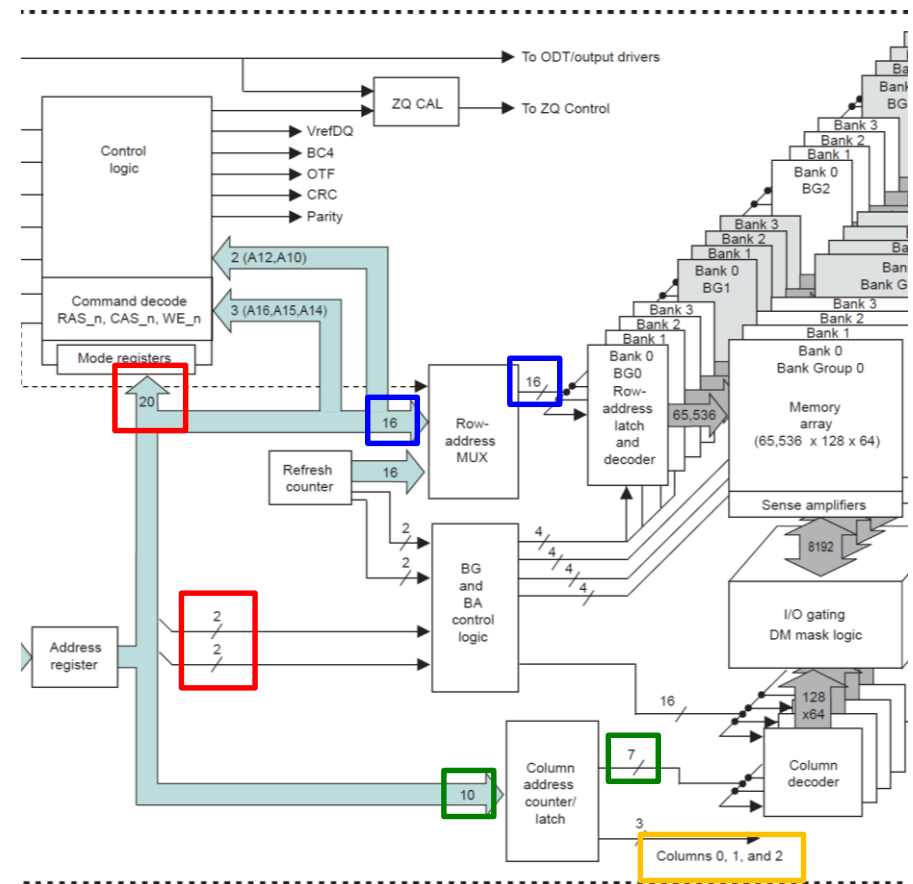
- A címzés két részletben történik.
- Először a cím felső 20 bitjét kell közölni, ebből 2+2 bit azonosítja a csoportot és a mátrixot ( $2^4 = 16$ )
- A további 16 bit pedig a sor kiválasztására szolgál ( $2^{16} = 65536$ )
- A második részletben közölt cím 10 bites, ebből 7 bit ( $2^7 = 128$ ) azonosítja a kidekódolt soron belül egymást követő 64 bitet (virtuálisan 128 oszlop és minden oszlopban 64 bit)



**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!

b) hogyan történik pontosan a címzés?

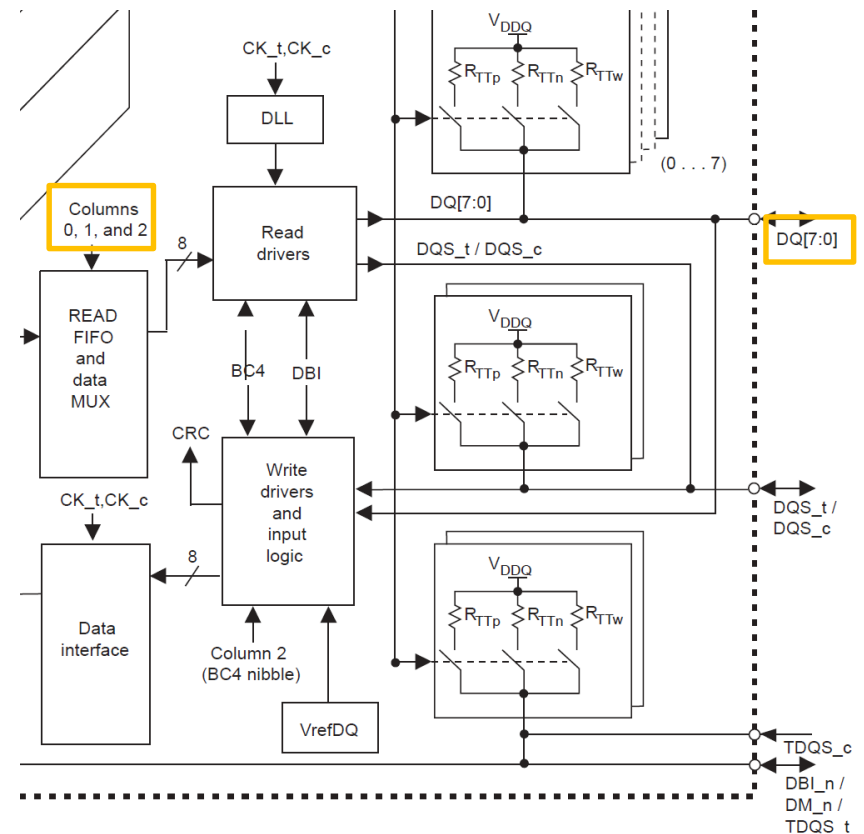
- A címzés két részletben történik.
- Először a cím felső 20 bitjét kell közölni, ebből 2+2 bit azonosítja a csoportot és a mátrixot ( $2^4 = 16$ )
- A további 16 bit pedig a sor kiválasztására szolgál ( $2^{16} = 65536$ )
- A második részletben közölt cím 10 bites, ebből 7 bit ( $2^7 = 128$ ) azonosítja a kidekódolt soron belül egymást követő 64 bitet (virtuálisan 128 oszlop és minden oszlopban 64 bit)
- A másik 3 bit a „csomagokra”, szavakra osztásért felel, mert a kimenet 8 bites.



**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!

b) hogyan történik pontosan a címzés?

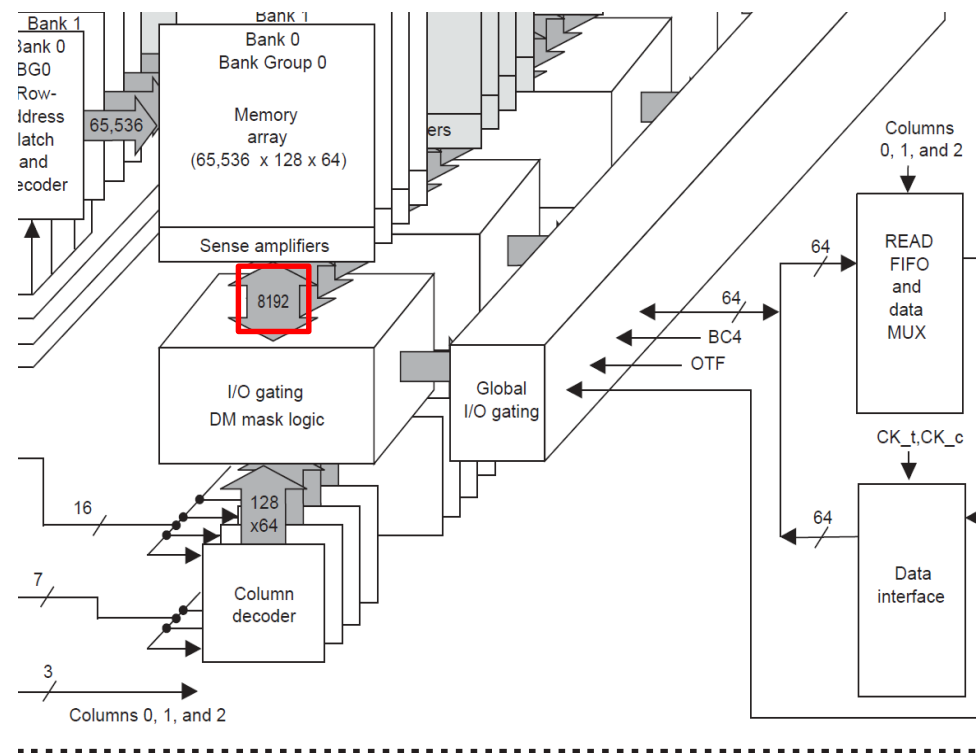
- A címzés két részletben történik.
- Először a cím felső 20 bitjét kell közölni, ebből 2+2 bit azonosítja a csoportot és a mátrixot ( $2^4 = 16$ )
- A további 16 bit pedig a sor kiválasztására szolgál ( $2^{16} = 65536$ )
- A második részletben közölt cím 10 bites, ebből 7 bit ( $2^7 = 128$ ) azonosítja a kidekódolt soron belül egymást követő 64 bitet (virtuálisan 128 oszlop és minden oszlopban 64 bit)
- A másik 3 bit a „csomagokra”, szavakra osztásért felel, mert a kimenet 8 bites.



**1. Feladat** - A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. az ábrán szereplő 8Gb-es chipet!

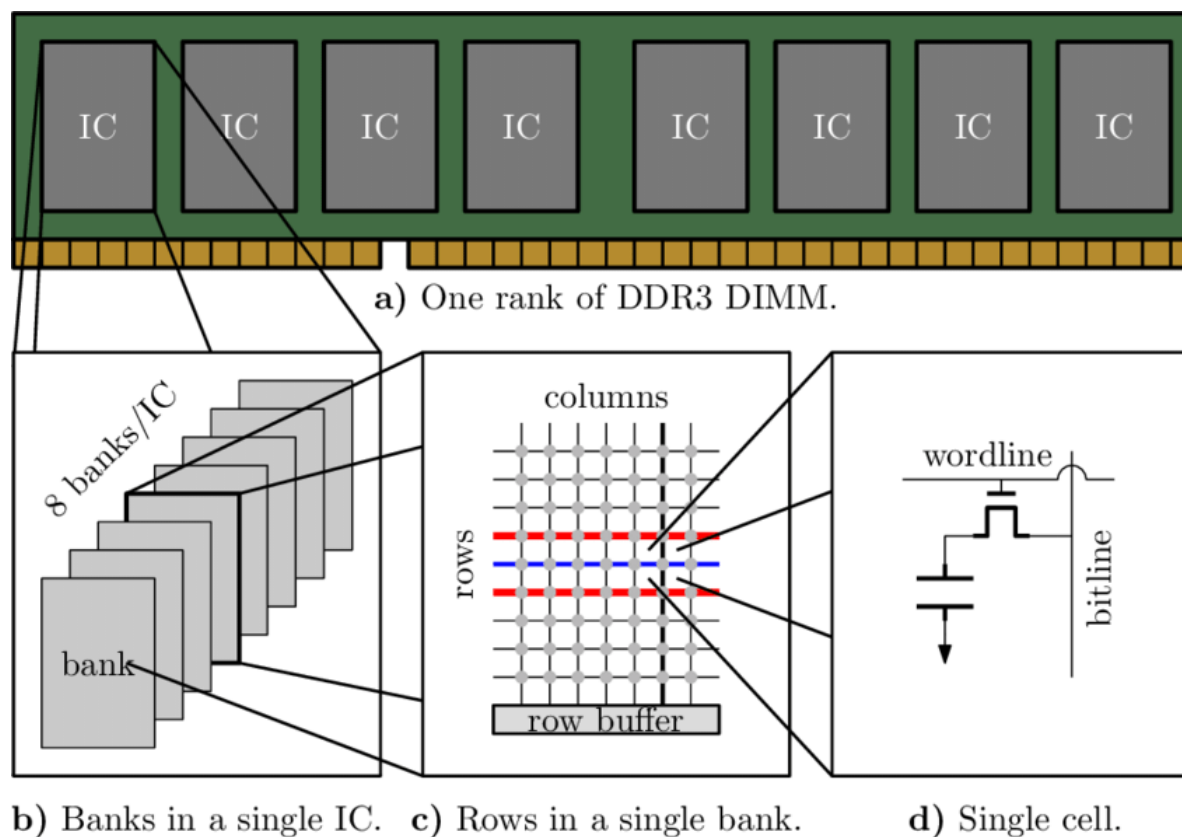
c) logikailag milyen felépítésű a memória?

- Tehát egy mátrix 65536 x 8192 bitet tartalmaz
- Felkészülve az egymást követő adatok gyors továbbítására, ebből rögtön 64 bit kerül kiválasztásra
- Ez egy ún. DDR4 memória; amint az első adat elkészült, utána az órajel fel és lefutó élére további 7 „csomagot” lehet továbbítani (ún. burst)
- Logikailag ez egy 1 GByte-os chip, azaz 1 G x 8 bit.



## 2. Feladat - Hogyan lehet (kell) az előző chipet memóriamodulba szervezni, hogy 64 bites adatokat tudjon szolgáltatni?

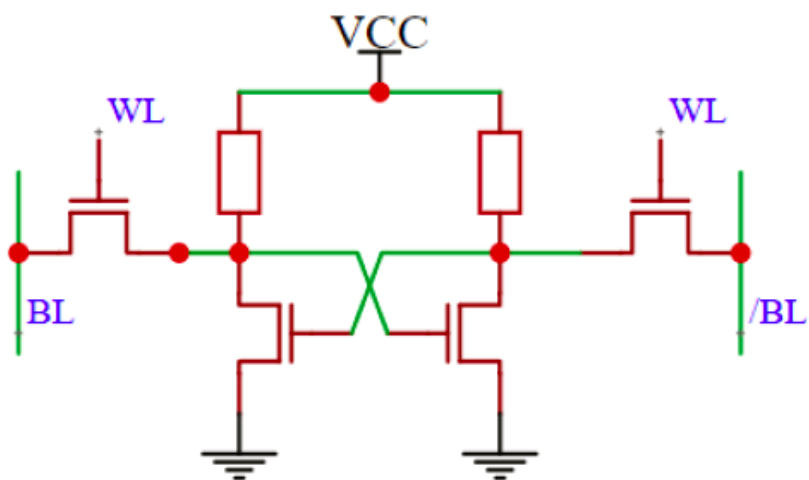
- 64 bites szélesség eléréséhez 8 ( ECC memória esetén 9) chipet kell felhasználni



**3. Feladat** - A hat tranzisztoros cella mellett létezik az ún. 4 tranzisztoros memória cella is, melynek a kapcsolási rajza az alábbi.

Hogyan működik ez a fajta elrendezés? Mi az előnye és mi a hátránya?

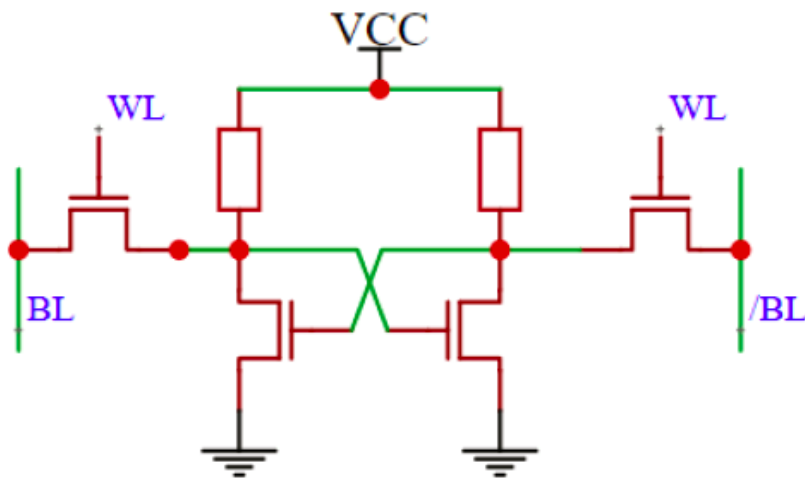
4 tranzisztoros



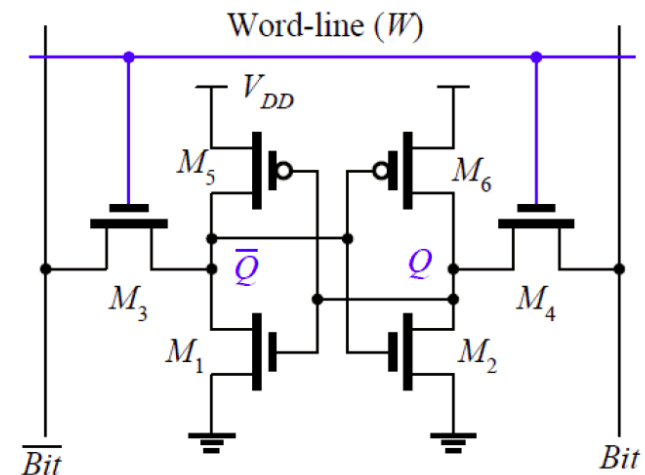
**3. Feladat** - A hat tranzisztoros cella mellett létezik az ún. 4 tranzisztoros memória cella is, melynek a kapcsolási rajza az alábbi.

Hogyan működik ez a fajta elrendezés? Mi az előnye és mi a hátránya?

4 tranzisztoros



6 tranzisztoros

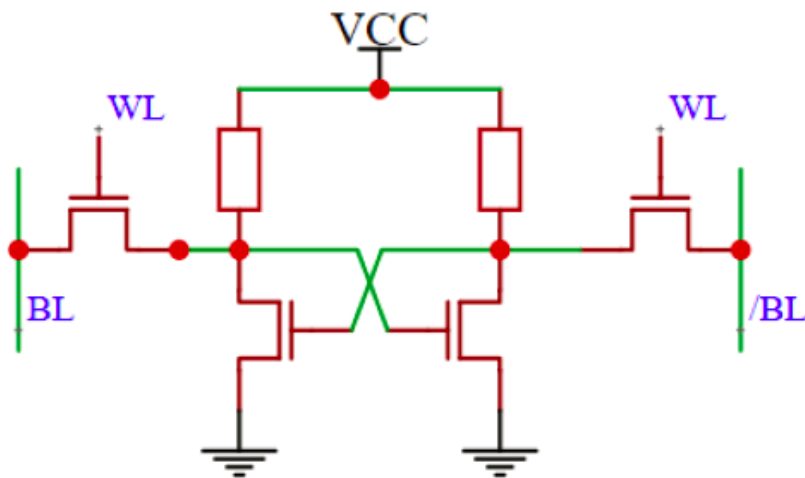


- Hasonlóképpen működik, mint a pseudo-NMOS logika, de itt az inverter egy nMOS tranzisztorból és egy ellenállásból áll. Ha pl. az inverter kimenete 0, akkor az fizikailag nem 0 V, hanem 0 V-hoz közel álló feszültség szinten van.
- A nyitott tranzisztor az ellenálláson keresztül (az ellenállás jó nagy!) áramutat ad a tápfeszültség és a föld között -> van statikus fogyasztás

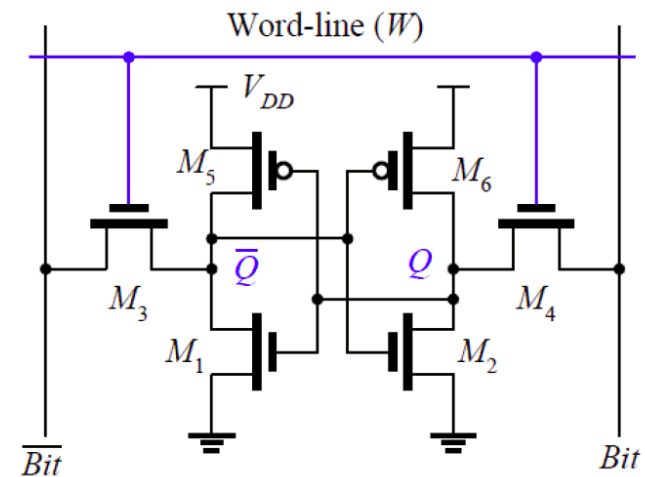
**3. Feladat** - A hat tranzisztoros cella mellett létezik az ún. 4 tranzisztoros memória cella is, melynek a kapcsolási rajza az alábbi.

Hogyan működik ez a fajta elrendezés? Mi az előnye és mi a hátránya?

4 tranzisztoros



6 tranzisztoros



- Ha feltételezzük, hogy  $R \gg r_{DSon}$

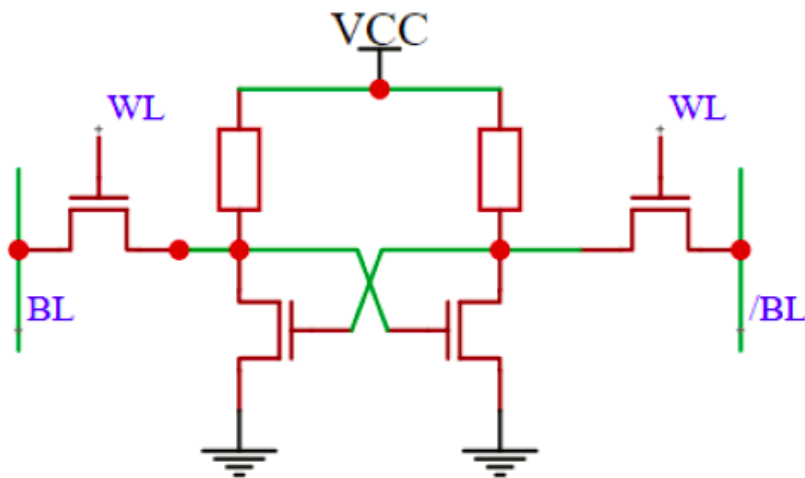
- Akkor  $P_{static} = \frac{V_{CC}^2}{R}$       <- alacsony tápfeszültséggel kordában tartható



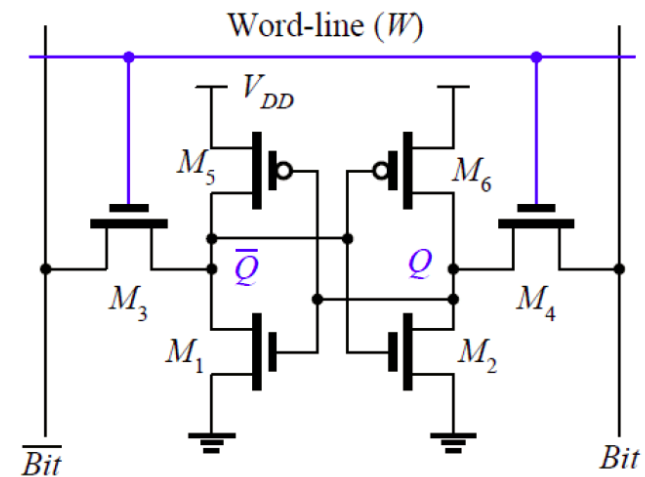
**3. Feladat** - A hat tranzisztoros cella mellett létezik az ún. 4 tranzisztoros memória cella is, melynek a kapcsolási rajza az alábbi.

Hogyan működik ez a fajta elrendezés? Mi az előnye és mi a hátránya?

4 tranzisztoros

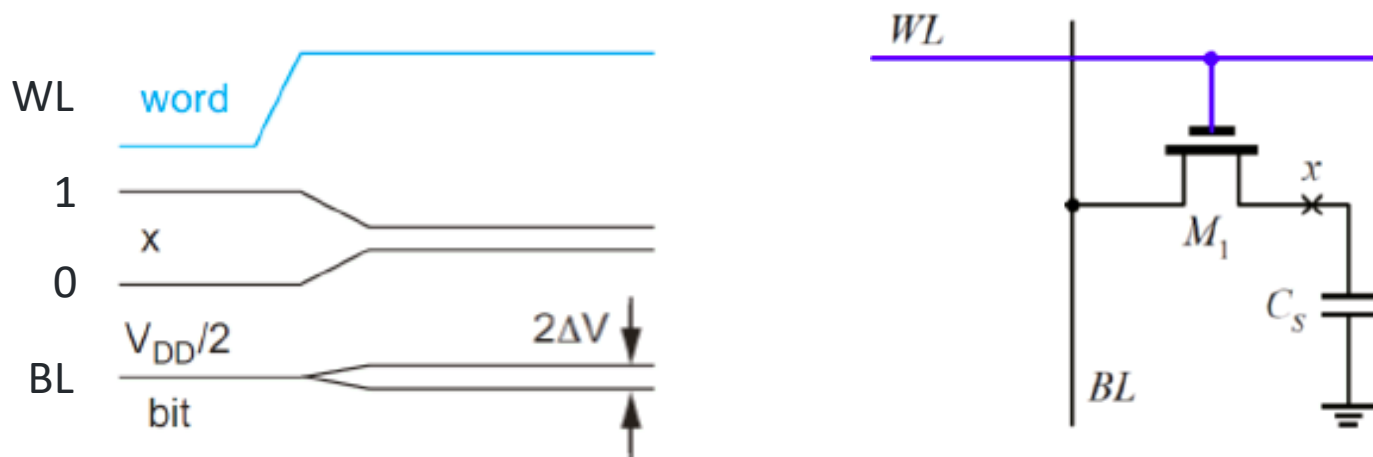


6 tranzisztoros



- A 4 tranzisztoros elrendezés előnye, hogy az ellenállásokat fizikailag a tranzisztorok tetején valósítják meg, így az elemi cella kisebb, a memória sűrűbb lehet.

**4. Feladat** – DRAM esetében mennyit változik meg a tápfeszültség felére előtöltött bitvonal feszültsége, ha tároló kapacitás 50 fF, a bitvonal kapacitása 500 fF, a tápfeszültség pedig 1,2V?



- Előadás alapján: 
$$\Delta V = \frac{C_S}{C_{BL} + C_S} \cdot \frac{V_{DD}}{2} = \frac{50}{500 + 50} \cdot \frac{1,2}{2} = \pm 54 \text{ mV}$$

**4. Feladat** – DRAM esetében mennyit változik meg a tápfeszültség felére előtöltött bitvonal feszültsége, ha tároló kapacitás 50 fF, a bitvonal kapacitása 500 fF, a tápfeszültség pedig 1,2V?

- A töltésmegoszlást numerikusan végig vezetve:
- Legyen  $V_S$  a  $C_S$  feszültsége
- A teljes töltésmennyiség a rákapcsolás előtt:

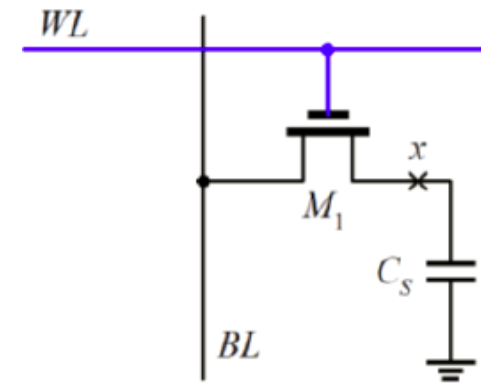
$$Q = C_{BL} \cdot V_{DD} / 2 + C_S V_S$$

- Rákapcsolás után pedig:

$$Q = (C_{BL} + C_S) V, \text{ ahol } V \text{ a } B_L \text{ állandósult feszültsége rákapcsolás után.}$$

- Ezekből:

$$V = \frac{C_{BL} \cdot V_{DD} / 2 + C_S V_S}{(C_{BL} + C_S)} = \frac{500 \cdot V_{DD} / 2 + 50 V_S}{(500 + 50)} = \frac{5 \cdot V_{DD} + V_S}{11}$$



**4. Feladat** – DRAM esetében mennyit változik meg a tápfeszültség felére előtöltött bitvonal feszültsége, ha tároló kapacitás 50 fF, a bitvonal kapacitása 500 fF, a tápfeszültség pedig 1,2V?

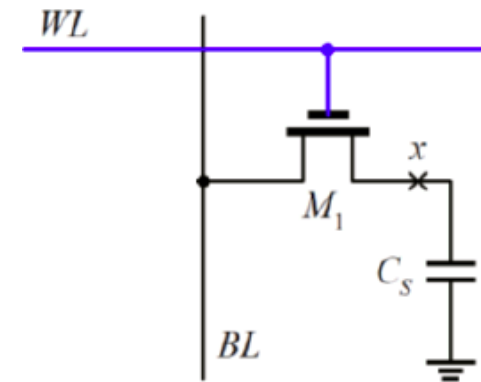
- Ha a cella értéke 1 volt, akkor  $V_S = V_{DD}$

$$\frac{5 \cdot V_{DD} + V_{DD}}{11} = \frac{6}{11} 1,2 = 654 \text{ mV}$$

- Ha a cella értéke 0 volt, akkor  $V_S = 0 \text{ V}$

$$\frac{5 \cdot V_{DD} + 0}{11} = \frac{5}{11} 1,2 = 546 \text{ mV}$$

- Látható, hogy a feltöltött- nem feltöltött állapot kiolvasása között kb. 100mV feszültségkülönbség van. Ha a sorok számát növeljük, azaz a bitvonal hosszabb lesz, ebből következően a kapacitása megnő, ez a feszültségkülönbség tovább csökken. Ez tehát egy gyakorlati határt ad a sorok számára, ebből következően a memória mátrix méretére.



**5. Feladat** – Feltételezzük, hogy egy DRAM cella tárolókapacitása 50 fF, a teljesen feltöltött kapacitás feszültsége 1,2V.

a) Hány elektron van a kapacitásban?

b) A cella szivárgási árama 0,5 pA. Mennyi idő alatt csökken kapacitás feszültsége a felére?

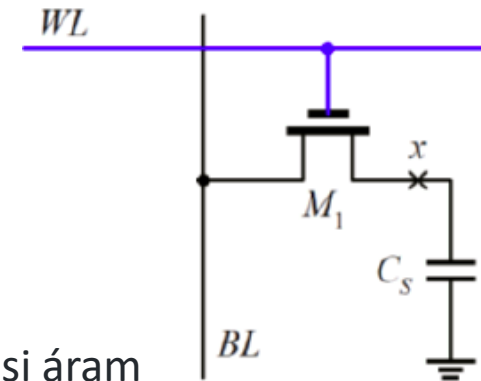
a)

$$Q = C \cdot V = 50 \cdot 10^{-15} \cdot 1,2 = 6 \cdot 10^{-14} \text{ C } ([As])$$

$$n = 6 \cdot 10^{-14} / 1,6 \cdot 10^{-19} = 375\ 000$$

b) A kapacitás töltését az (erős közelítéssel állandó) szivárgási áram csökkenti. Azt kell kiszámolni, mennyi ideig tart a töltés felének eltávolítása:

$$t = \frac{Q}{I} \rightarrow t = \frac{C}{I} \cdot \frac{V}{2} = \frac{50 \cdot 10^{-15}}{0,5 \cdot 10^{-12}} \cdot 0,6 = 60 \text{ ms}$$



**6. Feladat** – A szivárgási áram hőmérsékletfüggő. Kb. 30 °C hőmérséklet-növekedés tízszeresíti a szivárgási áramot. Az előző példa adatai 25 °C-ra vonatkoznak.

Mennyi idő alatt csökken a kapacitás feszültsége a felére 90 °C hőmérsékleten?

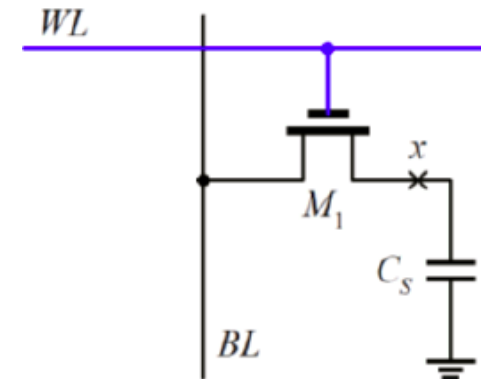
- A szivárgási áram növekedése 90 °C – 25°C = 65°C növekedés hatására:

$$I = 0,5 \text{ pA} \cdot 10^{65/30} = 73,4 \text{ pA}$$

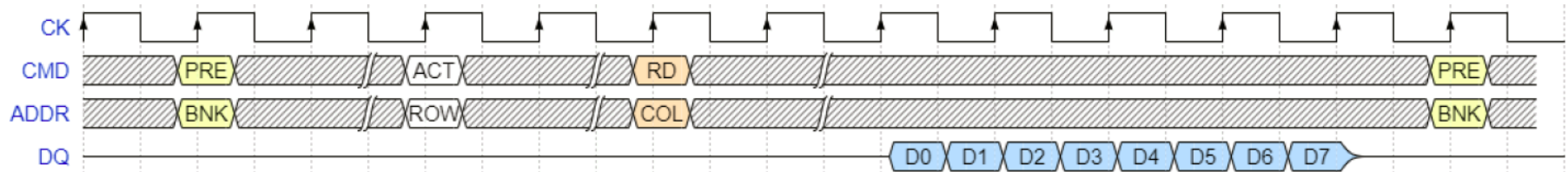
- Az idő pedig, ami alatt a feszültség a felére esik:

$$t = \frac{C}{I} \cdot \frac{V}{2} = \frac{50 \cdot 10^{-15}}{73,4 \cdot 10^{-12}} \cdot 0,6 = 0,4 \text{ ms}$$

- A DRAM memóriákat hűteni kell, ellenkező esetben túl gyakran kell frissíteni, ami további teljesítményigénnyel és sávszélesség csökkenéssel járna.

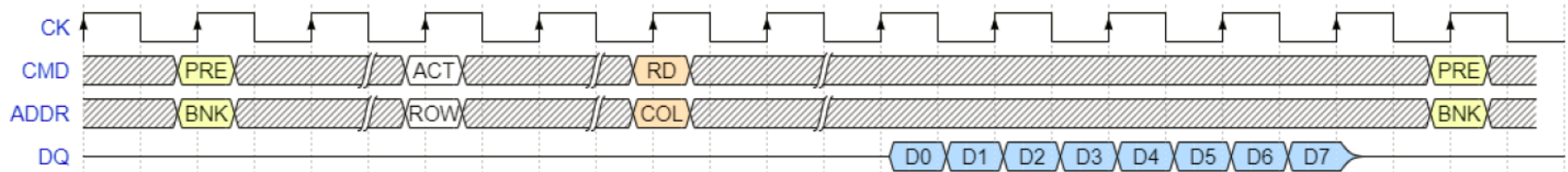


**7. Feladat** – Az alábbi egyszerűsített - DDR SDRAM-ra vonatkozó időzítéseket tartalmazó ábra segítségével magyarázza meg, mikor mi történik a memória hozzáférés során, mikor mire kell éppen várni.



- *PRE* - precharge, előtöltés. A kiválasztott bankot megnyitja, majd a bitvonalakat olvasáshoz a tápfeszültség felére előtölti
- *ACT* - activate, egy, előzőleg előtöltött bank aktiválása. Ennek hatására a sorcímet kidekódolja, a szóvonalat aktiválja és az információ a bitvonalakra kerül
- *RD* - olvasás, az alsó bitek által kiválasztott oszlop olvasása.

**7. Feladat** – Az alábbi egyszerűsített - DDR SDRAM-ra vonatkozó időzítéseket tartalmazó ábra segítségével magyarázza meg, mikor mi történik a memória hozzáférés során, mikor mire kell éppen várni.



Három számmal szokás egy adott frekvenciájú SDRAM-ot jellemezni.

- *RP*: az előtöltés ideje, órajelben
- *RCD*: RAS-to-CAS delay, az aktiválástól az oszlop kiválasztásig
- *CL*: CAS latency, az oszlop megadásától a az adat megjelenéséig
- Az óra elején látott chip esetén mindhárom érték 22 órajel (az órajel 1600MHz), azaz a teljes olvasás megkezdése után az első byte 41.25 ns múlva érkezik meg, majd utána 0,3125 ns-onként érkezik még 7 (alapesetben, 8-as burstnél)
- Ez lassúnak tűnik, de az architektúra rengeteg párhuzamosítási lehetőséget tartalmaz; pl. miközben egy bankot olvasunk előtölthetünk egy másik csoportot stb. Ez a DRAM vezérlő feladata.



**8. Feladat** – Egy 64 Gbites MLC flash memória egy tranzisztora 4 állapotot tud tárolni. Mekkora kapacitású lenne egy ugyanilyen technológiával készült SLC memória?

- A tranzisztor vezet/nem vezet – SLC single level cell: 1 bit
- Adott feszültségek mellett jól megkülönböztethető áramok folynak:
  - MLC multi level cell: 4db – 2 bit
  - TLC triple level cell: 8db – 3 bit
  - QLC quad level cell: 16db – 4 bit

Tehát az MLC memória egy tranzisztorban 4 állapotot, azaz két bitet tud tárolni. Ezzel szemben az SLC tranzisztoronként csak 1 bitet tárol. Ugyanabban a fizikai elrendezésben és tranzisztorokkal az SLC memória fele akkora kapacitású, azaz 32 Gbites lenne.

**9. Feladat** – *A flash EEPROM hátránya, hogy egyszerre csak nagyobb blokkban törölhető. Non-volatile tárolás céljára lehetséges azonban egy hagyományos memória szimulációja. A megoldás lényege, hogy a megváltozott adatot töröltnek jelöljük be (programozni tudunk szavanként, csak törölni nem), majd folytonosan írjuk, minimum két lapra. Ha egy lapot teleírtunk, az írást a következő üres lapon folytatjuk, miközben a teleírt lapot töröljük.*

- a) Tételezzük fel, hogy 2db 16 kbyte-os lapot használunk fel tárolás céljára, a tárolandó információ pedig 512 byte. Hányszor írhatjuk újra, ha egy lapot biztonságosan tízezerszer lehet törölni?*
- b) Hány lapot kellene használni, hogy a tárolandó információt garantáltan 1 000 000-szor tudjuk írni?*

- 
- a) Ha folyamatosan írjuk, akkor az első lap  $16\text{k}/0,5\text{k} = 32$  írás után, a második lap 64 írás után telik meg. Azaz kb. 640 000 -szer írhatjuk újra.
  - b) Egymillió íráshoz a három lap nem elegendő, ezért 4 lapot, 64k-t kell használni.