

2012. 06. 05.

20.....év ...hó ...nap

info digit2 / vimia111 - 2. vizsga

NÉV:.....Neptun kód:.....

A feladatokat önállóan, meg nem engedett segédeszközök használata nélkül oldottam meg:

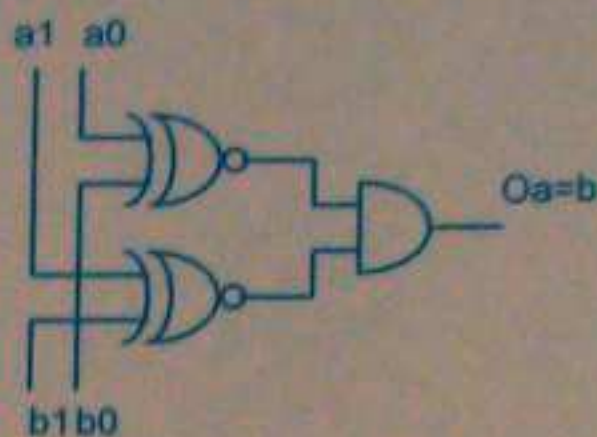
Olvasható aláírás:.....

Kedves Kolléga! A kitöltést a dátum, név és aláírás rovatokkal kezdje! Az alábbi kérdésekre a válaszokat - ahol lehet - mindig a feladatlapon oldja meg! A feladatok megoldása során a részletes kidolgozást nagyfeladatonként külön papíron végezze, (egyértelműen jelölje, hogy melyik lap melyik feladathoz tartozik) és ezeket a papírokat is adja be a dolgozatával! A kérdésekre a táblázatok vagy a pontozott vonalak értelemszerű kitöltésével válaszoljon, hacsak külön másként nem kérjük. Jó munkát!

E:
F1:
F2:
F3:
Σ :

Ellenőrző kérdések (20p)

E1. a. Rajzolja le egy 2 bites egyenlőség komparátor belső kapcsolását! (bemenetek: a1,a0, b1, b0 kimenetek: Oa=b) (2p)



E2. Alább adott egy ismert funkcionális elem Verilog leírása! Milyen elemről van szó? Adja meg a nevét és legfontosabb tulajdonságait! (2p)

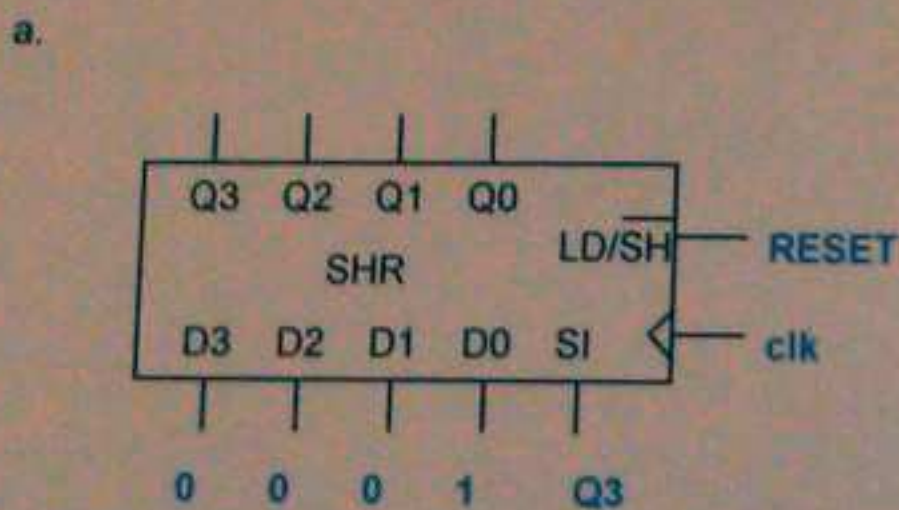
```

module MiEz(input clk, input in, output reg [3:0] q);
always @ (posedge clk)
q <= {q[2:0], in};
endmodule

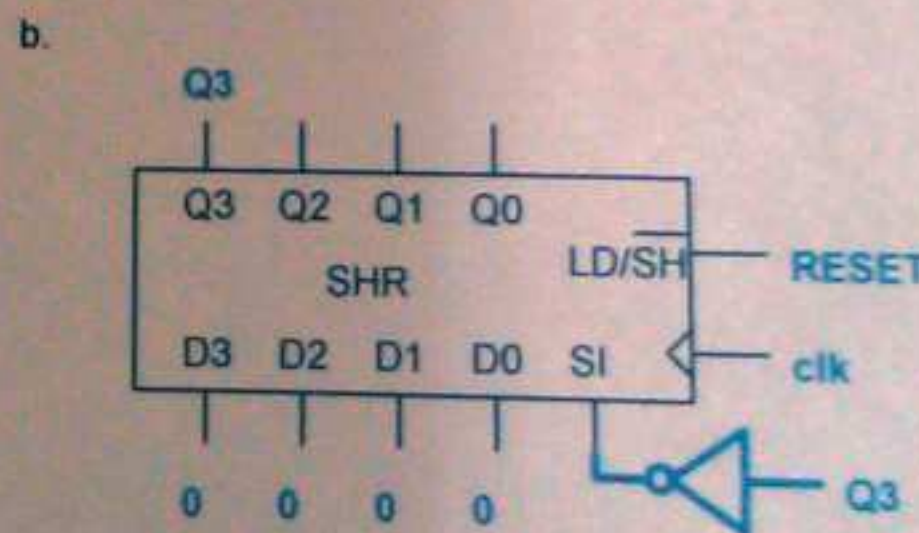
```

Funkcionális elem:4 bites shiftregiszter (felfutó él érzékeny).....

E3. Adott egy 4 bites szinkron tölthető balra shiftelő shiftregiszter. Egészítse ki az elsőt gyűrűs számlálóvá, a másodikat Johnson számlálóvá! Rendelkezésre áll egy legalább 1 órajel periódus hosszú RESET jel. Adja meg a modulusukat is! (3p)

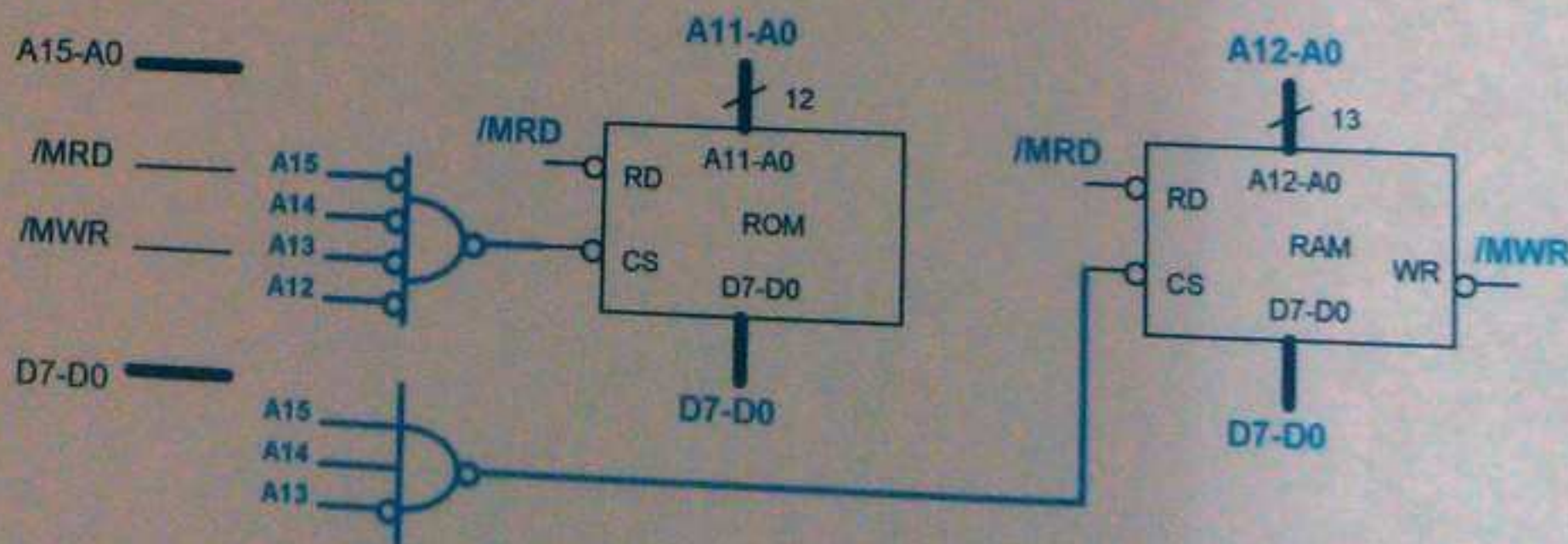


modulus: ...4.



modulus: ...8.

E4. Illessze az alábbi memóriákat a megadott buszra úgy, hogy a ROM a 0x0000 címen, a RAM pedig a 0xc000 címen legyen elérhető! (3p)



E5. A felsorolt állítások közül mely állítások igazak és melyek hamisak? Jelölje + -al az igaz, - -al a hamis állításokat! (5p)

1.	A PLA-kkal hazárdmentesített kombinációs hálózat is megvalósítható.	+
2.	A szomszédosan kódolt aszinkron sorrendi hálózatokban lehet kritikus versenyhelyzet.	-
3.	Vertikális kódolású mikroprogramozott vezérlő esetén ugyanahhoz a feladathoz legalább akkora szószélességű ROM kell, mint a horizontális kódolású esetén.	+
4.	A DMA vezérlő slave és bus master szerepet is betölthet.	-
5.	Egyszerű interrupt rendszer esetén az IT kérő azonosítása automatikusan megtörténik.	-

E6. Minimalizálja az alábbi teljesen specifikált állapotábrát! Adja meg a maximális ekvivalencia osztályokat (MEO)! (A részletszámításokat is adja be!) (5p)

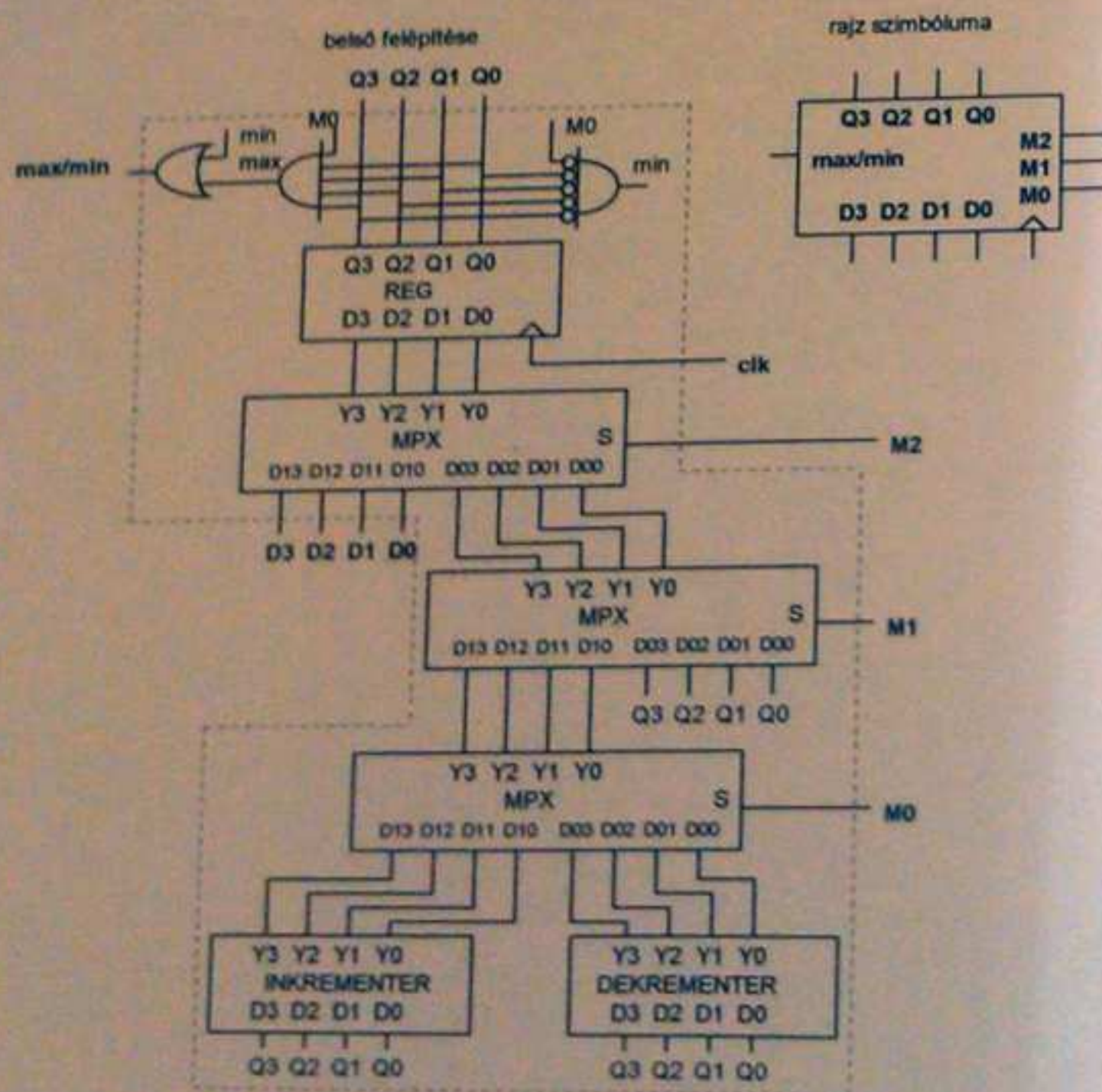
	x=0	x=1	Y
a	b	c	0
b	e	f	1
c	e	d	1
d	b	a	0
e	e	c	1
f	b	d	1

	1	2	1	2	3	4
	ad	bcef	be	cf	a	d
x=0	22	2222	x=0 11	11		
x=1	21	2121	x=1 22	44		

MEO-k:.....(a) (d) (be) (cf).....

F1. Adott egy számláló belső kapcsolása és kapcsolási rajz szimbóluma. Oldja meg az alábbi feladatokat! (11p)

a. Az alábbi táblázatban adja meg, hogy M2M1M0-től függően mit csinál a számláló? (5p)

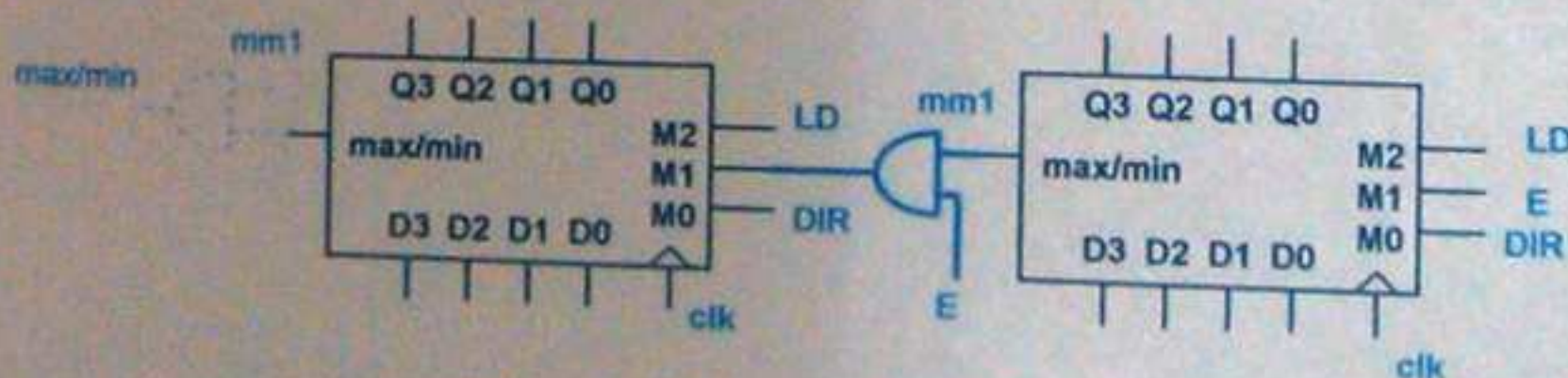


M2M1 M0	A funkcionális elem működése
0 0 0	marad
0 0 1	marad
0 1 0	le számol
0 1 1	fel számol
1 0 0	betölt
1 0 1	betölt
1 1 0	betölt
1 1 1	betölt

b. Mekkora a modulusa a számlálónak? (1p)

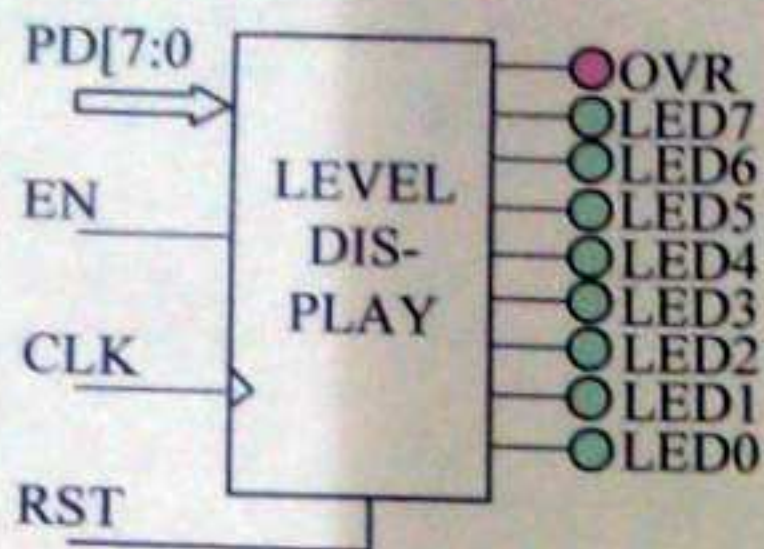
.....16.....

c. Adott 2db fentiek szerint működő funkcionális elem. Kaszkádosítsa őket! (2p)



F3. Periféria illesztés mikroprocesszoros buszra. (17p)

Tervezzen egy szintjelző áramkört. Az egység az adatregiszterébe beírt 8 bites PD párhuzamos adat értékének megfelelően a kimenetére kapcsolt LED (világító dióda) oszlop azon LED-jét kapcsolja be, amelyik a bináris értéknek megfelel, 0-tól 7-ig, amennyiben azt a parancsregiszter EN bitje engedélyezi. A kiválasztott LED akkor világít, ha az adott kimenetre logika 1, azaz aktív magas értéket adunk. Ha az adatregiszterbe írt érték nagyobb, mint 7, akkor az OVR diódát kapcsolja be, és a státuszregiszter OVR bitjén is jelezze a túlvezérlést.



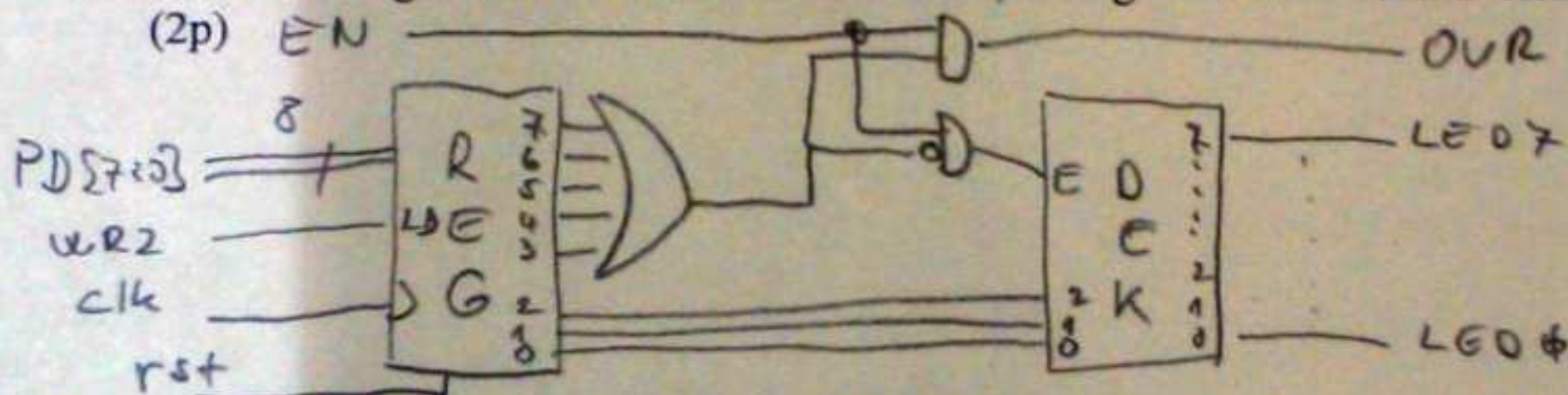
a. Adja meg a mellékelt áramkörti egység Verilog HDL modul interfész specifikációját (2p)

```
module level_display (
    input clk, rst, en,
    input [7:0] pd,
    output [7:0] led,
    output ovr
);
```

b. Milyen típusú és hány bites funkcionális egységgel oldaná meg a feladatot? Választását indokolja! (1p)

8 bites regiszter + 3-ból 8 bit dekóder + néhány kapu

c. Tervezze meg a LEVEL DISPLAY áramkört, a megfelelő funkcionális elemeket használva! (2p)



d. Adja meg a fenti áramkör Verilog specifikációját! (2p)

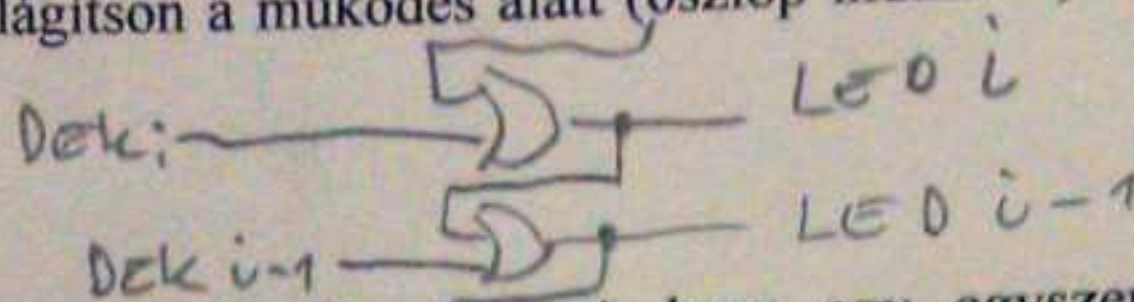
```
// 8 bites regiszter
reg [7:0] pdr;
always @ (posedge clk)
    if (rst) pdr <= 8'b0;
    else if (wr_2) pdr <= pd;

// Dekóder
// Szép megoldás assign led = {7'b0,en} << pdr;
reg [7:0] ld;
always @ (*)
    if (en)
        case (pdr)
            8'h0: ld <= 8'b00000001;
            8'h1: ld <= 8'b00000010;
            8'h2: ld <= 8'b00000100;
            8'h3: ld <= 8'b00001000;
            8'h4: ld <= 8'b00010000;
            8'h5: ld <= 8'b00100000;
            8'h6: ld <= 8'b01000000;
            8'h7: ld <= 8'b10000000;
            default ld <= 8'b00000000;
        endcase
    else ld <= 8'b00000000;
assign led = ld;

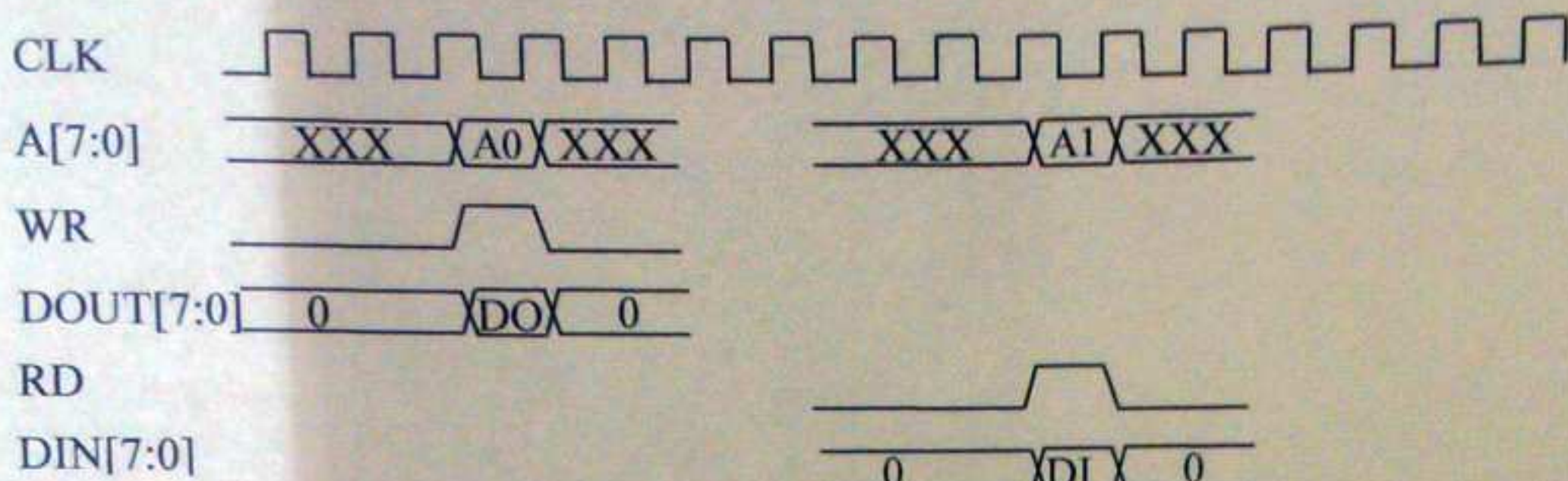
//OVR kijelzés
assign ovr = en & (pdr > 8'h7);
//vagy assign ovr = en & (|pdr[7:3]);
```

- e. Milyen egyszerű javaslata lenne az áramköri kialakításra, úgy, hogy ne csak egy, hanem az összes kisebb szintet jelző LED világítson a működés alatt (oszlop indikátor)? (Az áramkört nem kell megtervezni!) (1p)

VAGY kapuk láncba kapcsolva



Illessze az egységet egy mikroprocesszoros rendszerbuszhoz. A busz egy egyszerű, szinkron, áramkörön belüli busz, melynek jelei: A[7:0], DIN[7:0], DOUT[7:0], RD, WR, IRQ, CLK, RST. A működést a CLK órajel felfutó éle ütemezi, a buszciklusok a RD és WR jelek hatására egy órajel ciklus alatt végrehajtnak.



- f. A periféria Báziscíme 0xE80. Az illesztőegység tartalmazzon 3 regisztert: PAR parancsregisztert, címe Bázis+0, STA státuszregisztert, címe Bázis+1, és a PD párhuzamos adatregisztert, címe Bázis+2. A parancsregiszter bitjei: D0: EN (Engedélyezés), D7: ITEN (Megszakításkérés engedélyezés). A státuszregiszter bitjei: D0: OVR (Túlvezérlés), D7: IRQ (Megszakításkérés). Adja meg a tervezendő periféria programozói interfészét, a PD regisztert is feltüntetve! (2p)

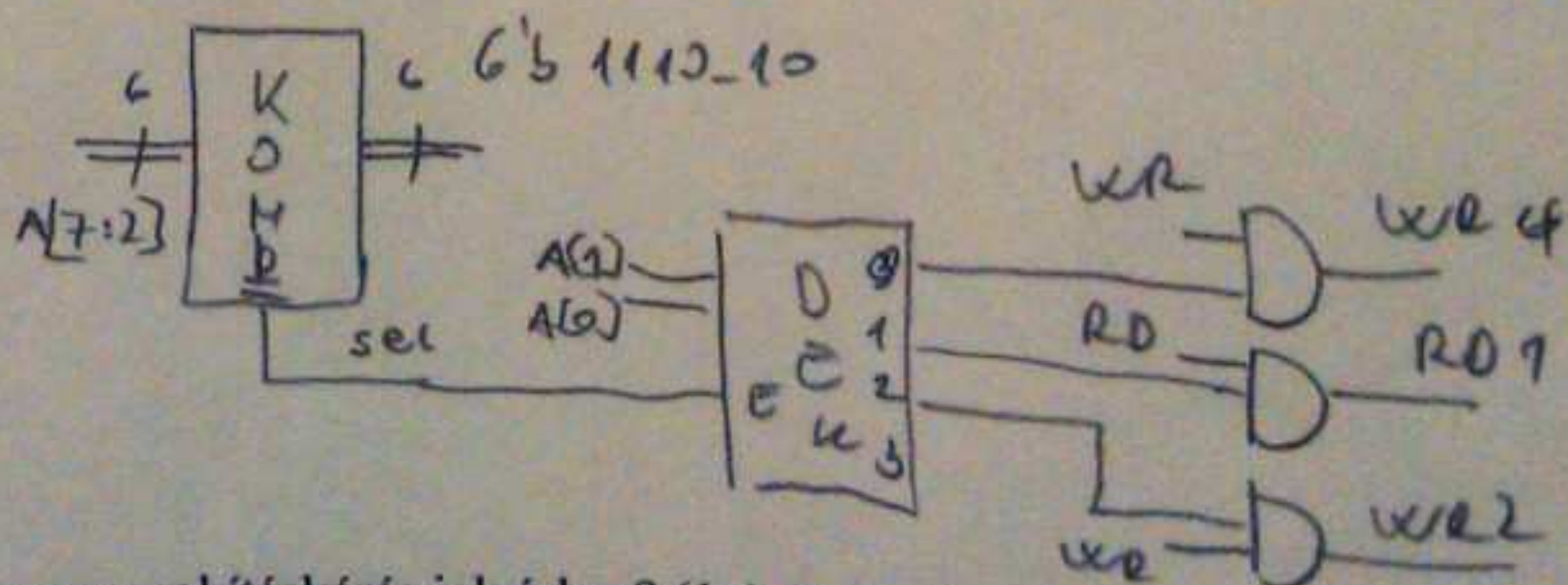
Regiszter címe (hexa)	Funkciója, neve	Bitek szerepe								Használati mód RD, WR, RD/WR
		D7	D6	D5	D4	D3	D2	D1	D0	
E8	PAR	ITEN	0	0	EN				WR
E9	STA	IRQ	0	0	OVR				RD
EA	PSZ	PD[7]	PD[6]	PD[5]	PD[0]				WR

Egy kis hiba még 1 pont, több hiba 0 pont

- f. Rajzolja fel a címdekódot és a parancsjeleket előállító áramkört! (2p) Adja meg a Verilog HDL nyelvű specifikációt is (2 p).

```
assign sel = ((a[7:0]>>2) == (8'hE8>>2)); //Vagy assign sel = (a[7:2] == 6'b1110_10);
//Vagy egyszerűen assign sel = a[7] & a[6] & a[5] & ~a[4] & a[3] & ~a[2];
```

```
assign wr0 = sel & wr & ~a[1] & ~a[0];
assign wr2 = sel & wr & a[1] & ~a[0];
assign rd1 = sel & wr & ~a[1] & a[0];
```



- h. Milyen eseményt rendelne az esetleges megszakításkérés jelzéshez? (1p) Rajzolja fel a hozzá tartozó áramkört! (2p)
A túlsordulást.

(Ha közvetlenül az OVR jelet használjuk, akkor az olvasásra nem törlődik, csak ha PD tartalmát felülírtuk.)

